

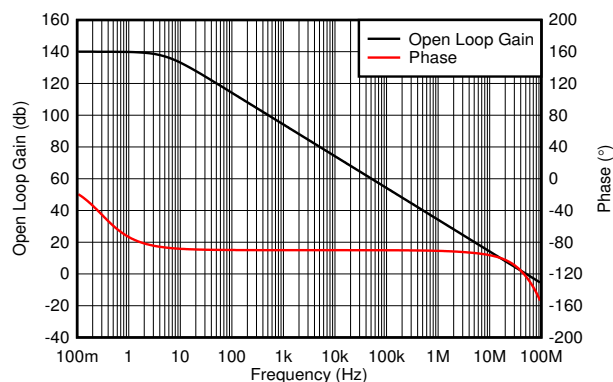
OPAx828 低失调电压、低温漂、低噪声、45MHz、36V JFET 输入运算放大器

1 特性

- 低输入电压噪声密度：
1 kHz 时为 $4\text{nV}/\sqrt{\text{Hz}}$
- 输入电压噪声：
0.1Hz 至 10Hz： 60nV_{RMS}
- 低输入偏置电流：
 - 0.1pA (DGN)
 - 1pA (D)
- 输入失调电压：
 - 25 μV (DGN)
 - 50 μV (D)
- 输入温漂：
 - 0.2 $\mu\text{V}/^\circ\text{C}$ (DGN)
 - 0.45 $\mu\text{V}/^\circ\text{C}$ (D)
- 多路复用器友好型输入
- 增益带宽：45MHz
- 压摆率：150 V/ μs
- 14 位稳定时间：120ns
- 过载功率限制器
- 宽电源电压范围： $\pm 4\text{V}$ 至 $\pm 18\text{V}$
- 封装：
 - D 封装：8 引脚 SOIC
 - DGN 封装：8 引脚 HVSSOP

2 应用

- 数据采集 (DAQ)
- 光学模块
- 实验室和现场仪表
- 混合模块 (AI、AO、DI、DO)
- 超声波扫描仪



3 说明

OPA828 和 OPA2828 (OPAx828) JFET 输入运算放大器是 OPA627 和 OPA827 的下一代产品，兼具高速度、高直流精度和高交流性能。这些运算放大器可提供低失调电压、低温漂、低偏置电流和低噪声，噪声仅为 60nV_{RMS} 0.1Hz 至 10Hz。OPAx828 在 $\pm 4\text{V}$ 至 $\pm 18\text{V}$ 的宽电源电压范围内工作，每通道电源电流仅为 5.5mA (典型值)。

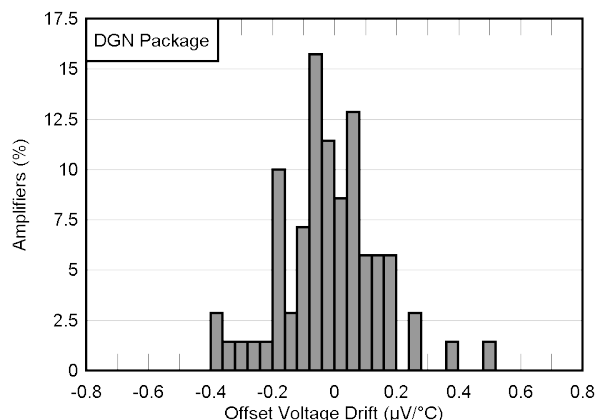
凭借各种交流特性，包括 45MHz 增益带宽积 (GBW)、150V/ μs 的压摆率和精密直流特性，OPAx828 系列非常适合用于各种系统，其中包括高速和高分辨率数据采集系统 (例如 16 位和 18 位混合信号系统)、跨阻 (I/V 转换) 放大器、滤波器、精密 $\pm 10\text{V}$ 前端和高阻抗传感器接口应用。

OPAx828 采用 8 引脚 SOIC 封装和热增强型 8 引脚 HVSSOP PowerPAD™ 集成电路封装。

器件信息

器件型号	通道	封装 ⁽¹⁾
OPA828	单通道	D (SOIC, 8)
		DGN (HVSSOP, 8)
OPA2828	双通道	DGN (HVSSOP, 8)

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



内容

1 特性	1	7.4 器件功能模式	26
2 应用	1	8 应用和实施	27
3 说明	1	8.1 应用信息	27
4 修订历史记录	2	8.2 典型应用	27
5 引脚配置和功能	3	8.3 电源相关建议	29
6 规格	4	8.4 布局	30
6.1 绝对最大额定值	4	9 器件和文档支持	34
6.2 ESD 等级	4	9.1 器件支持	34
6.3 建议运行条件	4	9.2 文档支持	34
6.4 热性能信息	4	9.3 接收文档更新通知	34
6.5 电气特性	5	9.4 支持资源	34
6.6 典型特性	7	9.5 商标	34
7 详细说明	16	9.6 静电放电警告	34
7.1 概述	16	9.7 术语表	34
7.2 功能方框图	16	10 机械、封装和可订购信息	34
7.3 特性说明	17		

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision C (December 2018) to Revision D (December 2022) Page

- 将采用 DGN 封装的 OPA828 和 OPA2828 从预发布更改为量产数据，并增加了相关内容..... 1

Changes from Revision B (December 2018) to Revision C (October 2022) Page

- 向数据表添加了采用 DGN (HVSSOP , 8) 预发布封装的 OPA828 和 OPA2828 以及相关内容..... 1
- 在 *建议运行条件* 中的“环境温度”行内添加了 T_A 符号..... 4
- 在 *建议运行条件* 中添加了表注..... 4
- 从 *电气特性* 中删除了 V_S ，与 *建议运行条件* 下列出的数据相同..... 5
- 从 *电气特性* 中删除了 T_A ，与 *建议运行条件* 下列出的数据相同..... 5
- 将章节标题从 *容性负载和稳定性* 更改为 *噪声性能*..... 21
- 添加了缺失的公式 2..... 21
- 添加了 *PowerPAD 设计注意事项 (仅限 DGN 封装)* 部分..... 32

Changes from Revision A (November 2018) to Revision B (December 2018) Page

- 首次发布量产数据数据表..... 1

5 引脚配置和功能

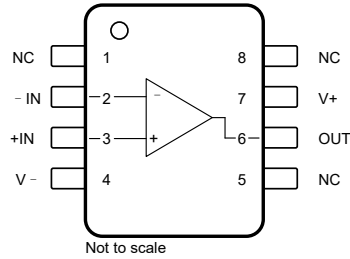


图 5-1. OPA828 D 封装 8 引脚 SOIC 和 DGN 封装 8 引脚 HVSSOP (顶视图)

表 5-1. 引脚功能 : OPA828

名称	编号	类型	说明
- IN	2	输入	负 (反相) 输入
+IN	3	输入	正 (同相) 输入
NC	1、5、8	—	无内部连接 (可以悬空或接地)
OUT	6	输出	输出
V+	7	—	正 (最高) 电源
V-	4	—	负电源 (最低)
散热焊盘 ⁽¹⁾	—	—	封装底部的外露导热焊盘。将散热焊盘焊接到散热电源或接地平面。尽管与芯片电气隔离 (>10MΩ), 但是将散热焊盘连接到 V- 或接地端可以更大程度减少到输入引脚的漏电流

(1) 仅限 DGN 封装。

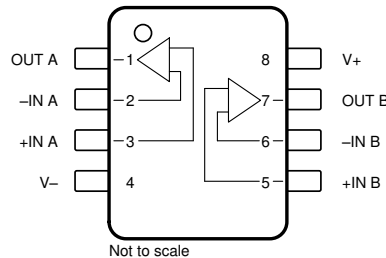


图 5-2. OPA2828 DGN 封装 8 引脚 HVSSOP (顶视图)

表 5-2. 引脚功能 : OPA2828

名称	编号	类型	说明
- IN A	2	输入	负 (反相) 输入 A
+IN A	3	输入	正 (同相) 输入 A
- IN B	6	输入	负 (反相) 输入 B
+IN B	5	输入	正 (同相) 输入 B
OUT A	1	输出	输出 A
OUT B	7	输出	输出 B
V+	8	—	正 (最高) 电源
V-	4	—	负电源 (最低)
散热焊盘 ⁽¹⁾	—	—	封装底部的外露导热焊盘。将散热焊盘焊接到散热电源或接地平面。尽管与芯片电气隔离 (>10MΩ), 但是将散热焊盘连接到 V- 或接地端可以更大程度减少到输入引脚的漏电流

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

			最小值	最大值	单位	
V _S	电源电压, (V+) - (V-)	单电源		40	V	
		双电源		±20		
	信号输入引脚	电压	共模 ⁽³⁾	(V-) - 0.5	(V+) + 0.5	V
			差分 ⁽²⁾		(V+) - (V-)	
		电流 ⁽³⁾			±10	mA
	输出短路电流 ⁽⁴⁾		持续			
	散热焊盘电压 (DGN 封装)		(V-) - 1	(V-) + 30	V	
T _J	结温 ⁽⁵⁾		-55	150	°C	
T _{stg}	贮存温度		-65	150		

- 应力超出绝对最大额定值下列出的值可能会对器件造成永久损坏。这些仅仅是应力额定值，并不表示器件在这些条件下以及在建议运行额定值以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- 输入端子不会通过反向并联二极管相互钳制。JFET 输入级支持高达器件电源电压的大差分电压值。
- 输入端子被二极管钳制至电源轨。对于摆幅能超过电源轨 0.5V 的输入信号，应将其电流限制在 10mA 或者更低。
- 接地短路，每个封装一个放大器。
- 有关器件环境温度和结温的信息，请参阅节 8.4.1.1 和节 7.3.11。

6.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001, 所有引脚 ⁽¹⁾	±2000	V
		充电器件模式 (CDM), 符合 JEDEC 规范 JESD22-C101, 所有引脚 ⁽²⁾	±500	

- JEDEC 文件 JEP155 指出：500V HBM 可实现在标准 ESD 控制流程下安全生产。
- JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
V _S	电源电压, (V+) - (V-)	单电源	8		36	V
		双通道电源	±4		±18	
	散热焊盘电压 (DGN 封装)		(V-)		(V+)+18	V
T _A	环境温度 ⁽¹⁾		-40		125	°C

- 有关器件环境温度和结温的信息，请参阅节 8.4.1.1 和节 7.3.11。

6.4 热性能信息

热指标 ⁽¹⁾		OPA828		OPA2828	单位
		D (SOIC)	DGN (HVSSOP)	DGN (HVSSOP)	
		8 引脚	8 引脚	8 引脚	
R _{θJA}	结至环境热阻	121.5	56.7	49.9	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	64.3	74.9	61.6	°C/W
R _{θJB}	结至电路板热阻	65	29.2	21.8	°C/W
ψ _{JT}	结至顶部特征参数	18	3.7	1.7	°C/W
ψ _{JB}	结至电路板特征参数	64.3	29.1	21.7	°C/W

- 有关新旧热指标的信息，请参阅 [半导体和 IC 封装热指标](#) 应用报告。

6.5 电气特性

在 $T_A = 25^\circ\text{C}$ 、 $(V+) = 15\text{V}$ 、 $(V-) = -15\text{V}$ 、 $V_{CM} = V_O = 1/2 V_S$ ， $C_L = 20\text{pF}$ ， $R_L = 2\text{k}\Omega$ 连接至 $1/2 V_S$ (除非另有说明)

参数		测试条件		最小值	典型值	最大值	单位	
失调电压								
V_{OS}	输入失调电压	D 封装			± 50	± 300	μV	
			$T_A = 0^\circ\text{C}$ 至 85°C			± 350		
			$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$			± 400		
		DGN 封装			± 25	± 125		
			$T_A = 0^\circ\text{C}$ 至 85°C			± 175		
			$T_A = -40^\circ\text{C}$ 至 125°C			± 200		
dV_{OS}/dT	输入失调电压漂移	$T_A = 0^\circ\text{C}$ 至 $+85^\circ\text{C}$			± 0.3	± 1.3	$\mu\text{V}/^\circ\text{C}$	
		$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	D 封装			± 0.45		± 1.5
			DGN 封装			± 0.2		± 0.8
PSRR	电源抑制比	$8\text{V} \leq V_S \leq 36\text{V}$			1.4	± 5.6	$\mu\text{V}/\text{V}$	
			$T_A = 0^\circ\text{C}$ 至 85°C					± 7
			$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$					± 10
输入偏置电流								
I_B	输入偏置电流	D 封装			± 1	± 8	pA	
		DGN 封装			± 0.2	± 5		
		$T_A = 0^\circ\text{C}$ 至 85°C					± 400	nA
		$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$					± 3	
I_{OS}	输入失调电流	D 封装			± 1	± 8	pA	
		DGN 封装			± 0.2	± 5		
		$T_A = 0^\circ\text{C}$ 至 85°C					± 500	nA
		$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$					± 1.5	
噪声								
E_N	输入电压噪声	$f = 0.1\text{Hz}$ 至 10Hz ，峰峰值			0.34		μV_{PP}	
		$f = 0.1\text{Hz}$ 至 10Hz ，RMS			0.06		μV_{RMS}	
e_N	输入电压噪声密度	$f = 10\text{Hz}$			7.5		$\text{nV}/\sqrt{\text{Hz}}$	
		$f = 100\text{Hz}$			4.8			
		$f = 1\text{kHz}$			4			
i_N	输入电流噪声密度	$f = 1\text{kHz}$			1.2		$\text{fA}/\sqrt{\text{Hz}}$	
输入电压								
V_{CM}	共模电压				$(V-) + 2.5$	$(V+) - 3.5$	V	
CMRR	共模抑制比	$(V-) + 2.5\text{V} < V_{CM} < (V+) - 3.5\text{V}$	D 封装		108	115	dB	
			DGN 封装		103	108	dB	
		$(V-) + 2.5\text{V} < V_{CM} < (V+) - 3.5\text{V}$ ， $T_A = 0^\circ\text{C}$ 至 85°C	D 封装		105		dB	
			DGN 封装		102		dB	
		$(V-) + 2.5\text{V} < V_{CM} < (V+) - 3.5\text{V}$ ， $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	D 封装		103		dB	
			DGN 封装		100		dB	
输入阻抗								
Z_{ID}	差分				$10^{12} \parallel 6$		$\Omega \parallel \text{pF}$	
Z_{ICM}	共模				$10^{12} \parallel 9$		$\Omega \parallel \text{pF}$	

6.5 电气特性 (continued)

在 $T_A = 25^\circ\text{C}$ 、 $(V_+) = 15\text{V}$ 、 $(V_-) = -15\text{V}$ 、 $V_{\text{CM}} = V_O = 1/2 V_s$ 、 $C_L = 20\text{pF}$ 、 $R_L = 2\text{k}\Omega$ 连接至 $1/2 V_s$ (除非另有说明)

参数		测试条件		最小值	典型值	最大值	单位	
开环增益								
A_{OL}	开环电压增益	$(V_-) + 1.6\text{V} < V_O < (V_+) - 1.6\text{V}$, $R_L = 600\Omega$		120	130		dB	
		$(V_-) + 1.5\text{V} < V_O < (V_+) - 1.5\text{V}$, $R_L = 10\text{k}\Omega$		120	130			
		$T_A = 0^\circ\text{C}$ 至 85°C	$(V_-) + 1.6\text{V} < V_O < (V_+) - 1.6\text{V}$, $R_L = 600\Omega$		117			
			$(V_-) + 1.5\text{V} < V_O < (V_+) - 1.5\text{V}$, $R_L = 10\text{k}\Omega$		118			
		$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	$(V_-) + 1.6\text{V} < V_O < (V_+) - 1.6\text{V}$, $R_L = 600\Omega$		114			
			$(V_-) + 1.5\text{V} < V_O < (V_+) - 1.5\text{V}$, $R_L = 10\text{k}\Omega$		114			
频率响应								
	单位增益频率	$V_O = 10\text{mV}_{\text{PP}}$, $C_L = 30\text{pF}$			45		MHz	
	相位裕度	$V_O = 10\text{mV}_{\text{PP}}$, $C_L = 30\text{pF}$			57		度	
GBW	增益带宽积	$V_O = 10\text{mV}_{\text{PP}}$, $C_L = 30\text{pF}$			45		MHz	
SR	压摆率	$V_O = 10\text{V}$ 阶跃	$G = +1$		150		V/ μs	
			$G = -1$		150			
t_s	稳定时间 (输入到输出)	$V_O = 10\text{V}$ 阶跃, $C_L = 30\text{pF}$, $G = -1$	至 $\pm 0.0244\%$ (12 位精度)		110		ns	
			至 $\pm 0.0061\%$ (14 位精度)		120			
	过冲	$V_O = 100\text{mV}$ 阶跃, $G = +1$, $C_L = 30\text{pF}$	$V_O = 100\text{mV}$ 阶跃, $G = +1$, $C_L = 30\text{pF}$		8%			
	过载恢复时间	$G = -10$			55		ns	
THD+N	总谐波失真 + 噪声	$V_O = 3.5V_{\text{RMS}}$, $G = +1$, $f = 1\text{kHz}$	$R_L = 10\text{k}\Omega$		0.000028		%	
					-130		dB	
			$R_L = 600\Omega$		0.000028		%	
					-130		dB	
HD2	二阶谐波失真	$V_O = 5V_{\text{PP}}$, $G = +1$	$f = 100\text{kHz}$		119		dBc	
			$f = 500\text{kHz}$		90			
HD3	三阶谐波失真	$V_O = 5V_{\text{PP}}$, $G = +1$	$f = 100\text{kHz}$		125		dBc	
			$f = 500\text{kHz}$		105			
IMD	二阶互调失真	SMPTE/DIN 双音, 4:1 (60Hz 和 7kHz), $G = 1$, $V_O = 3V_{\text{RMS}}$, $R_L = 2\text{k}\Omega$, 9kHz 测量带宽			132		dB	
	三阶互调失真	CCIF 双频 (19kHz 和 20kHz), $G = 1$, $V_O = 3V_{\text{RMS}}$, $R_L = 2\text{k}\Omega$, 90kHz 测量带宽			137		dB	
输出								
	输出电压摆幅	$R_L = 10\text{k}\Omega$			0.9	1.2	V	
		$R_L = 600\Omega$			1.2			
I_O	输出电流	在线性运行的情况下, $A_{\text{OL}} \geq 120\text{dB}$			± 30		mA	
I_{SC}	短路电流				± 50		mA	
C_L	容性负载驱动				请参阅“典型特性”曲线		pF	
Z_O	开环输出阻抗	$f = 1\text{MHz}$, $I_O = 0\text{mA}$			13.5		Ω	
电源								
I_Q	静态电流 (每个放大器)	$I_O = 0\text{A}$			5.5	6.2	mA	
			$T_A = 0^\circ\text{C}$ 至 85°C			7.1		
			$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$			7.9		

6.6 典型特性

$T_A = 25^\circ\text{C}$, $R_L = 2\text{k}\Omega$ 连接至 $1/2 V_S$, 且 $V_{CM} = V_{OUT} = 1/2 V_S$, $V_S = \pm 18\text{V}$ (除非另外说明)

表 6-1. 图形表

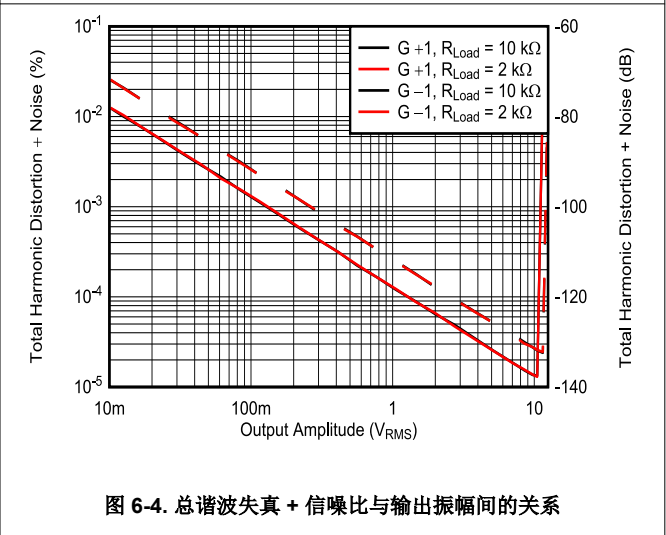
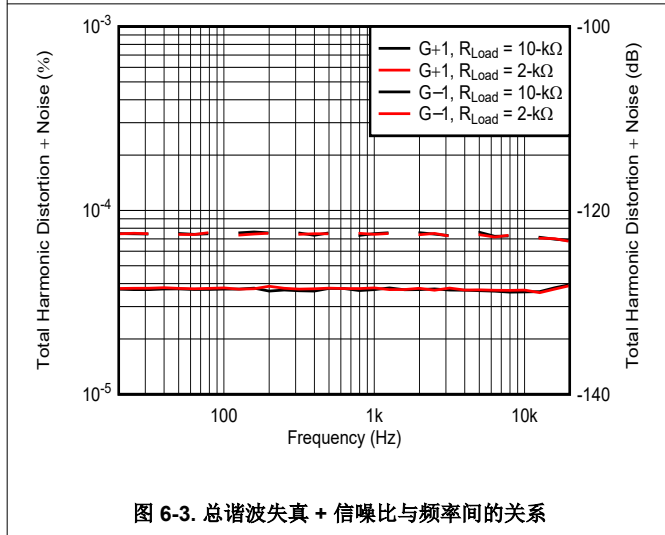
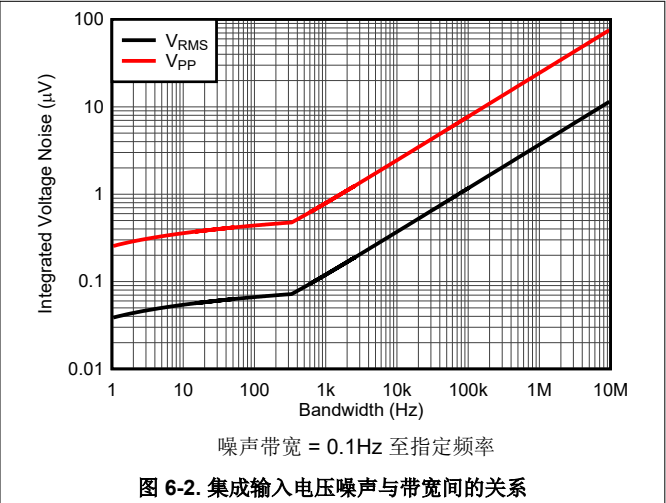
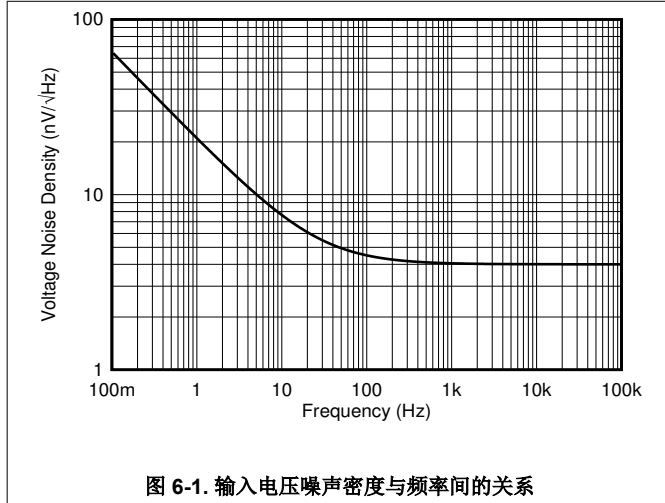
说明	图表
输入电压噪声密度与频率间的关系	图 6-1
。集成输入电压噪声与带宽间的关系	图 6-2
总谐波失真 + 信噪比与频率间的关系	图 6-3
总谐波失真 + 信噪比与输出振幅间的关系	图 6-4
。0.1Hz 至 10Hz 噪声	图 6-5
失调电压生产分配	图 6-6、图 6-7
失调电压温漂产生分布	图 6-8、图 6-9
失调电压与共模电压间的关系	图 6-10
失调电压与电源电压间的关系	图 6-11
失调电压与输出电压间的关系	图 6-12
。失调电压与温度之间的关系	图 6-13
输入偏置和输入失调电流与共模电压间的关系	图 6-14
输入偏置和输入失调电流与温度间的关系	图 6-15
静态电流与输出电压间的关系	图 6-16
静态电流与温度间的关系	图 6-17
输出电压摆幅与输出拉电流间的关系	图 6-18
输出电压摆幅与输出灌电流间的关系	图 6-19
电源抑制比与频率之间的关系	图 6-20
共模抑制比与频率间的关系	图 6-21
电源抑制比与温度间的关系	图 6-22
共模抑制比与温度间的关系	图 6-23
开环增益和相位与频率间的关系	图 6-24
闭环增益与频率间的关系	图 6-25
开环增益与温度间的关系	图 6-26
开环输出阻抗与频率间的关系	图 6-27
小信号过冲与容性负载间的关系, 增益 = +1	图 6-28
小信号过冲与电容负载间的关系, 增益 = -1	图 6-29
无相位反转	图 6-30
正过载恢复	图 6-31
负过载恢复	图 6-32
。小信号阶跃响应	图 6-33
大信号阶跃响应	图 6-34
12 位、14 位稳定时间	图 6-35、图 6-36
短路电流与温度间的关系	图 6-37
压摆率与温度间的关系	图 6-38
压摆率与输出阶跃大小间的关系	图 6-39
最大输出电压与频率间的关系	图 6-40
互调失真	图 6-41
电磁干扰抑制	图 6-42
谐波失真与频率间的关系	图 6-43

6.6 典型特性

$T_A = 25^\circ\text{C}$, $R_L = 2\text{k}\Omega$ 连接至 $1/2 V_s$, 且 $V_{CM} = V_{OUT} = 1/2 V_s$, $V_S = \pm 18\text{V}$ (除非另外说明)

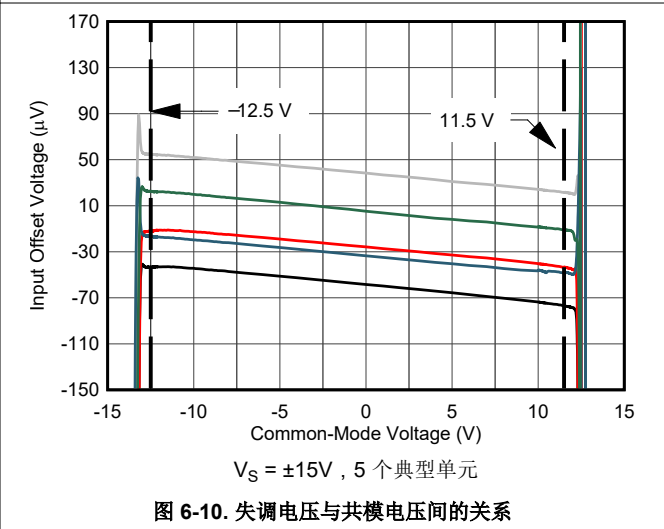
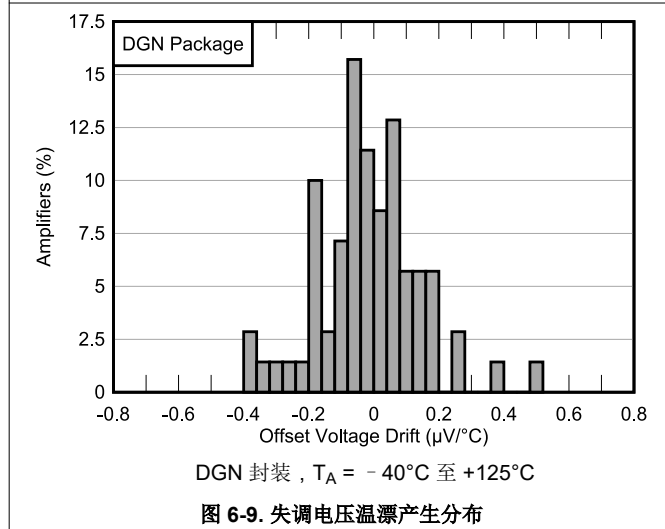
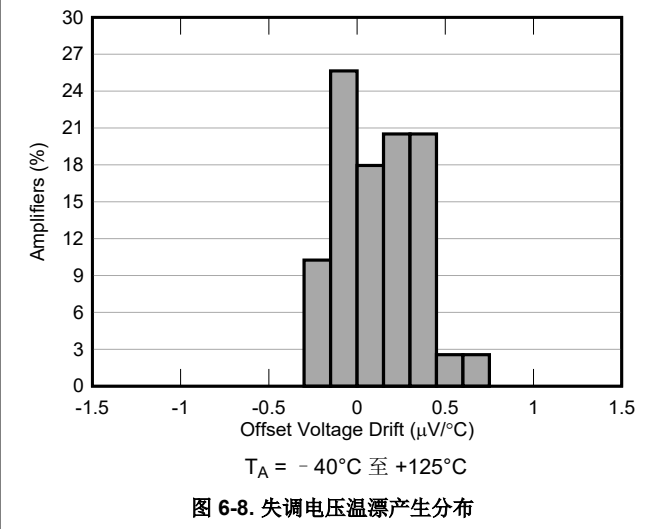
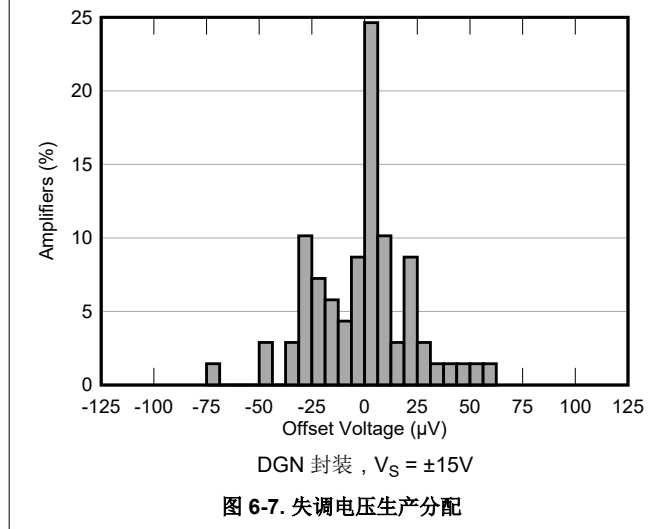
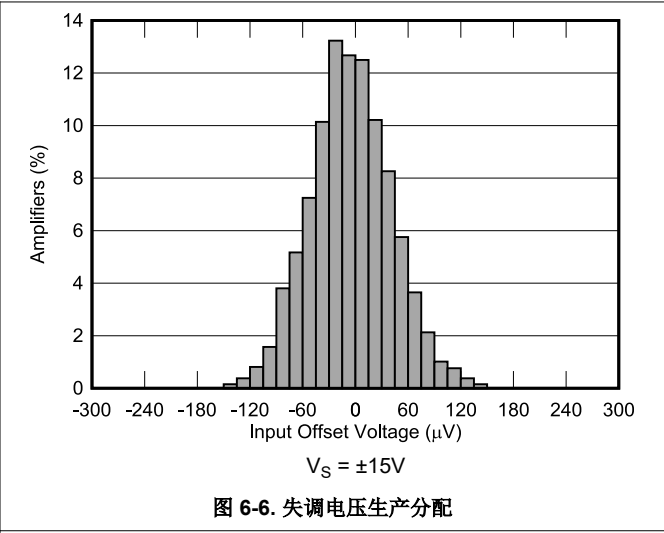
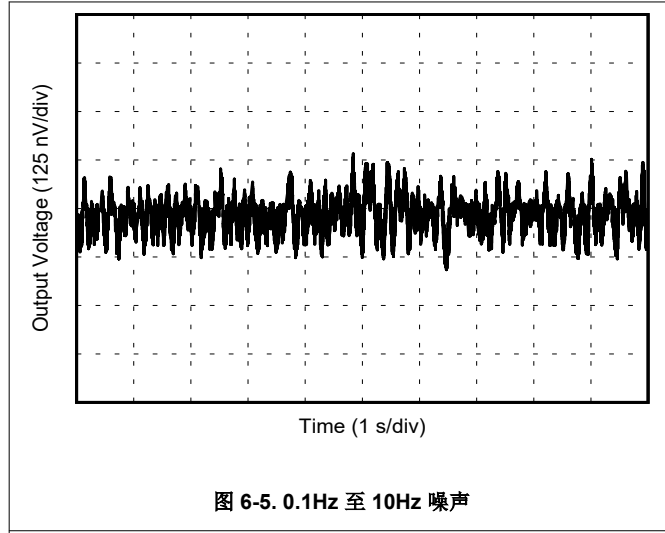
表 6-1. 图形表 (continued)

说明	图表
通道分离	图 6-44



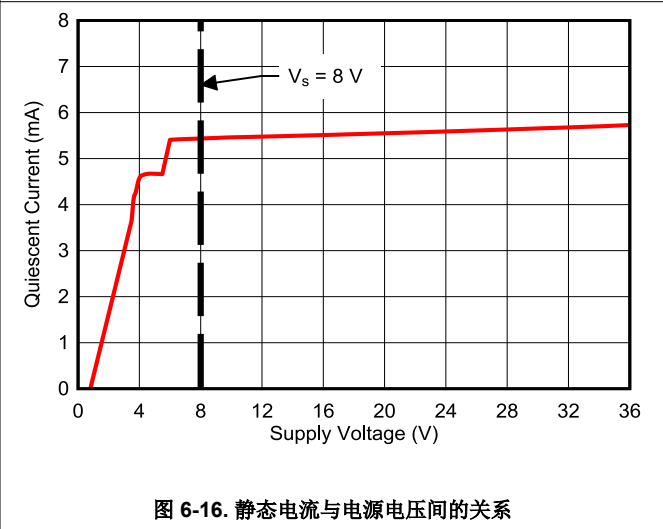
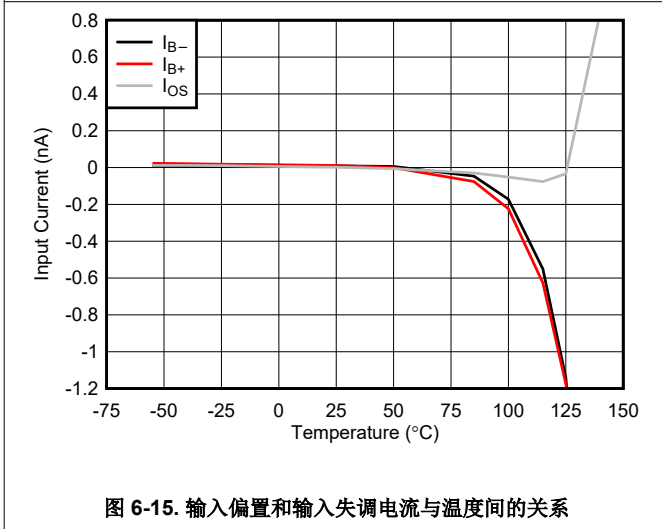
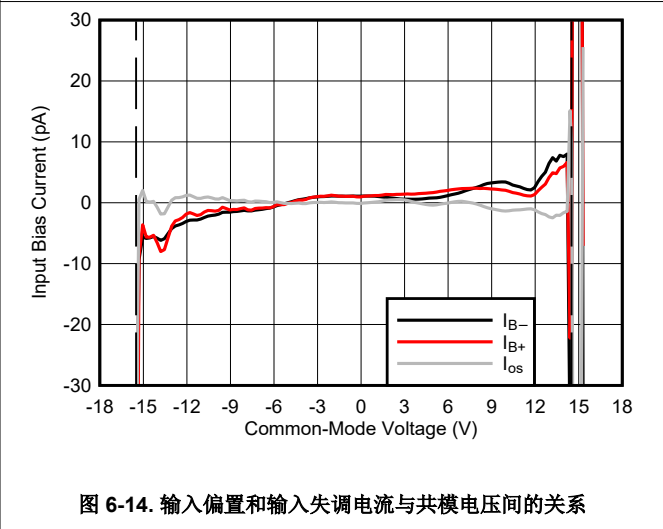
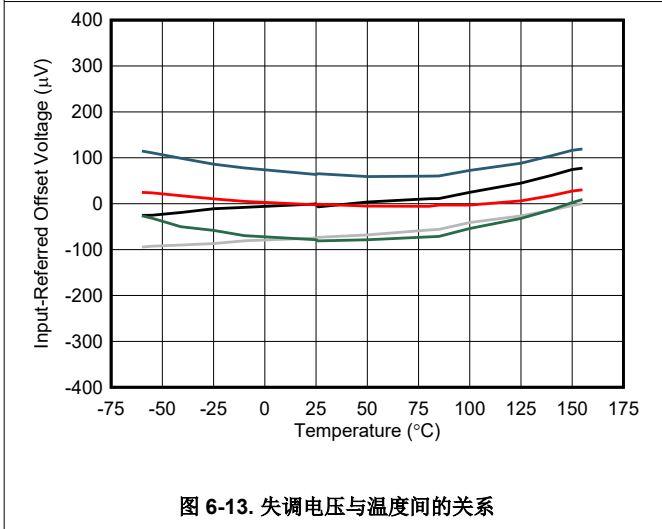
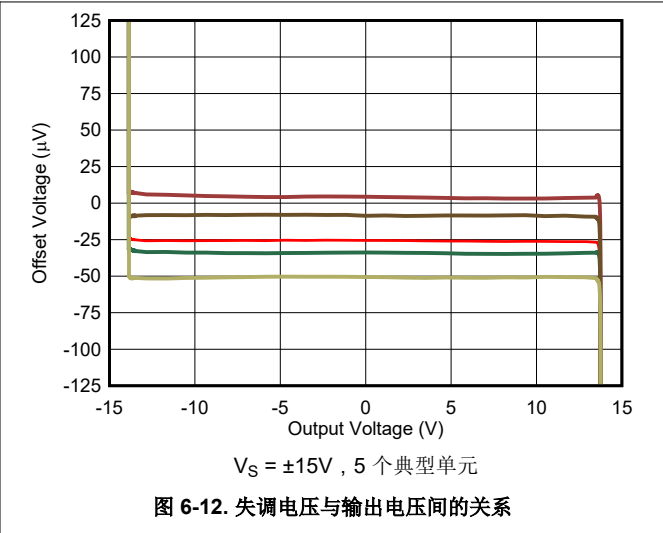
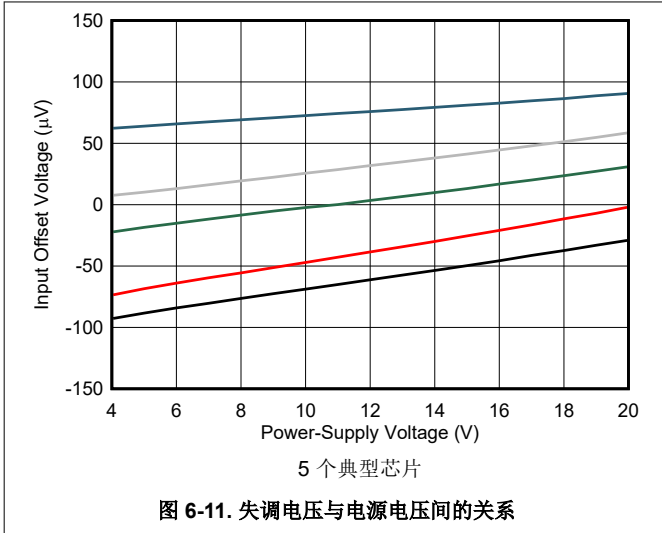
6.6 典型特性 (continued)

$T_A = 25^\circ\text{C}$, $R_L = 2\text{k}\Omega$ 连接至 $1/2 V_S$, 且 $V_{CM} = V_{OUT} = 1/2 V_S$, $V_S = \pm 18\text{V}$ (除非另外说明)



6.6 典型特性 (continued)

$T_A = 25^\circ\text{C}$, $R_L = 2\text{k}\Omega$ 连接至 $1/2 V_S$, 且 $V_{CM} = V_{OUT} = 1/2 V_S$, $V_S = \pm 18\text{V}$ (除非另外说明)



6.6 典型特性 (continued)

$T_A = 25^\circ\text{C}$, $R_L = 2\text{k}\Omega$ 连接至 $1/2 V_S$, 且 $V_{CM} = V_{OUT} = 1/2 V_S$, $V_S = \pm 18\text{V}$ (除非另外说明)

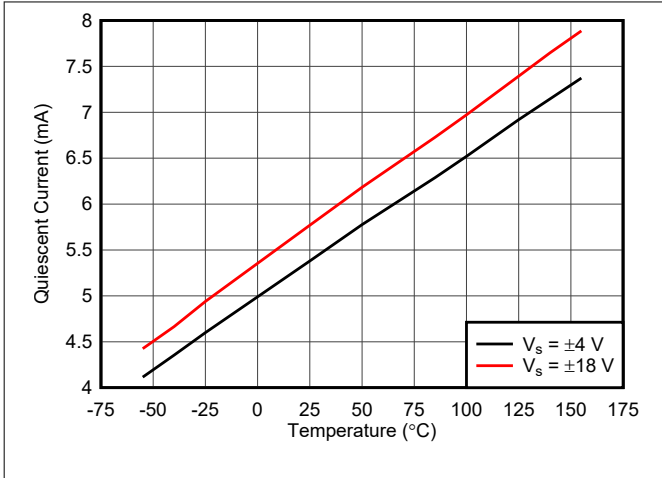


图 6-17. 静态电流与温度间的关系

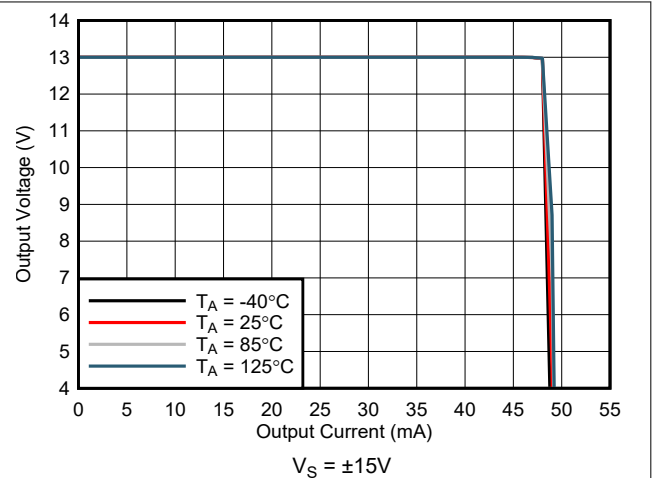


图 6-18. 输出电压摆幅与输出拉电流间的关系

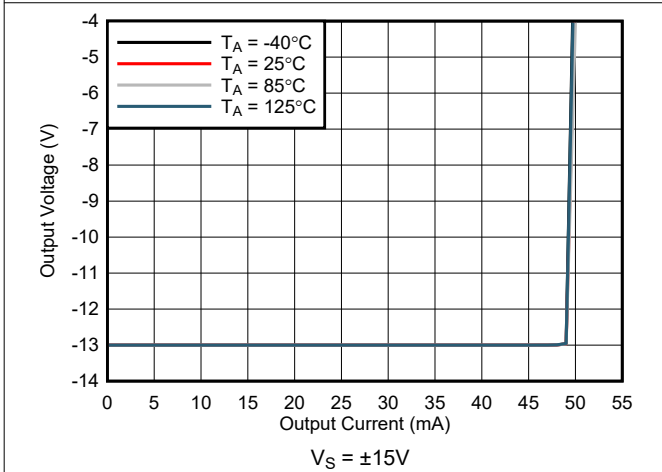


图 6-19. 输出电压摆幅与输出灌电流间的关系

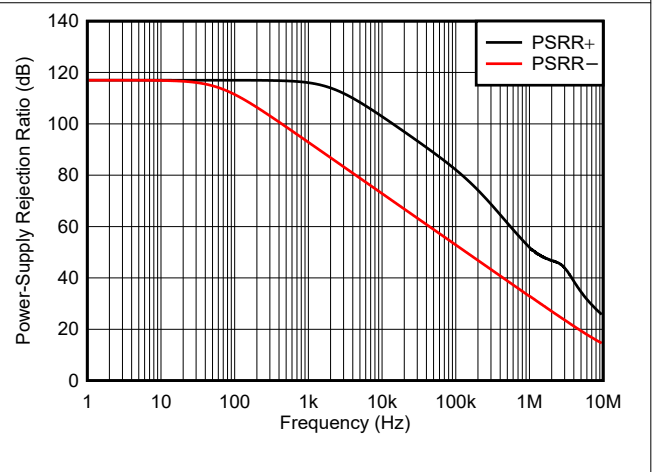


图 6-20. 电源抑制比与频率间的关系

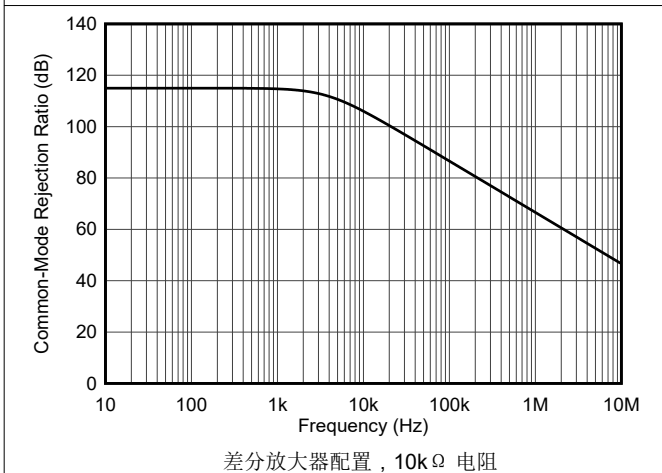


图 6-21. 共模抑制比与频率间的关系
差分放大器配置, $10\text{k}\Omega$ 电阻

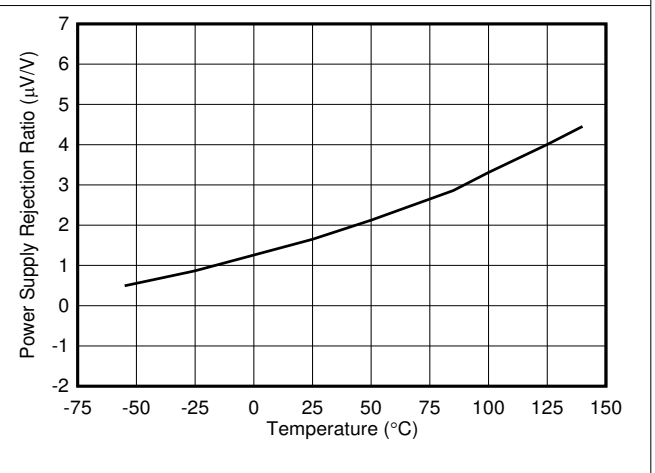


图 6-22. 电源抑制比与温度间的关系

6.6 典型特性 (continued)

$T_A = 25^\circ\text{C}$, $R_L = 2\text{k}\Omega$ 连接至 $1/2 V_S$, 且 $V_{CM} = V_{OUT} = 1/2 V_S$, $V_S = \pm 18\text{V}$ (除非另外说明)

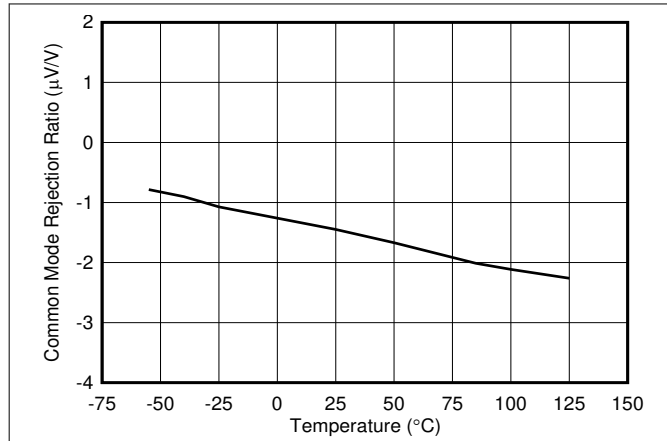


图 6-23. 共模抑制比与温度间的关系

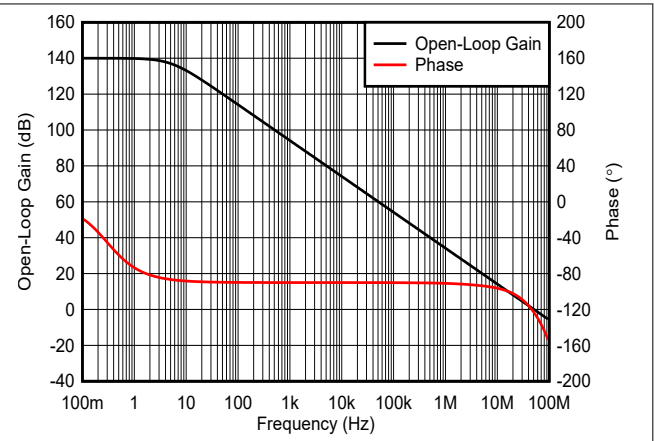


图 6-24. 开环增益和相位与频率间的关系

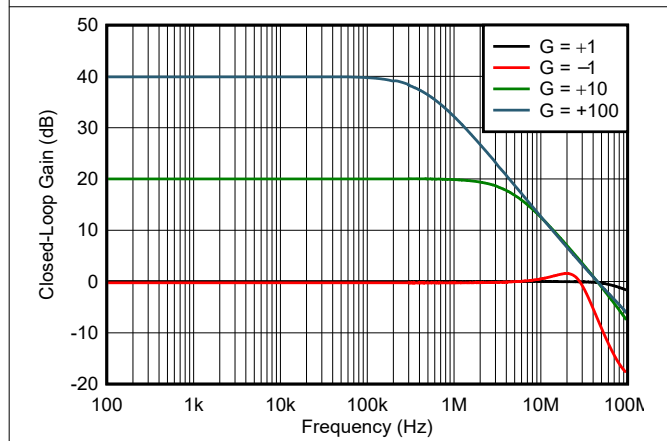


图 6-25. 闭环增益与频率间的关系

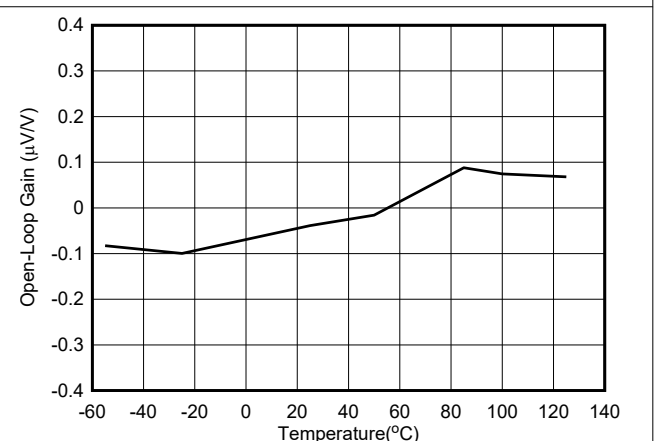


图 6-26. 开环增益与温度间的关系

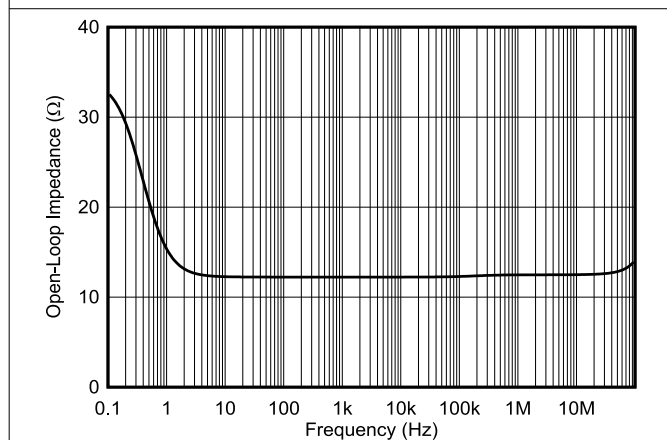


图 6-27. 开环输出阻抗与频率间的关系

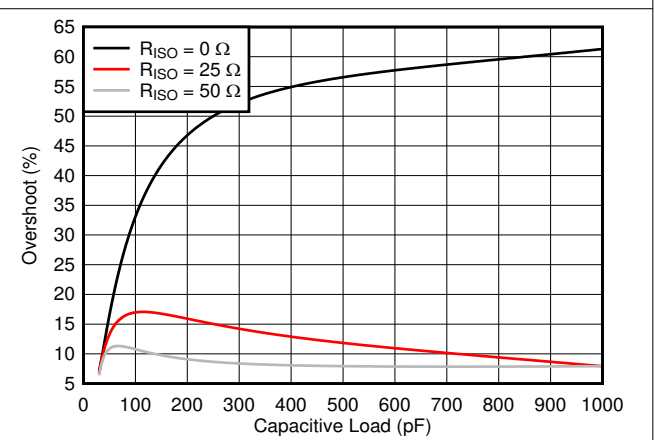


图 6-28. 小信号过冲与容性负载间的关系

6.6 典型特性 (continued)

$T_A = 25^\circ\text{C}$, $R_L = 2\text{k}\Omega$ 连接至 $1/2 V_S$, 且 $V_{CM} = V_{OUT} = 1/2 V_S$, $V_S = \pm 18\text{V}$ (除非另外说明)

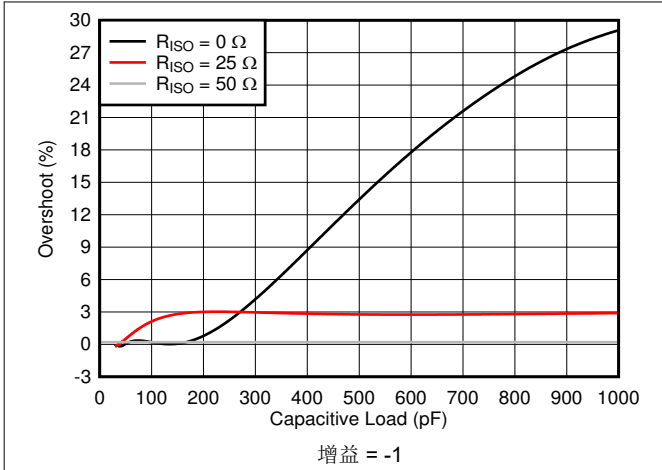


图 6-29. 小信号过冲与容性负载间的关系

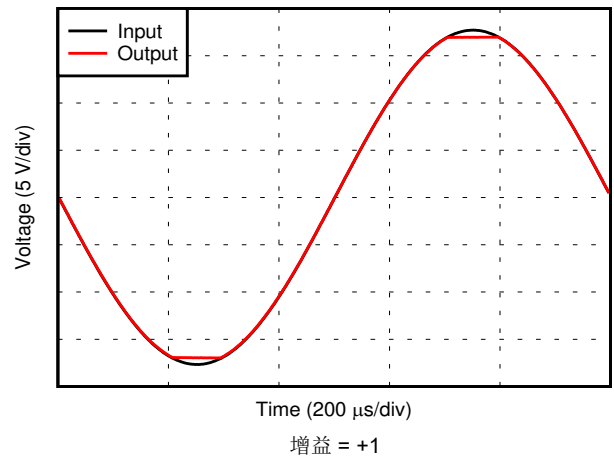


图 6-30. 无相位反转

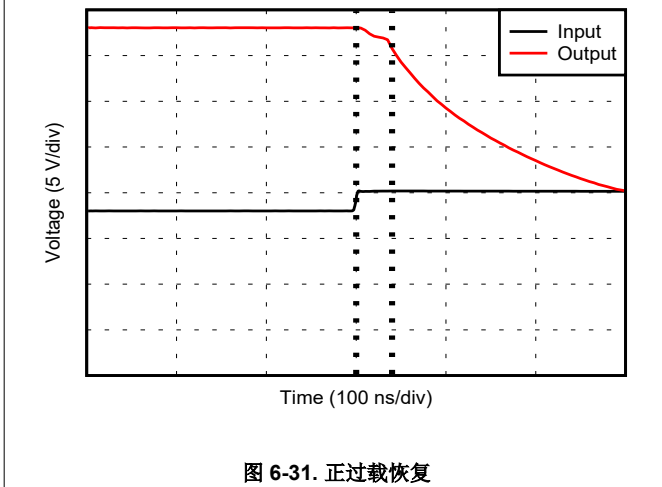


图 6-31. 正过载恢复

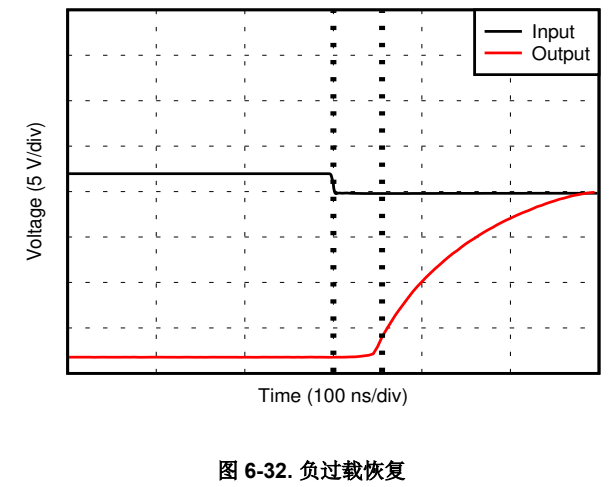


图 6-32. 负过载恢复

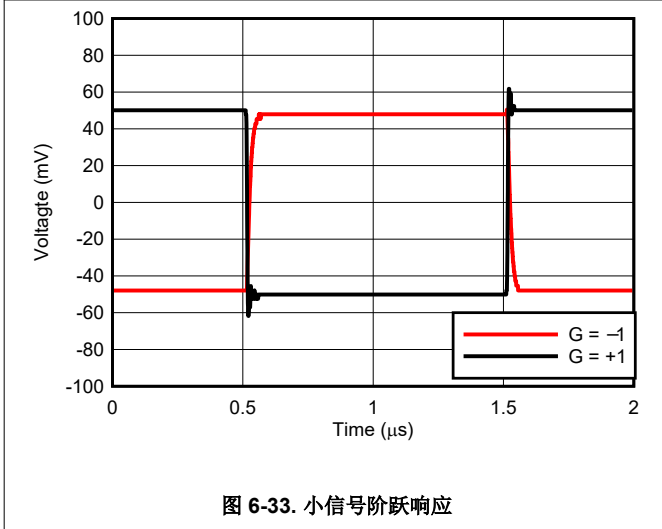


图 6-33. 小信号阶跃响应

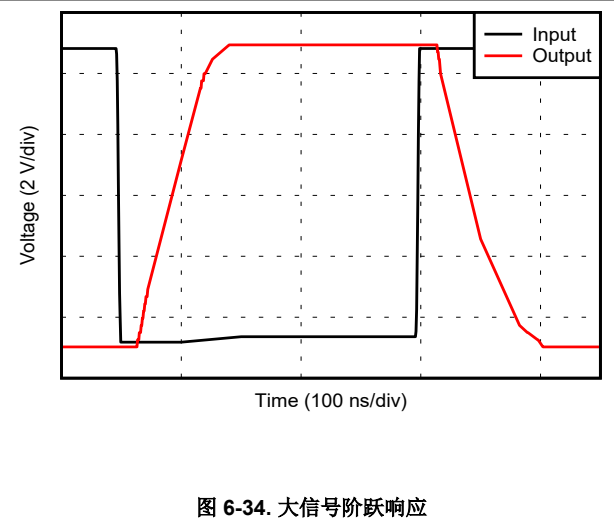


图 6-34. 大信号阶跃响应

6.6 典型特性 (continued)

$T_A = 25^\circ\text{C}$, $R_L = 2\text{k}\Omega$ 连接至 $1/2 V_S$, 且 $V_{CM} = V_{OUT} = 1/2 V_S$, $V_S = \pm 18\text{V}$ (除非另外说明)

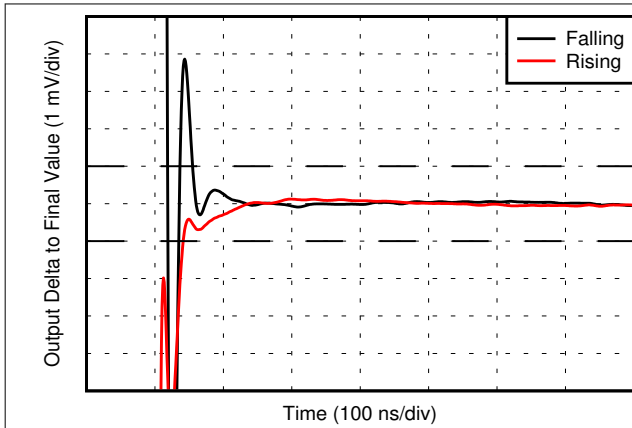


图 6-35. 12 位稳定时间

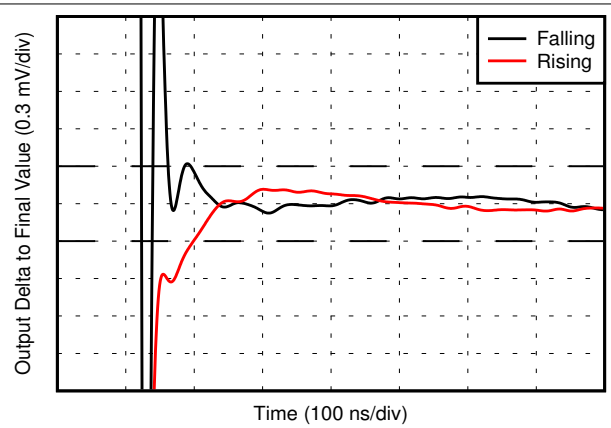


图 6-36. 14 位稳定时间

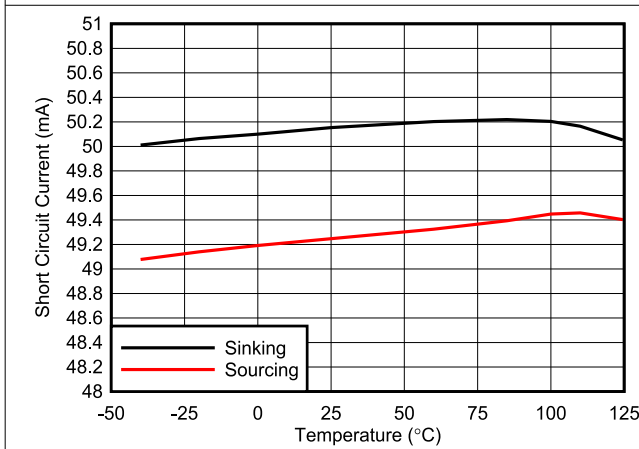


图 6-37. 短路电流与温度间的关系

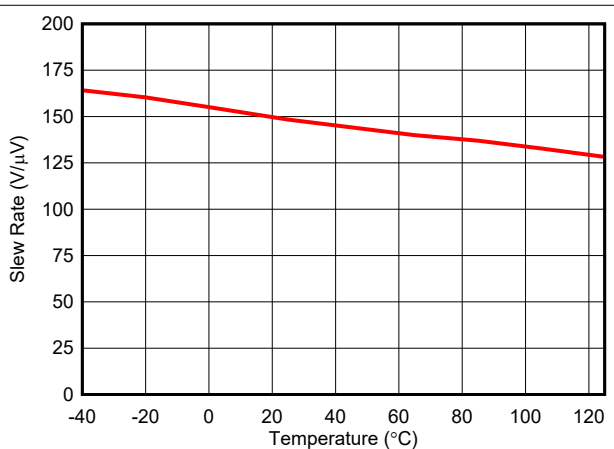


图 6-38. 压摆率与温度间的关系

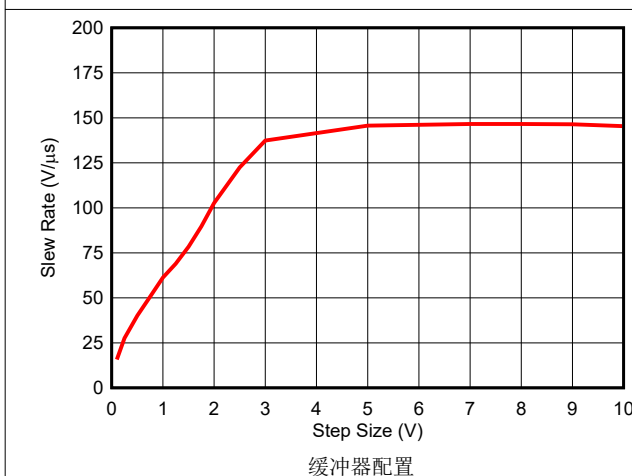


图 6-39. 压摆率与输出阶跃大小间的关系

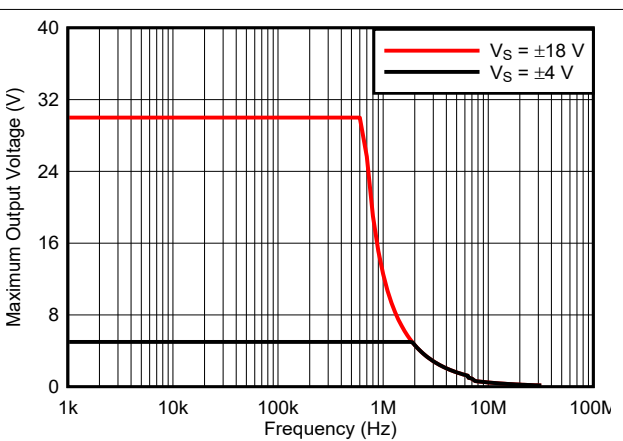
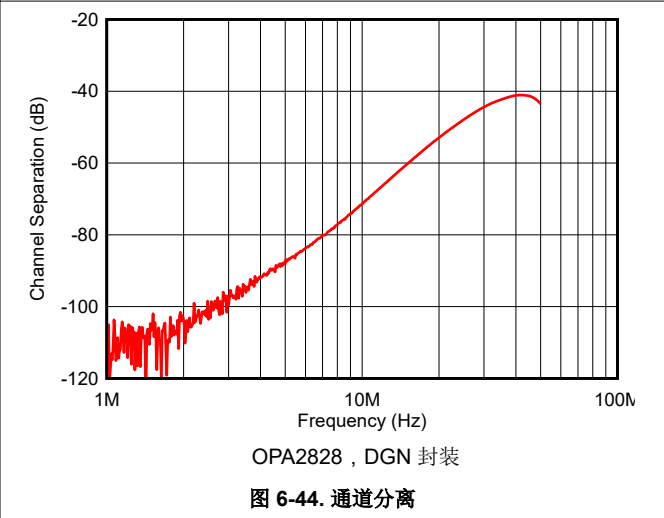
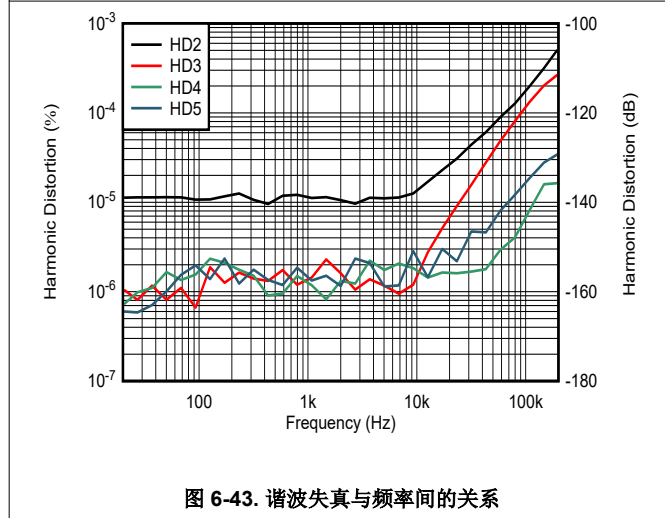
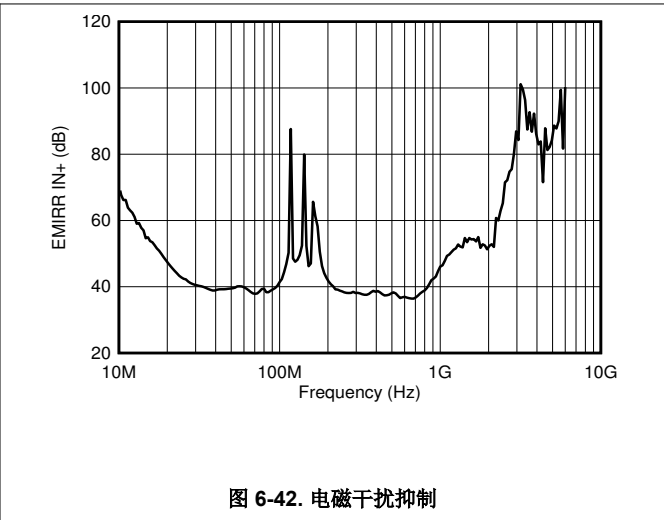
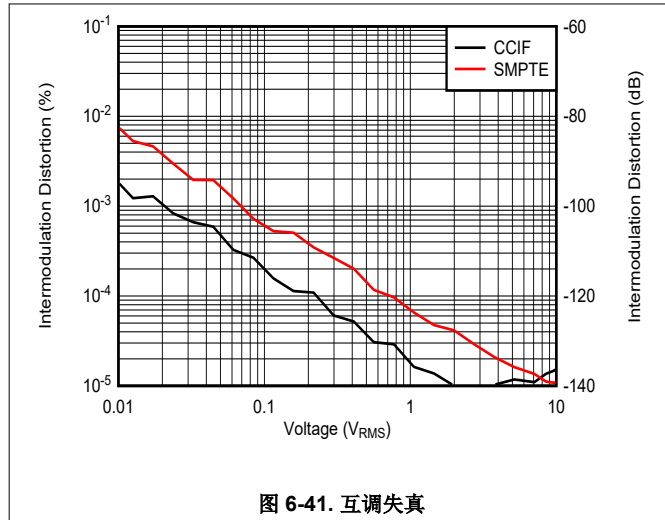


图 6-40. 最大输出电压与频率间的关系

6.6 典型特性 (continued)

$T_A = 25^\circ\text{C}$, $R_L = 2\text{k}\Omega$ 连接至 $1/2 V_S$, 且 $V_{CM} = V_{OUT} = 1/2 V_S$, $V_S = \pm 18\text{V}$ (除非另外说明)

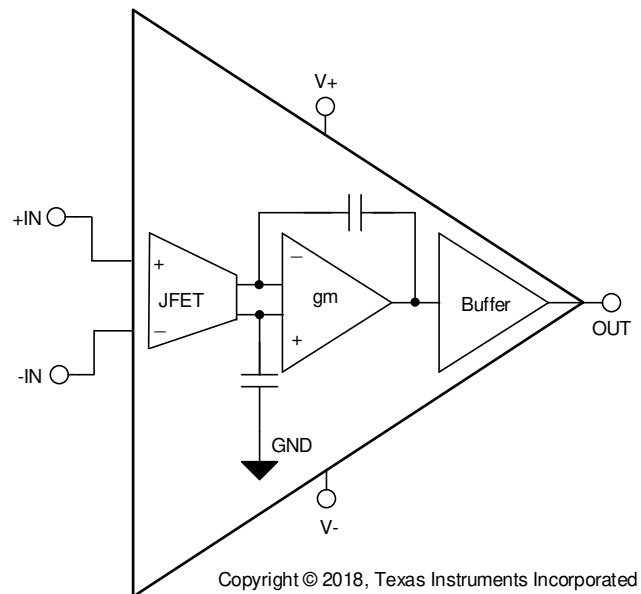


7 详细说明

7.1 概述

OPAx828 是低噪声、高速 JFET 输入放大器，可提供超高的精度和准确度。每个器件都会在生产过程中进行激光修整，从而提供以输入为基准的超低失调电压。同样，还会修整和规定在 -40°C 至 $+125^{\circ}\text{C}$ 结温范围内以输入为基准的失调电压温漂。每个器件还对静态电流进行激光修整，以便尽可能减少动态参数（如以输入为基准的噪声电压、增益带宽积、压摆率和稳定时间）的器件间差异。OPAx828 充分利用了先进的全新高电压、SiGe 互补 JFET 双极工艺技术，因此，OPAx828 在业内具有出色的低噪声、直流精度和动态性能等特性组合。

7.2 功能方框图



7.3 特性说明

7.3.1 相位反转保护

当输入驱动到超出指定的输入共模范围时，许多运算放大器会发生相位反转。这是同相电路中输入驱动到超出额定共模电压范围时极为常见的现象，会导致输出反向进入相对的电源轨。OPA828 具有内部相位反转保护电路。OPA828 的输入架构可防止输入共模电压超过指定的最大值和最小值时发生相位反转。OPA828 输出限制为适当的电源轨。图 7-1 展示了该性能。当输入电压可能超过最小或最大指定限制时，请确保通过内部 ESD 保护二极管限制最大输入电流。

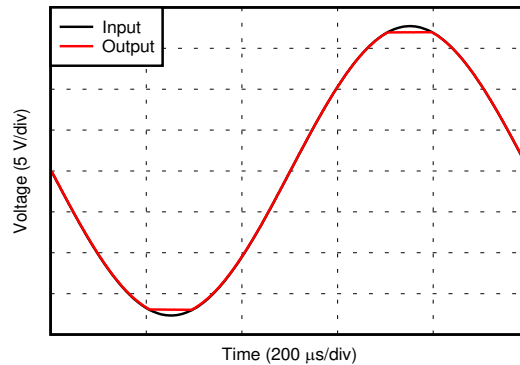
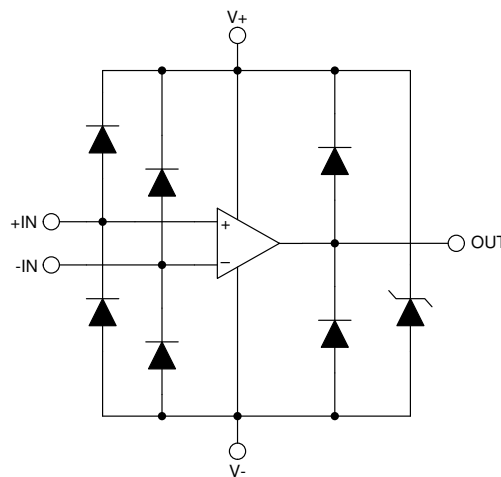


图 7-1. 无相位反转

7.3.2 电过应力

针对在印刷电路板 (PCB) 制造、运输或组装期间可能发生的静电放电 (ESD) 事件，OPA828 具有内部保护机制。当器件加电运行时，内部 ESD 保护二极管在 OPA828 正常运行期间不会提供保护。ESD 保护电路在输入和输出引脚到内部电源线之间涉及多个导流二极管，其中二极管在电源 ESD 单元（一种吸收器件，位于运算放大器内部）处相接。该保护电路在电路正常工作时处于未运行状态。如果可能将输入或输出驱动到正电源以上或负电源以下，则应确保将流过内部二极管的电流限制在 10mA 或更低。在严苛的电气环境下，可能需要外部保护电路，具体取决于应用要求和环境条件。

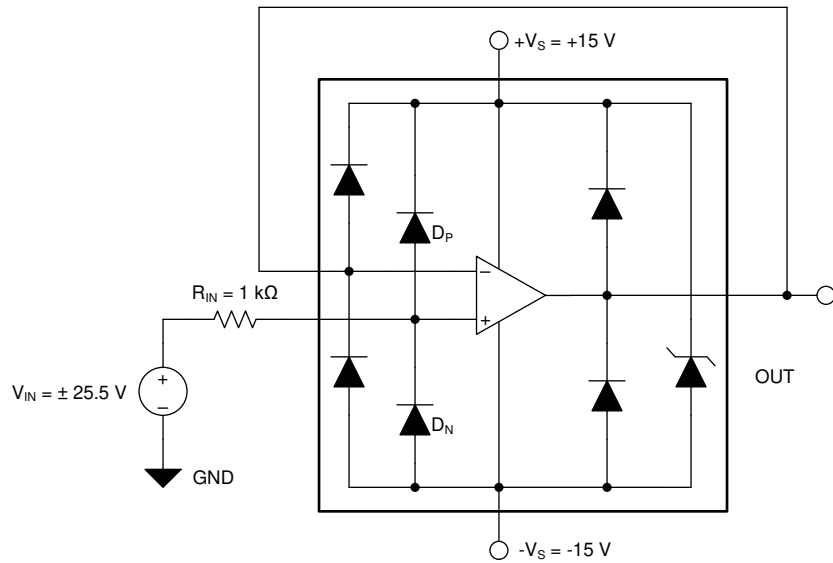


Copyright © 2018, Texas Instruments Incorporated

图 7-2. 等效内部 ESD 电路

图 7-3 说明了一个在输入过压条件下保护 OPA828 输入的示例。在此示例中，OPA828 的同相输入通过增加一个外部电阻进行保护。如果输入电压 V_{IN} 超过任一电源电压，则输入 ESD 二极管将会正向偏置大约 0.5V。在这种情况下，应限制流经正向偏置内部 ESD 二极管的电流；请参阅 节 6.1。图 7-3 说明了一个特定示例，其中增加的输入电阻提供了必要的电流限制，还允许 V_{IN} 输入电压高达 $\pm 25.5V$ 。假设在对称双电源配置下，可以通过以下公式确定该电路配置的最大输入电压：

$$\pm |V_{IN}| = |V_S| + 0.5V + 10mA \times R_{IN} \tag{1}$$



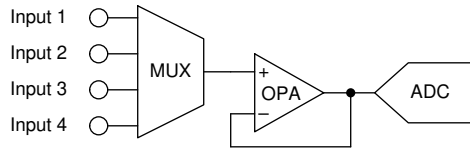
Copyright © 2018, Texas Instruments Incorporated

图 7-3. 限制输入电流

添加串联输入保护电阻会为电路增加额外的噪声源。小于 $250\ \Omega$ 的电阻值所产生的额外噪声不足 10%。 $1\text{ k}\Omega$ 电阻值会增加约 40% 的噪声。OPA828 的等效输入噪声电阻大约为 $1\text{ k}\Omega$ 。

7.3.3 多路复用器友好型输入

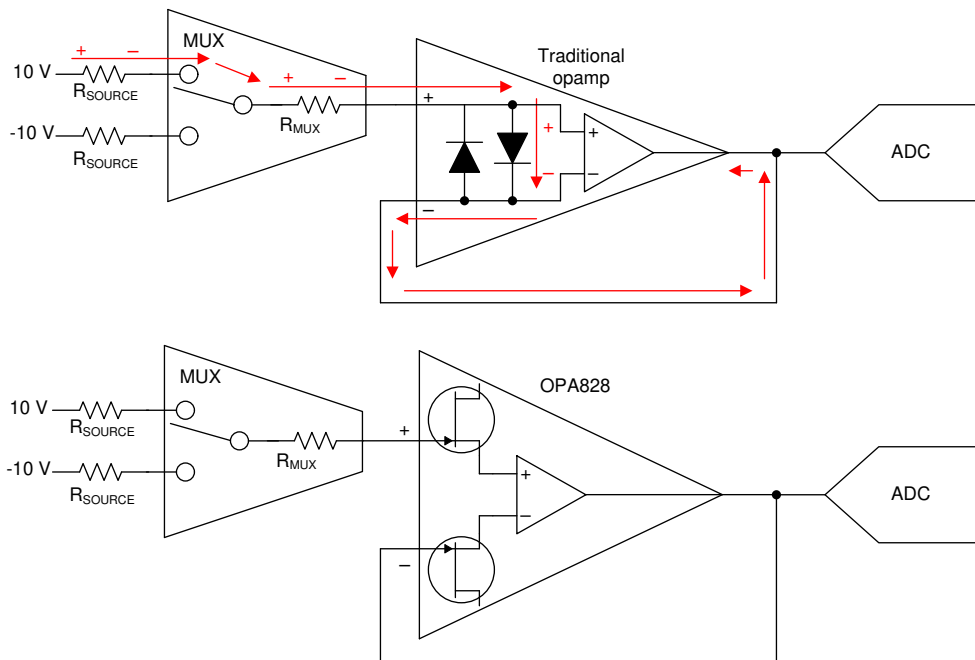
多路复用是一种在多通道系统中执行数据采集的常用技术，信号链要求非常低。在这种情况下，多路复用器 (MUX) 在采集系统中的作用是在通道之间进行切换，并尽可能快地将每个信号发送到单个数据转换器，从而尽可能提高系统吞吐量和降低延迟。为了实现精确的处理，将精密放大器放置在多路复用器的下游，以便精确地驱动模数转换器 (ADC)。图 7-4 阐明了这一概念。



Copyright © 2018, Texas Instruments Incorporated

图 7-4. 典型的多路复用系统方框图

在典型的多路复用应用中，驱动 ADC 的运算放大器的输入端通常会出现大瞬态电压。大输入差分电压在压摆或开环运行期间很常见，当从一个多路复用器输入切换到另一个时尤其常见。传统的精密放大器通常由一对差分晶体管组成，借助放大器输入端之间的反并联二极管，可以防范大差分瞬态输入电压。这些反并联二极管可有效地将输入之间的电压差限制为一个或两个正向二极管压降，从而保护精密输入器件免受损坏。然而，反并联二极管确实有很大的缺点，如开启时的大浪涌电流。如果出现无源滤波或高源阻抗，大浪涌电流会对稳定时间造成影响，从而限制系统的吞吐量并降低信号链的精度。OPA828 不需要反并联二极管来保护输入 JFET 晶体管，即使差分输入电压高达 $\pm 18V$ ，也不会出现大浪涌电流。图 7-5 中说明了这些概念。



Copyright © 2018, Texas Instruments Incorporated

图 7-5. 典型的多路复用系统方框图

7.3.4 过载功率限制器

许多应用对运算放大器的功耗有严格的限制；因此，放大器功耗必须保持恒定，即使在输入电压大或输出电压等于电源轨等故障情况下也是如此。尤其是，OPA828 等高压摆率放大器会在放大器压摆时暂时增加电源电流。在压摆增强放大器中，大输入信号的存在会带来一个特定问题，因为大输入信号会在放大器输入端施加大电压。输入端的这种大电压会激活压摆增强电路，导致电流消耗显著增加。在高电源电压下，大电流消耗可能导致放大器显著自发热。

OPAx828 兼具 $150\text{V}/\mu\text{s}$ 的高压摆率和 5.5mA 的低电源电流。与许多其他放大器一样，这些特性通过压摆增强方法实现，可以在放大器压摆时暂时增加放大器的电流消耗。这类压摆情况是通过测量输入引脚上的电压来检测的。在静态条件下，该电压非常小（等于放大器失调电压）。或者，如果输入电压快速变化，则会在输入端施加一个大电压，并且放大器输出必须压摆。在 OPAx828 上，电源电流逐步增加，并且与施加的输入电压成正比，从而提供表现良好的大阶跃响应和出色的 THD。高压摆率可确保输出在大约 300ns 内重新稳定；因此，增加的功耗会被去耦电容吸收，而且不会对电源造成额外负载。

在 OPAx828 中，通过持续监测放大器输入和输出的额外保护电路，可以避免上述电流消耗增加的问题。如果检测到输入电压，保护电路会检查输出端电压是否存在快速变化。如果输出电压没有变化（例如，由于输出处于电源轨），保护电路会在大约 300ns 的延迟后禁用压摆增强电路。过载情况消除后，放大器迅速恢复到正常工作状态。图 7-6 中展示了这种运行，其中放大器的电源电流是在移除去耦电容的情况下测量的。 300ns 后，放大器的功耗会恢复到静态水平。同时，该放大器仍然具有小于 55ns 的出色过载恢复时间。

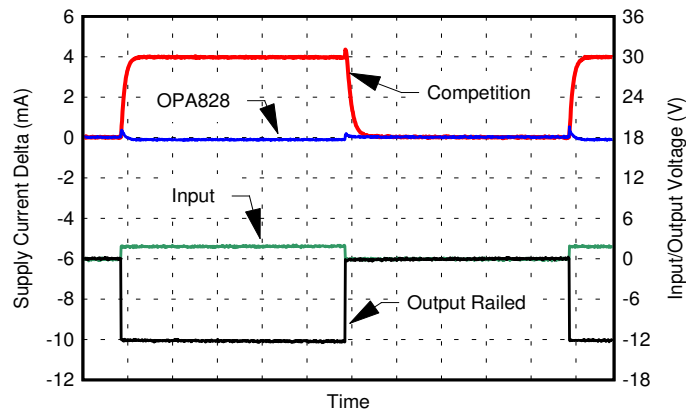


图 7-6. 过载输出时的电源电流变化

7.3.5 噪声性能

图 7-7 所示为采用单位增益配置的运算放大器在使用不同源阻抗时的总电路噪声（无反馈电阻器网络，因此不产生额外的噪声）。显示了 OPA828 和 OPA211，并计算了总电路噪声。运算放大器本身能够产生电压噪声分量和电流噪声分量。电压噪声通常按失调电压时变分量建模。电流噪声则按输入偏置电流时变分量建模，并根据不同的源阻抗生成一个噪声电压分量。因此，特定应用中运算放大器的最低噪声取决于源阻抗。源阻抗较低时，电流噪声可忽略不计，电压噪声占主导。由于运算放大器的 FET 输入，OPAx828 器件兼具低电压噪声和极低电流噪声。因此，OPAx828 的电流噪声贡献对于任何实际源阻抗来说忽略不计，这使得 OPAx828 成为高源阻抗应用的卓越选择。

方程式 2 提供了一种简单的方法来计算单位增益缓冲器运算放大器电路的总噪声 E_O ：

$$E_O = \sqrt{e_N^2 + (i_N \times R_S)^2 + 4kTR_S} \quad (2)$$

其中

- e_N = 电压噪声
- i_N = 电流噪声
- R_S = 源阻抗
- k = 玻尔兹曼常数 = 1.38×10^{-23} J/K
- T = 开氏温度 (K)

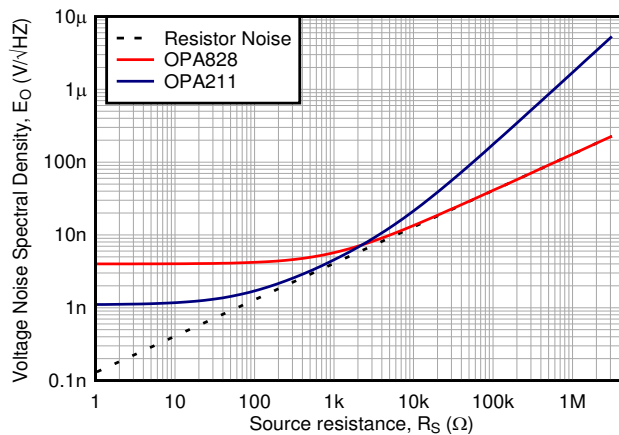


图 7-7. 采用单位增益缓冲器配置的 OPA828 和 OPA211 的噪声性能

7.3.5.1 低噪声

OPA828 采用先进的 SiGe 精密、高速、高电压、BiFET 晶圆工艺制造。使用了已获专利的晶圆处理技术来降低与 JFET 栅极区域相关的噪声。图 7-8 展示了 OPA828 的噪声频谱密度。

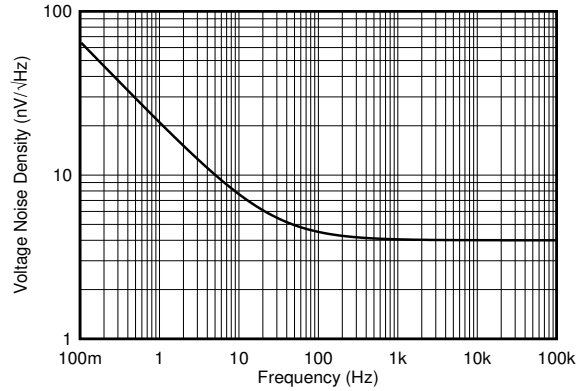


图 7-8. 噪声频谱密度与频率间的关系

7.3.6 容性负载和稳定性

OPA828 的动态特性针对常见的工作条件进行了优化。低闭环增益和高容性负载组合减小了放大器的相位裕度，可能会出现增益峰值或振荡。因此，高容性负载必须与输出隔离。实现此隔离的最简单方法就是增加一个与输出串联的小电阻器（例如，等于 $50\ \Omega$ 的 R_{OUT} ）。图 7-9 图形显示了小信号过冲和容性负载。请参阅 [反馈曲线图定义运算放大器交流性能](#)，详细了解分析技巧和应用电路。

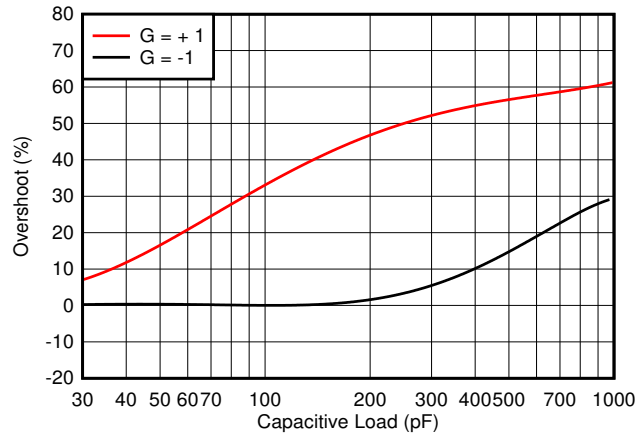


图 7-9. 小信号过冲与容性负载间的关系

7.3.7 稳定时间

稳定时间是对放大器输出稳定在输入振幅的某个百分比（误差范围）内的度量，用于描述放大器对阶跃输入的响应。放大器稳定时间由大信号响应和小信号响应构成。大信号响应的特性是上升时间和下降时间，而小信号响应的特性是过冲和振铃。图 7-10 说明了与放大器稳定时间相关的概念和术语。具体来说，稳定时间定义为从应用输入信号开始，输出稳定到指定误差范围内所需的时间。

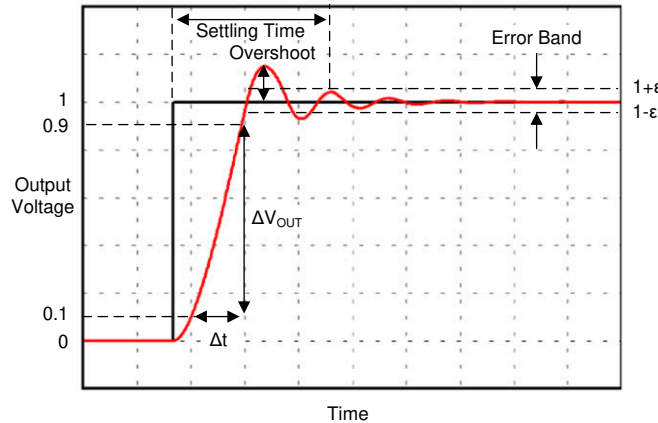


图 7-10. 稳定时间

OPAx828 以两种方式尽可能减少高分辨率系统的稳定时间。首先，整合一个内部压摆增强电路，尽可能减少上升和下降时间，其次，具有宽带宽和出色的相位裕度以及低振铃，可以在极短的时间内实现小信号稳定。OPAx828 在激光生产过程中进行了修整，尽可能减小器件压摆率、带宽和相位裕度方面的器件间差异，从而在所有制造批次中保持出色的单元间差异。

7.3.8 压摆率

最能说明大信号动态行为的放大器参数是压摆率。压摆率衡量输出电压相对于时间的最大变化率，通常以伏特/微秒 (V/μs) 为单位表示。通常，在输出从最终值的 10% 摆动到最终值的 90% 的时间内测量压摆率。图 7-10 中说明的信号压摆率可通过方程式 3 得出。

$$Slew\ Rate = \frac{\Delta V_{OUT}}{\Delta t} = \frac{(V_{OUT90} - V_{OUT10})}{(t_{90} - t_{10})} \quad (3)$$

放大器的压摆率受放大器内部架构、放大器静态功率和内部电容的限制。OPAx828 可通过整合压摆增强电路来更大程度提高压摆率。OPAx828 中使用的专有压摆增强电路可在保持低静态功率水平的同时，产生非常高的压摆率。内部压摆增强电路会测量 +IN 和 -IN 输入引脚之间存在的输入差分电压。如果此输入差分电压足够大，则内部压摆增强电路会增加放大器的内部偏置电流，从而使输出能够更快压摆。为了提供优异的动力性能，请将电源旁路电容放置到 OPAx828 附近。

如果放大器输入存在大的静态或直流差分电压，OPAx828 会发现该情况，将其视为过载，而不是加快压摆。在这种情况下，OPAx828 内部偏置电流不会增加，并且静态电流与正常值相比保持不变。

7.3.9 全功率带宽

放大器的全功率带宽描述了在压摆率导致的失真成为主要误差源之前，放大器可以在输出端提供的最大正弦信号的频率。图 7-11 阐明了这一概念。

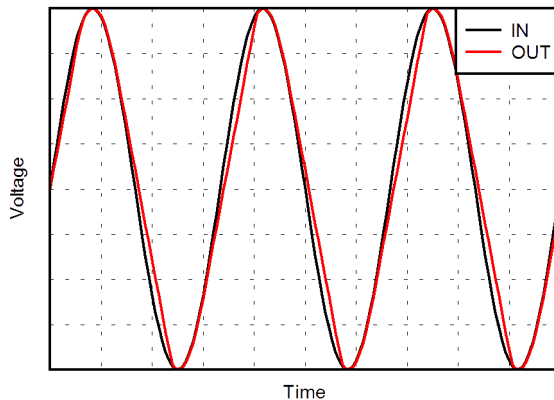


图 7-11. 压摆率导致的失真

如果放大器的输入被驱动得相隔太远（例如，当连接到反相输入的多路复用器改变通道时），将会启用压摆增强电路以帮助稳定时间，但可能会导致信号失真。如果需要低失真，则应避免将输入驱动得彼此相隔太远。OPAx828 具有 1.2MHz 全功率带宽和 10V_{PEAK} 输出电压。图 7-12 说明了作为频率函数的最大输出电压。

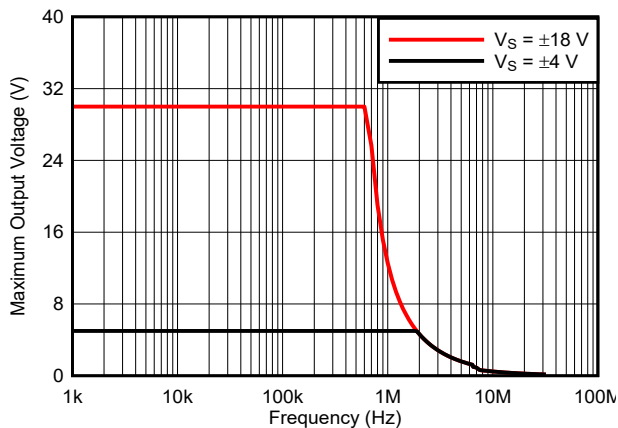


图 7-12. 最大输出电压与频率间的关系

7.3.10 小信号响应

能够非常贴切地描述小信号动态行为的放大器参数是增益带宽积 (GBP)、单位增益频率 (UGF) 和相位裕度 (PM)。GBP 是确定闭环配置中应用带宽的有用参数。方程式 4 可用于近似计算 OPAx828 的闭环带宽。通常，GBP 在放大器配置为 100 (40dB) 同相增益情况下是一个额定参数。放大器的 GBP 通常假设在整个频率范围内保持恒定，但在某些速度较高的放大器中，并非如此。OPAx828 一直到 UGF 都具有恒定的 GBP；因此，OPAx828 开环增益具有恒定的 -20dB/十倍频程斜率 (-6dB/倍频程)。UGF 定义为放大器增益超过 1V/V (0dB) 时的频率。图 7-13 说明了 GBP 和 UGF 的概念。OPAx828 的 GBP 和 UGF 均为 45MHz。

$$Bandwidth = \frac{GBP}{A_{CL}} = \frac{45MHz}{A_{CL}} \quad (4)$$

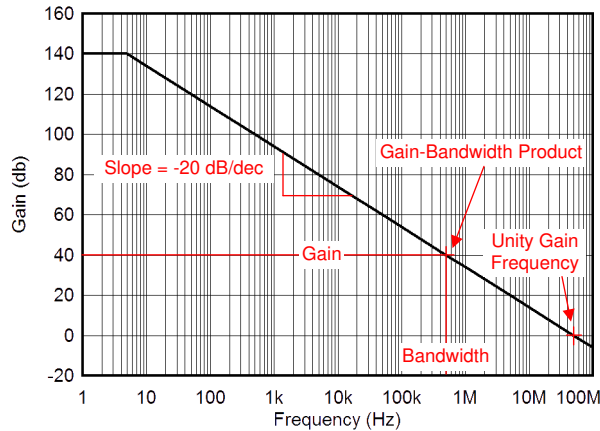


图 7-13. 增益带宽积和单位增益频率

7.3.11 热关断

OPAx828 通过内部热关断特性来提供热过载保护。当在苛刻的高温工业环境中运行时，关断设计可提供热保护。这些器件可准确测量芯片上最热位置的结温。当结温达到热关断温度时，会将输出置于高阻抗状态以禁用器件。此状态可防止进一步发生功耗，使 OPAx828 开始冷却。在结温降低热迟滞量后，OPAx828 会恢复正常运行。如果导致 OPAx828 发热的输出条件仍然存在，则器件可能再次进入热关断。OPAx828 关断期间的静态电流会降至约 20μA。发现并纠正热关断的原因可以恢复正常的器件运行。当 OPAx828 结温超过大约 165°C 时，会发生热关断。在热关断模式下，OPAx828 会在结温降至大约 145°C 时恢复正常运行。

7.3.12 低失调电压温漂

每个 OPAx828 都会在生产过程中进行激光修整。通过修整两个温度下的输入失调电压，可在整个温度范围内提供低输入失调电压温漂。

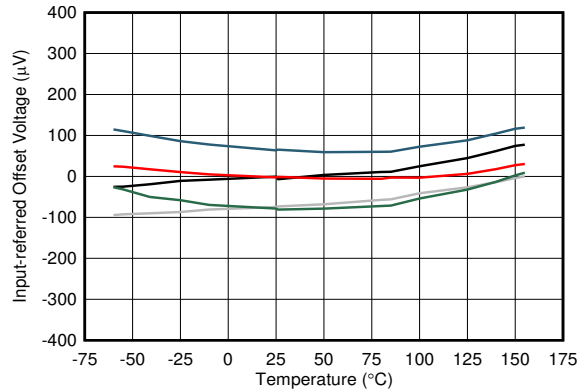


图 7-14. 输入失调电压与温度间的关系

7.3.13 过载恢复

过载恢复的定义是运算放大器输出从饱和状态恢复到线性状态所需的时间。当因高输入电压或高增益导致输出电压超过额定工作电压时，运算放大器的输出器件将进入饱和区域。器件进入饱和区后，输出器件中的电荷载体必须有时间恢复到正常状态。当电荷载体恢复至平衡状态后，器件开始以正常压摆率进行转换。因此，传播延迟（过载情况下）等于过载恢复时间与转换时间之和。OPAx828 的过载恢复时间约为 55ns。

7.4 器件功能模式

OPAx828 可在 $\pm 4V$ 和 $\pm 18V$ 的电源电压范围内运行。在运行过程中，OPAx828 器件会自发热。器件发热量是电源电压和负载功耗之间的函数。在重负载条件下和环境温度升高时，OPAx828 进入热关断。当 OPAx828 结温超过大约 $165^{\circ}C$ 时，会发生热关断。在热关断模式下，OPAx828 会在结温降至大约 $145^{\circ}C$ 时恢复正常运行。

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

OPAx828 结合了低失调电压、低温漂和在宽频范围内具有低噪声等特性，因此非常适合用于各种测试设备和数据采集系统。

8.2 典型应用

8.2.1 SAR ADC 驱动器

利用 OPAx828 的高直流精度和交流性能以及 45MHz 带宽，器件能够快速准确地驱动 16 位逐次逼近寄存器 (SAR) 模数转换器 (ADC)。

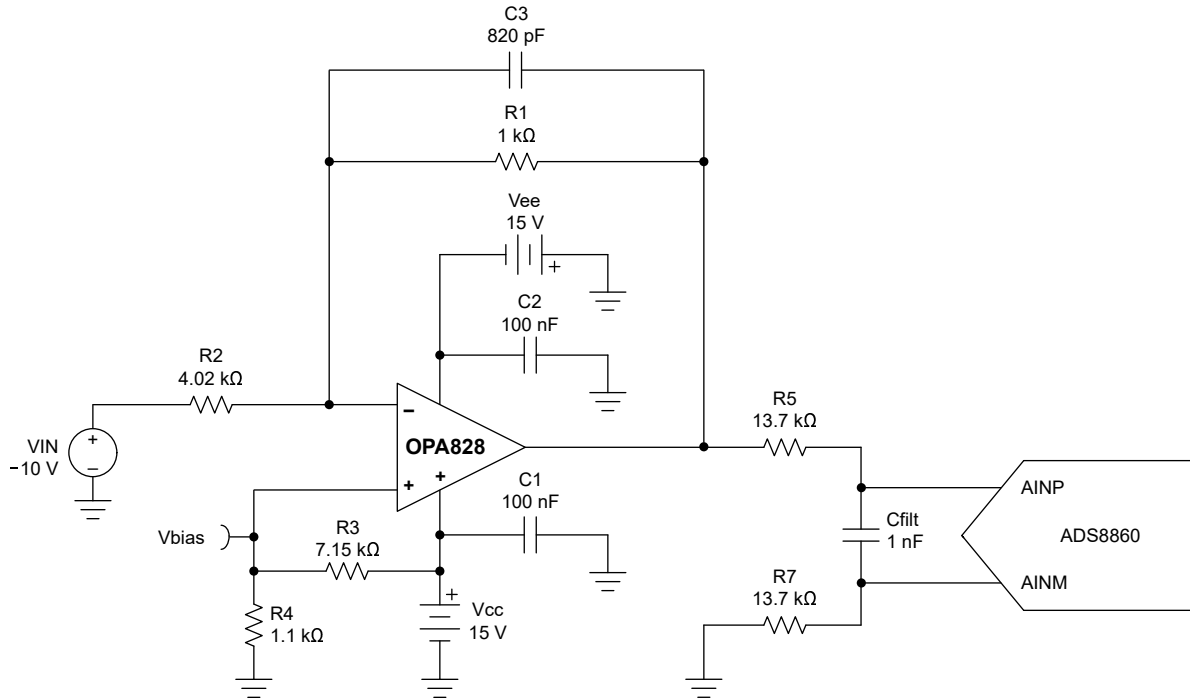


图 8-1. OPA828 配置为 SAR 驱动器

8.2.1.1 设计要求

此示例的设计要求包括：

- 使用 $\pm 15\text{V}$ 电源为 OPA828 供电
- 放大器输出必须在 290ns 内稳定至 16 位精度
- 增益 = $-1/4$
- 放大器输出偏置至 2V
- 放大器输入 = $\pm 10\text{V}$ ，输出 = 0V 至 5V

8.2.1.2 详细设计过程

图 8-1 展示了 OPA828 经配置可将 $\pm 10\text{V}$ 的宽输入电压范围降到 0V 至 5V 。放大器的输出范围根据 ADS8860 16 位 1MSPS SAR ADC 的满量程输入范围进行选择。使用了 $\pm 15\text{V}$ 的电源轨，因此放大器可以在整个输入范围内实现线性摆幅。在此设计中，放大器输出可在所选 ADC 的 290ns 采集时间内稳定至 16 位。

Analog Engineer's Calculator 用于选择设置放大器和 ADC 之间信号衰减以及电荷桶所需的电阻和电容。选择输入和反馈电阻，以便提供 $-1/4$ 的增益（例如，在反相配置中实现 4 倍衰减）。 V_{BIAS} 固定为 2V ，从而实现 0V 至 5V 的输出摆幅。图 8-2 展示了该电路的仿真稳定时间。为了正常工作，放大器的输出必须在 ADC 采集周期结束前稳定在 $\pm 1/2$ LSB 范围内。在此示例中，使用 ADS8860 时，放大器的输出必须稳定在 $\pm 38.15\mu\text{V}$ 范围内。 V_{error} 是放大器的预期输出与实际输出之差。

在反馈网络中添加了一个 820pF 电容，用于创建截止频率为 194kHz 的低通滤波器。该滤波器可降低 ADC 噪声，并提高系统的精度。该电路的直流传递函数如图 8-3 所示，交流响应如图 8-4 所示。

有关将放大器配置为 ADC 驱动器、为电荷桶选择电阻和电容以及其他信号链主题的更多详细信息和培训，请访问 TI 高精度实验室。

8.2.1.3 应用曲线

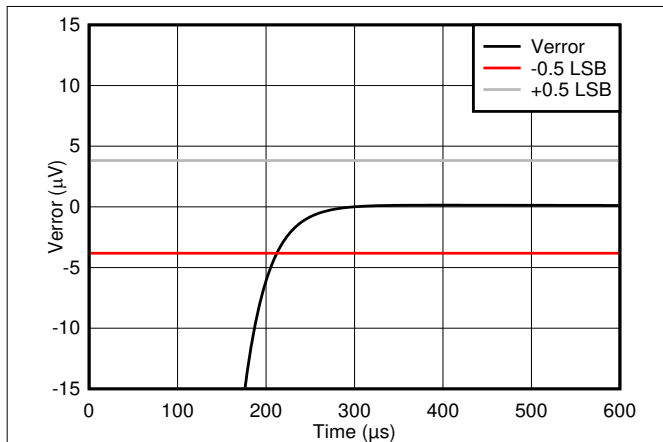


图 8-2. OPA828 输出稳定时间

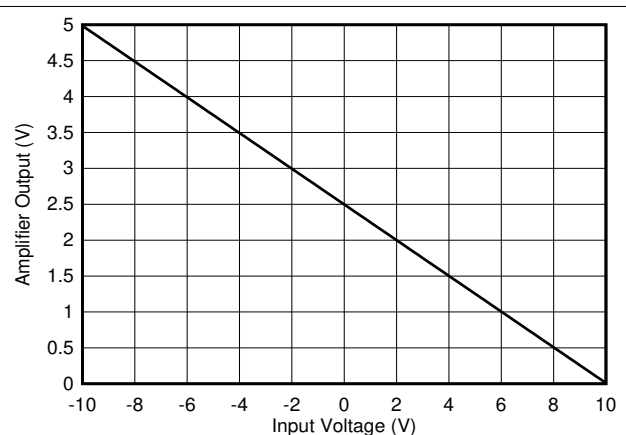


图 8-3. OPA828 直流传递函数

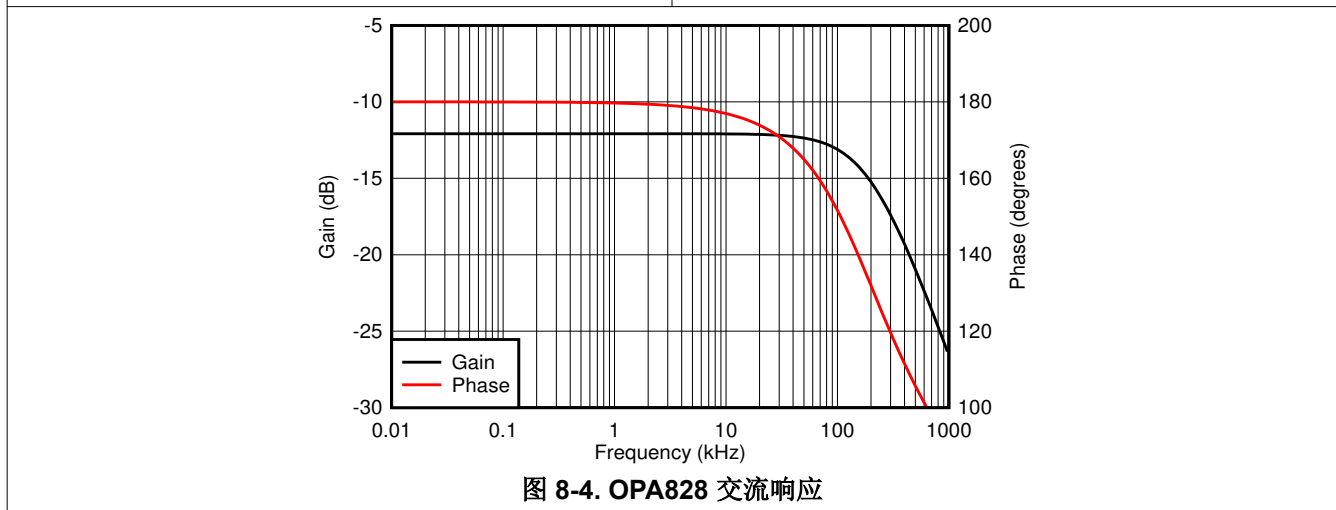
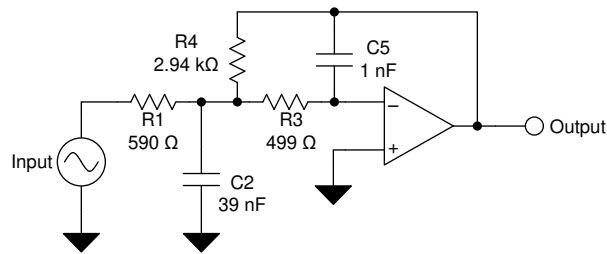


图 8-4. OPA828 交流响应

8.2.2 低通滤波器



Copyright © 2016, Texas Instruments Incorporated

图 8-5. 典型的 OPA828 应用原理图

8.2.2.1 设计要求

本设计示例使用以下参数：

- 增益 = 5V/V (反相增益)
- 低通截止频率 = 25kHz
- 通带中增益峰值为 3dB 的二阶切比雪夫滤波器响应

8.2.2.2 详细设计过程

图 8-5 展示了实现低通网络功能的无限增益多反馈电路。方程式 5 计算了电压传递函数。

$$\frac{\text{Output}}{\text{Input}}(s) = \frac{-1/R_1 R_3 C_2 C_5}{s^2 + (s/C_2)(1/R_1 + 1/R_3 + 1/R_4) + 1/R_3 R_4 C_2 C_5} \quad (5)$$

该电路将产生信号反转。对于该电路，方程式 6 可以计算直流增益和低通截止频率：

$$\begin{aligned} \text{Gain} &= \frac{R_4}{R_1} \\ f_c &= \frac{1}{2\pi} \sqrt{(1/R_3 R_4 C_2 C_5)} \end{aligned} \quad (6)$$

8.2.2.3 应用曲线

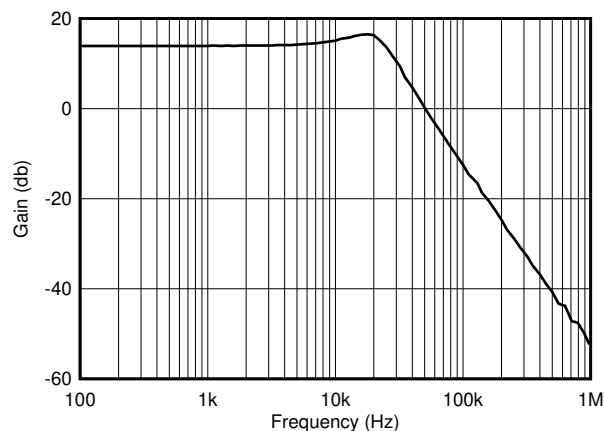


图 8-6. 低通滤波器传递函数

8.3 电源相关建议

OPAx828 的额定工作电压为 8V 至 36V (±4V 至 ±18V)；许多规格在 -40°C 至 +125°C 的温度下适用。典型特性曲线中显示了可能会随工作电压或温度的变化而显著变化的参数。

将 $0.1\ \mu\text{F}$ 旁路电容器置于电源引脚附近，可减少从高噪声电源或高阻抗电源中耦合进来的误差。有关旁路电容放置的更多详细信息，请参阅 *布局* 部分。

8.4 布局

8.4.1 布局指南

为了实现器件的卓越运行性能，请使用良好的印刷电路板 (PCB) 布局布线实践，包括以下指导原则：

- 噪声可以通过整个电路的电源引脚，尤其是运算放大器的电源引脚传入模拟电路。通过使用旁路电容器提供模拟电路的本地低阻抗电源，可减少耦合噪声。
- 在每个电源引脚和接地端之间连接低 ESR $0.1\ \mu\text{F}$ 陶瓷旁路电容器，放置位置尽量靠近器件。从 $V+$ 到接地端之间的单个旁路电容适用于单电源应用。
- 将电路中的模拟部分和数字部分单独接地是最简单最有效的噪声抑制方法之一。通常将多层 PCB 中的一层或多层专门作为接地层。接地层有助于散热和减少电磁干扰 (EMI) 噪声拾取。确保对数字接地和模拟接地进行物理隔离，同时应注意接地电流的流动。
- 为了减少寄生耦合，请让输入走线尽可能远离电源或输出走线。如果这些走线不能保持分离，则敏感走线与有噪声走线垂直相交比平行更好。
- 外部组件的位置应尽量靠近器件。
- 尽可能缩短输入走线的长度。切记：输入走线是电路中最敏感的部分。
- 考虑在关键走线周围设定驱动型低阻抗保护环。保护环可显著减少附近走线在不同电势下产生的漏电流。
- 在组装 PCB 板之后对其进行清洁，以获得最佳性能。
- 任何精密集成电路都可能因湿气渗入塑料封装中而出现性能变化。在执行任何 PCB 水清洁流程之后，将 PCB 组件烘干，以去除清洁时渗入器件封装中的湿气。大多数情形下，清洗后在 85°C 下低温烘干 30 分钟即可。

8.4.1.1 散热注意事项

正常运行时，OPAx828 会自发热。自发热是每个放大器中都会发生的芯片结温升高的自然现象。这种自发热是多个因素造成的，包括静态功耗、封装热阻、PCB 布局布线和器件工作条件。

为了确保放大器正常运行而不进入热关断状态，请使用方程式 7 来计算近似结（芯片）温：

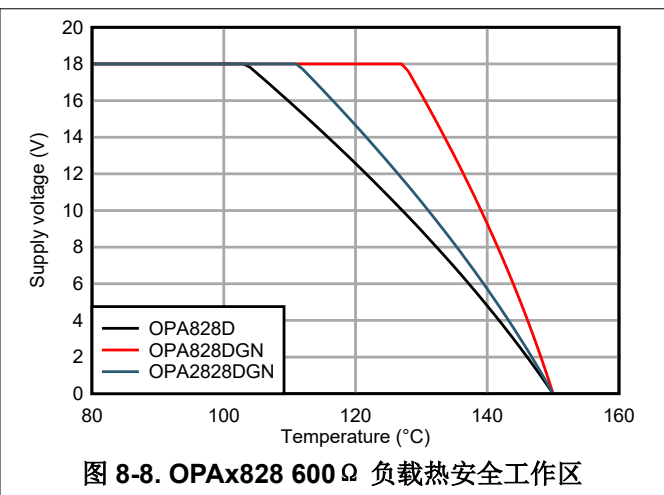
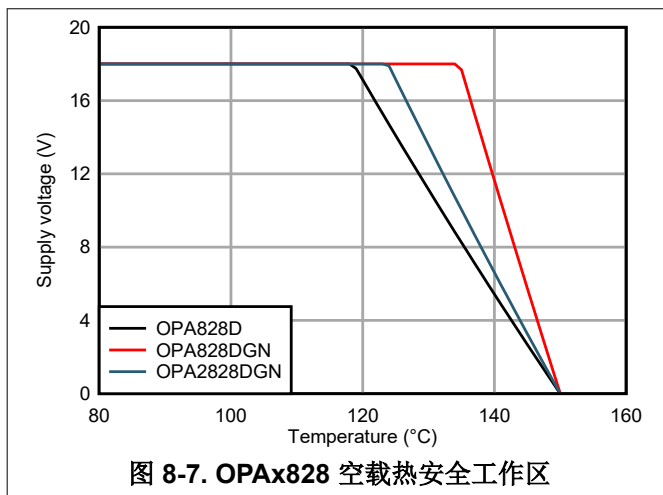
$$T_j = P_D * \Theta_{JA} + T_A \quad (7)$$

例如，方程式 8 计算了在 25°C 环境温度下空载时 OPA828 (D 封装) 的近似结温。

$$T_j = (36V * 5.5mA) * 121.5^\circ C / W + 25^\circ C$$

$$T_j = 49^\circ C \quad (8)$$

对于高压、精密放大器，如 OPAx828，在静态（空载）条件下，结温很容易比环境温度高几十度。如方程式 7 和方程式 8 所示，结温取决于封装的热性能，如结至环境热阻 ($R_{\Theta JA}$) 所示。如果器件随后开始驱动重负载，则结温可能会上升并触发热关断电路。对于此类负载情况，DGN 封装包含一个可显著降低 $R_{\Theta JA}$ 的散热焊盘。正确的 PCB 布局布线对于实现这种热行为改进至关重要。图 8-7 和图 8-8 展示了不同封装版本在负载和空载两种条件下，OPAx828 不进入热关断状态时的最大输出电压与环境温度。



8.4.1.2 PowerPAD™ 设计注意事项 (仅限 DGN 封装)

OPAx828 采用热增强型 PowerPAD 集成电路封装。图 8-9(a) 和 (b) 说明了如何使用安装芯片的下部引线框构建 PowerPAD 封装。图 8-9(c) 展示了这种布置如何导致引线框作为散热焊盘暴露在封装底部。此散热焊盘与芯片发生直接热接触。因此，通过提供远离散热焊盘的良好导热路径，可实现出色的热性能。

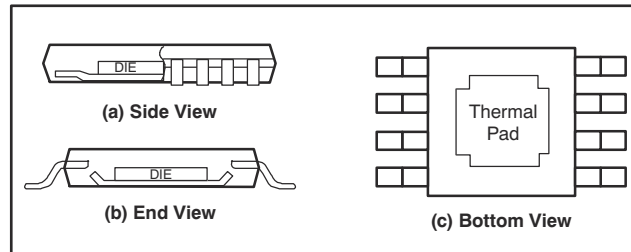


图 8-9. 热增强型封装视图

借助 PowerPAD 集成电路封装，一次生产操作即可实现组装管理和散热管理。在表面贴装焊接操作（焊接引线时）中，必须将散热焊盘焊接在封装底面上的覆铜区域内。通过在此覆铜区域内使用散热路径，可将封装的热量传递到接地平面或其他散热器件上。始终需要将散热焊盘焊接到印刷电路板 (PCB)，即使是功耗较低的应用也不例外。此焊接在引线框芯片垫和 PCB 之间提供必需的散热和机械连接。尽管芯片与裸露的散热焊盘电气隔离 ($>10M\Omega$)，但是将焊盘连接到 V- 或系统接地平面，可以更大程度减少到输入引脚的潜在漏电流。更多详细信息，请参阅图 8-11。

8.4.2 布局示例

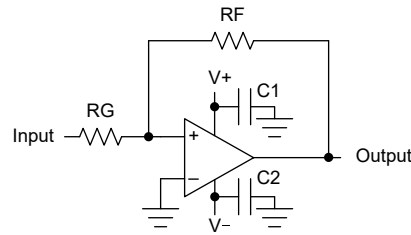


图 8-10. OPA828 原理图表示

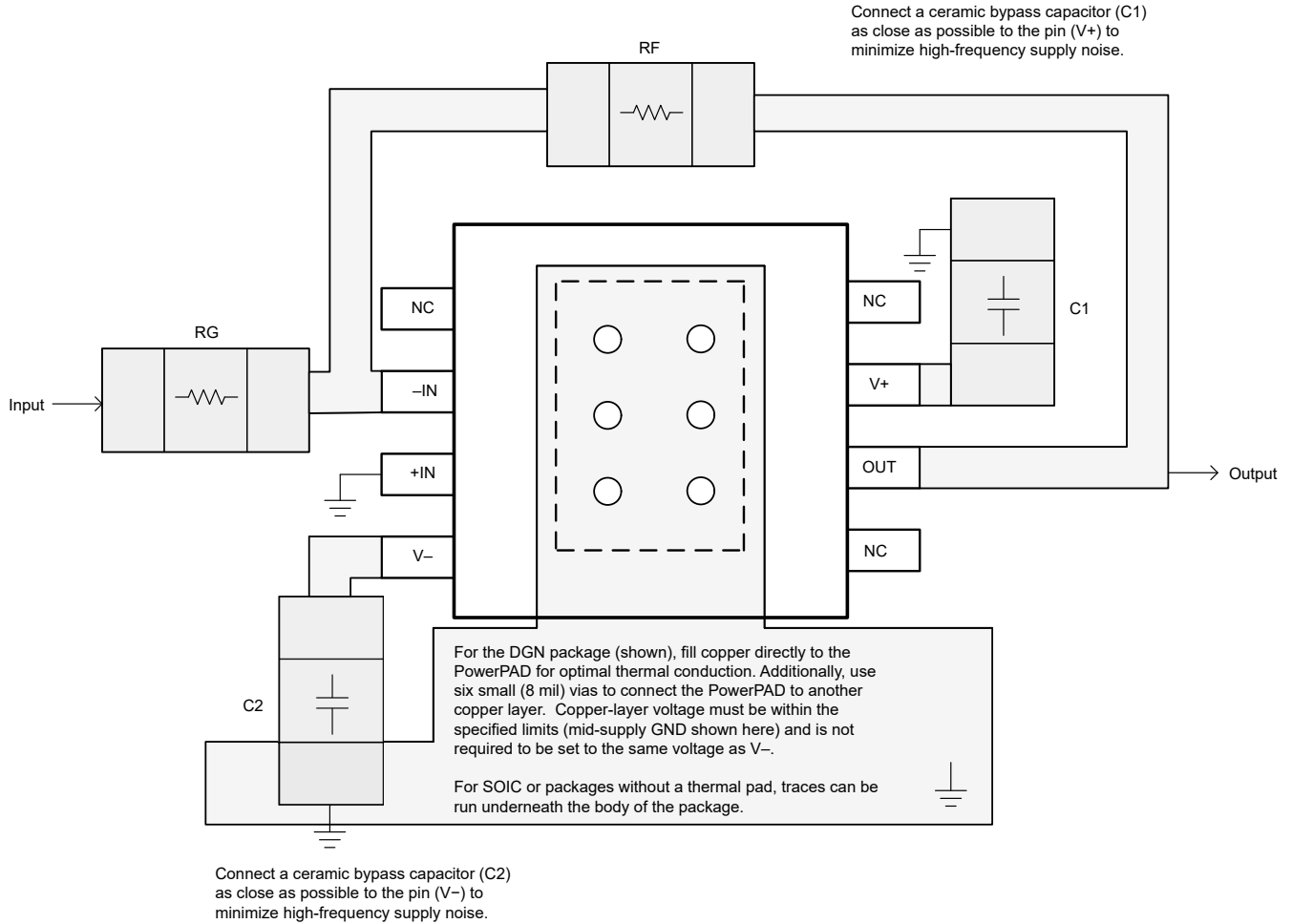


图 8-11. OPA828 布局示例

9 器件和文档支持

9.1 器件支持

9.1.1 开发支持

9.1.1.1 PSpice® for TI

PSpice® for TI 是可帮助评估模拟电路性能的设计和仿真环境。在进行布局和制造之前创建子系统设计和原型解决方案，可降低开发成本并缩短上市时间。

9.1.1.2 滤波器设计工具

滤波器设计工具是一款简单、功能强大且便于使用的有源滤波器设计程序。利用滤波设计器，用户可使用精选 TI 运算放大器和 TI 供应商合作伙伴提供的无源器件来打造理想滤波器设计方案。

设计工具和仿真网页以基于网络的工具形式提供滤波设计工具。用户通过该工具可在短时间内完成多级有源滤波器解决方案的设计、优化和仿真。

9.2 文档支持

9.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，[用直观方式补偿跨阻放大器 应用报告](#)

9.3 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [订阅更新](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.4 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

9.5 商标

PowerPAD™ and TI E2E™ are trademarks of Texas Instruments.

PSpice® is a registered trademark of Cadence Design Systems, Inc.

所有商标均为其各自所有者的财产。

9.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.7 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

10 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
OPA2828IDGNR	ACTIVE	HVSSOP	DGN	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2QGJ	Samples
OPA2828IDGNT	ACTIVE	HVSSOP	DGN	8	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2QGJ	Samples
OPA828ID	ACTIVE	SOIC	D	8	75	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA828	Samples
OPA828IDGNR	ACTIVE	HVSSOP	DGN	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2RAJ	Samples
OPA828IDGNT	ACTIVE	HVSSOP	DGN	8	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2RAJ	Samples
OPA828IDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA828	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2828IDGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2828IDGNT	HVSSOP	DGN	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA828IDGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA828IDGNT	HVSSOP	DGN	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA828IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2828IDGNR	HVSSOP	DGN	8	2500	356.0	356.0	35.0
OPA2828IDGNT	HVSSOP	DGN	8	250	210.0	185.0	35.0
OPA828IDGNR	HVSSOP	DGN	8	2500	356.0	356.0	35.0
OPA828IDGNT	HVSSOP	DGN	8	250	210.0	185.0	35.0
OPA828IDR	SOIC	D	8	2500	356.0	356.0	35.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
OPA828ID	D	SOIC	8	75	506.6	8	3940	4.32

GENERIC PACKAGE VIEW

DGN 8

PowerPAD VSSOP - 1.1 mm max height

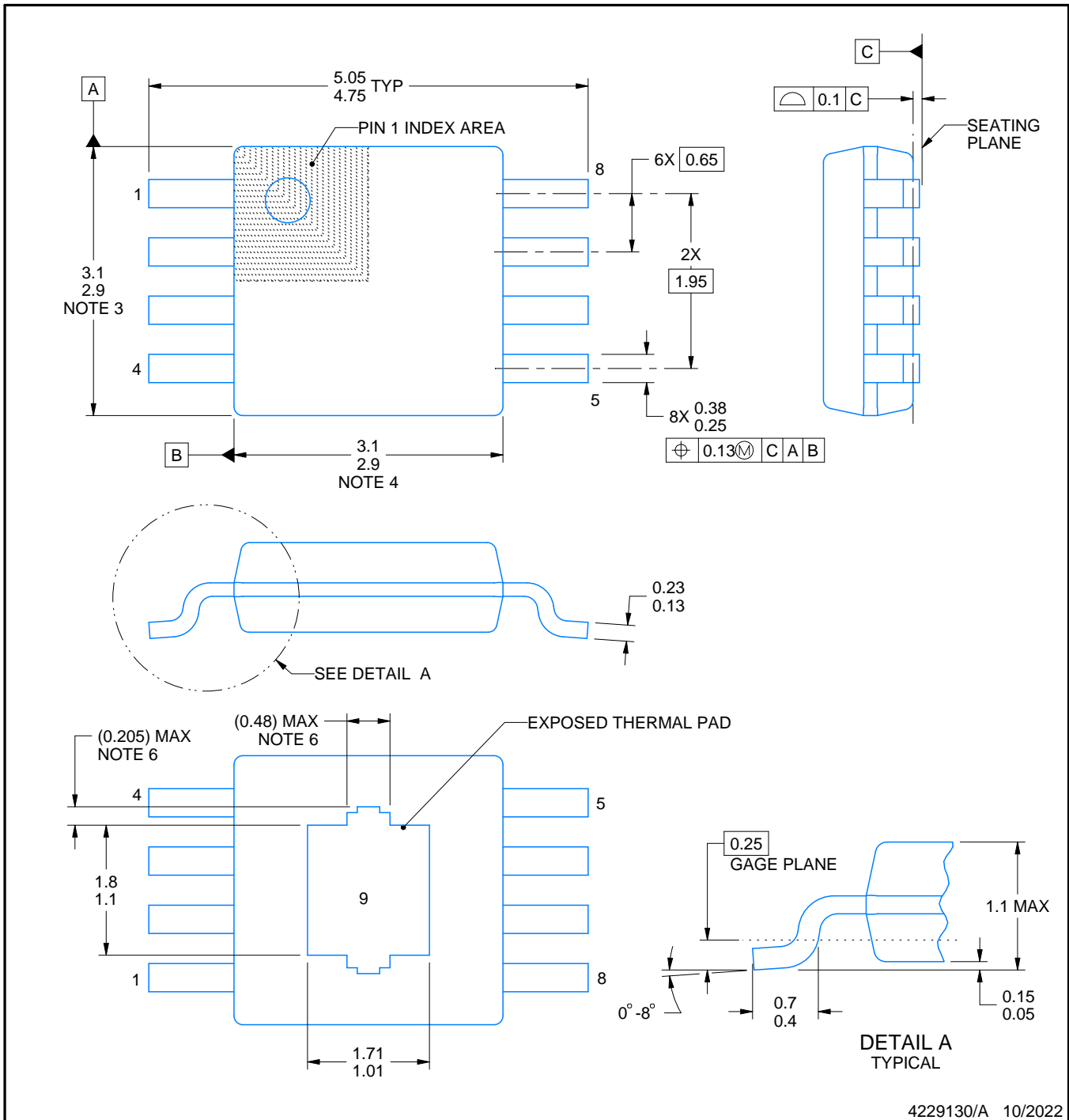
3 x 3, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225482/A



4229130/A 10/2022

NOTES:

PowerPAD is a trademark of Texas Instruments.

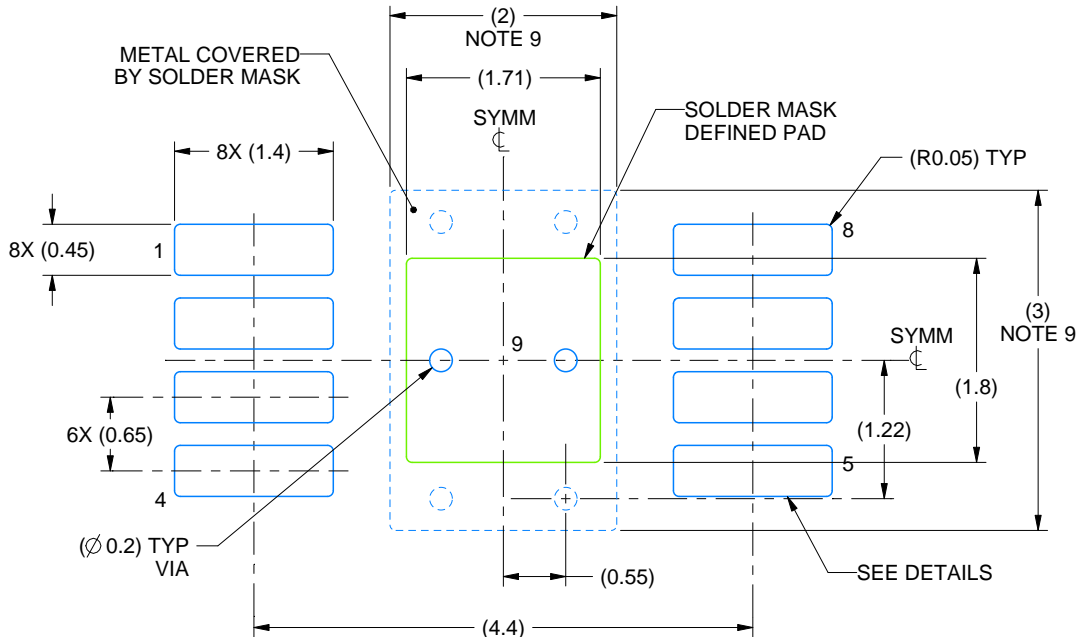
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.
6. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

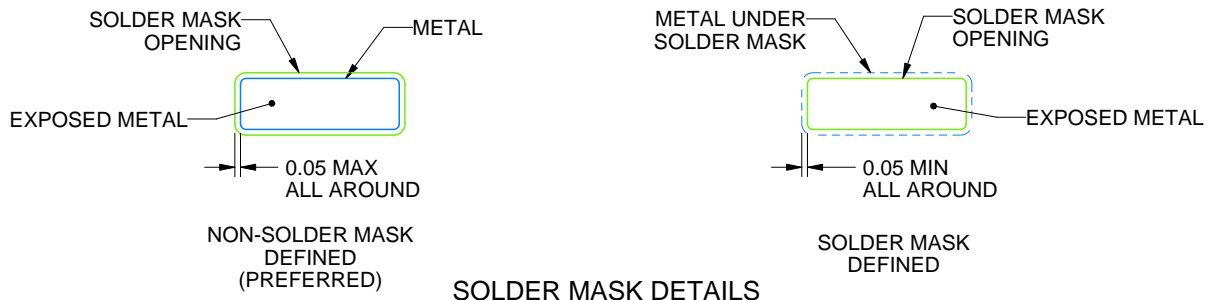
DGN0008H

PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4229130/A 10/2022

NOTES: (continued)

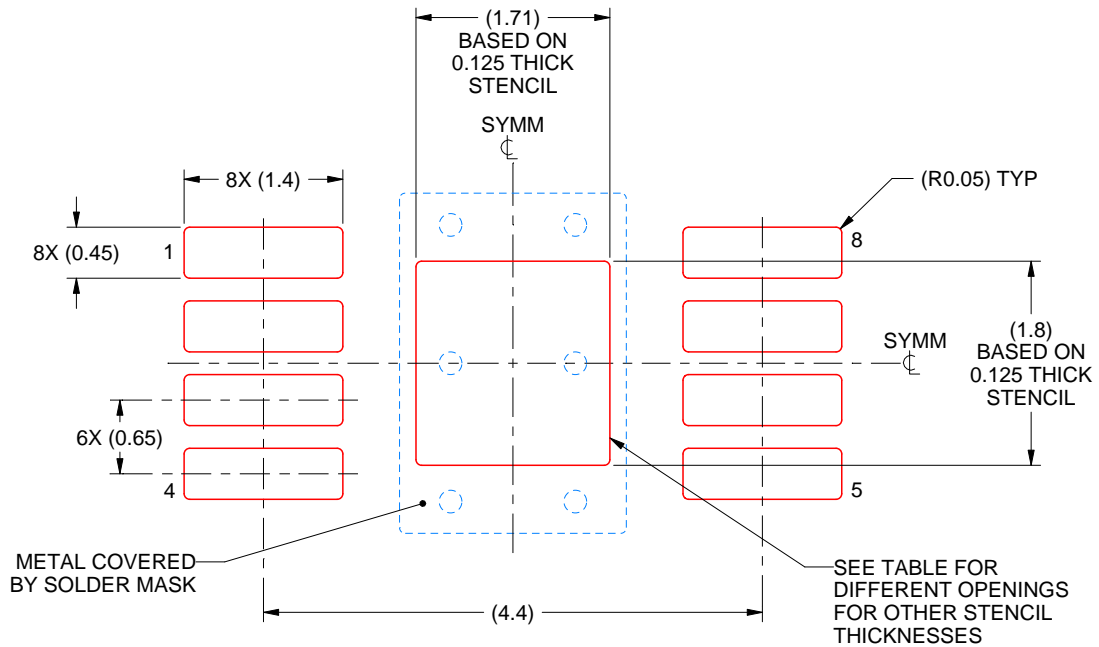
7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
9. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGN0008H

PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.91 X 2.01
0.125	1.71 X 1.80 (SHOWN)
0.15	1.56 X 1.64
0.175	1.45 X 1.52

4229130/A 10/2022

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.



D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed $.006$ [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
 EXPOSED METAL SHOWN
 SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司