

## CKS32F405/CKS32F407/CKS32F415/CKS32F417 32位基于Cortex™-M4内核的微控制器，1MB FLASH，192+4+128KB RAM

### 功能

#### ■内核：ARM32位Cortex™-M4 内核

- 最高168MHz工作频率，在存储器的0等待周期访问时可达1.25 DMIPS/MHz (Dhrystone2.1)
- 支持 DSP 指令

#### ■存储器

- 1MB 程序 Flash
- 高达 192+4+128KB SRAM 包含一个 64KB<sup>(1)</sup>的 CCM 数据 RAM
- 512B OTP 存储器
- 可配置的静态存储器控制器。支持 FLASH、SRAM、PSRAM、NOR 和 NAND 存储器
- 并行 LCD 接口，8080/6800 模式

#### ■时钟、复位和电源管理

- 1.8~3.6伏供电和I/O引脚
- 上电 断电复位 (POR/PDR)、可编程电压监测器 (PVD)、可编程欠压复位 (BOR)
- 4~26MHz外部晶体振荡器
- 内置经出厂调校的16MHz的高速RC振荡器
- 内置32kHz低速RC振荡器
- 32kHz外部晶体振荡器，用于RTC校准

#### ■低功耗

- 睡眠、停机和待机模式
- V<sub>BAT</sub>为RTC和备份寄存器以及4KB的备份SRAM供电

#### ■3个12位ADC，2.4MSPS A/D转换器(多达24个输入通道)，三个ADC联合使用可以达到7.2MSPS

#### ■2通道12位D/A转换器

#### ■通用DMA

- 16级流水DMA控制器
- 内置FIFO以及支持突发传输

#### ■多达17个定时器

- 12个16位定时器，2个32位定时器。可用于输入捕获/输出比较/PWM或脉冲计数的通道和增量编码以及带死区控制和紧急刹车，用于电机控制的PWM高级控制定时器
- 2个看门狗定时器(独立的和窗口型的)

- 系统时间定时器：24位自减型计数器

#### ■调试模式

- 串行单线调试(SWD)和JTAG接口
- Cortex™-M4 内嵌Trace单元

#### ■多达140个快速I/O端口

- 最多136个84MHz的快速IO口
- 最多138个5V耐压的IO口

#### ■多达15个通信接口

- 多达3个I<sup>2</sup>C接口(支持SMBus/PMBus)
- 多达4个USART/2个UART接口(支持ISO7816接口，LIN，IrDA接口和调制解调控制)
- 多达3个SP接口(42Mbits/s),2个可复用为I<sup>2</sup>S接口
- CAN接口(2.0B主动)
- SDIO接口

#### ■高级通信接口

- USB 2.0 全速device/host/OTG控制器，以及片上PHY
- USB2.0高速/全速device/host/OTG控制器，内置DMA以及片上全速PHY和ULPI
- 10/100MHz以太网，内置DMA，支持IEEE1588v2协议，MII/RMII接口

#### ■8-14串行数字摄像头接口，最高54MB/s

#### ■加密硬件加速器：支持AES 128, 192,256，三重DES，HASH (MD5, SHA-1) 和HMAC

#### ■真随机数发生器

#### ■CRC计算单元

#### ■96位的芯片唯一识别码

#### ■RTC：亚秒级计数以及硬件日历

注1：由于sram在跨16KB访问时可能会出现传输错误，因此建议使用前16KB的容量

## 目录

1. 介绍.....	1
2. 规格说明.....	1
2.1 系列之间的全兼容性.....	3
2.2 概述.....	4
2.2.1 ARM®的Cortex™-M4 核心，内置闪存和 SRAM.....	5
2.2.2 自适应实时存储器加速器.....	5
2.2.3 存储保护单元.....	5
2.2.4 嵌入式 FLASH.....	5
2.2.5 CRC(循环冗余校验)计算单元.....	5
2.2.6 内置 SRAM.....	6
2.2.7 总线阵列.....	6
2.2.8 DMA 控制器.....	6
2.2.9 FSMC(可配置的静态存储器控制器).....	7
2.2.10 嵌套的向量式中断控制器 (NVIC).....	7
2.2.11 外部中断/事件控制器 (EXTI).....	7
2.2.12 时钟和启动.....	8
2.2.13 自举模式.....	8
2.2.14 供电方案.....	8
2.2.15 供电监控器.....	8
2.2.16 电压调压器.....	9
2.2.17 调压器开/关，内部复位开/关.....	9
2.2.18 RTC，备份域 SRAM 和备份寄存器.....	9
2.2.19 低功耗模式.....	10
2.2.20 V <sub>BAT</sub> 操作.....	10
2.2.21 定时器和看门狗.....	10
2.2.22 I <sup>2</sup> C 总线.....	12
2.2.23 通用同步/异步收发器(USART).....	12
2.2.24 串行外设接口(SPI).....	13
2.2.25 I <sup>2</sup> S(芯片互联音频)接口.....	13
2.2.26 音频 PLL (PLLI2S).....	13

2.2.27 SDIO	14
2.2.28 ETH 以太网接口	14
2.2.29 控制器区域网络(CAN)	14
2.2.30 通用串行总线(OTG_FS)	14
2.2.31 通用串行总线(OTG_HS)	15
2.2.32 数字摄像头接口(DCMI)	15
2.2.33 加密加速器	16
2.2.34 真随机数发生器	16
2.2.35 通用输入输出接口(GPIO)	16
2.2.36 ADC(模拟/数字转换器)	16
2.2.37 温度传感器	16
2.2.38 DAC(数字至模拟信号转换器)	17
2.2.39 串行单线 JTAG 调试口(SWJ-DP)	17
2.2.40 TRACE 功能	17
3. 引脚定义	18
3.1 LQFP176 引脚定义	18
3.2 LQFP144 引脚定义	19
3.3 LQFP100 引脚定义	20
3.4 LQFP64 引脚定义	21
3.5 引脚定义	21
3.6 FSMC 引脚定义	31
3.7 复用功能引脚定义	33
4. 地址映射	43
5. 电气特性	44
5.1 测试条件	44
5.1.1 最小和最大数值	44
5.1.2 典型数值	45
5.1.3 典型曲线	45
5.1.4 负载电容	45
5.1.5 引脚输入电压	45
5.1.6 供电方案	46
5.1.7 电流消耗测量	47

5.2 绝对最大额定值 .....	47
5.3 工作条件 .....	48
5.3.1 通用工作条件 .....	48
5.3.2 V <sub>CAP_1</sub> / V <sub>CAP_2</sub> 引脚外接电容 .....	49
5.3.3 上电和掉电时的工作条件（内部调压器打开） .....	49
5.3.4 上电和掉电时的工作条件（内部调压器关闭） .....	50
5.3.5 内嵌复位和电源控制模块特性 .....	50
5.3.6 供电电流特性 .....	51
5.3.7 从低功耗模式下唤醒 .....	57
5.3.8 外部时钟源特性 .....	57
5.3.9 内部时钟源特性 .....	60
5.3.10 PLL 特性 .....	61
5.3.11 锁相环扩频时钟产生(SSCG)特性 .....	62
5.3.12 储存器特性 .....	63
5.3.13 EMC 特性 .....	63
5.3.14 绝对最大值(电气敏感性) .....	64
5.3.15 I/O 电流注入特性 .....	65
5.3.16 I/O 引脚电气特性 .....	66
5.3.17 NRST 引脚特性 .....	69
5.3.18 TIM 定时器特性 .....	70
5.3.19 通信接口 .....	71
5.3.20 CAN(控制器局域网)接口 .....	80
5.3.21 12 位 ADC 特性 .....	80
5.3.22 温度传感器特性 .....	83
5.3.23 V <sub>BAT</sub> 检测特性 .....	84
5.3.24 内置参考电压 .....	84
5.3.25 DAC 电气参数 .....	84
5.3.26 FSMC 特性 .....	86
5.3.27 DCM1 时序 .....	107
5.3.28 SD/SDIO MMC 卡主接口电气参数 .....	107
5.3.29 RTC 电气参数 .....	109
6. 封装特性 .....	109

---

6.1 LQFP64 封装信息.....	109
6.2 LQFP100 封装信息.....	111
6.3 LQFP144 封装信息.....	112
6.4 LQFP176 封装信息.....	114
7. 型号命名.....	115

CKS 版权所有

## 1. 介绍

本文给出了中科芯 CKS32F405/CKS32F407/CKS32F415/CKS32F417 高性能型 MCU 产品的器件特性。CKS32F405/CKS32F407/CKS32F415/CKS32F417 数据手册，必须结合其相关参考手册一起阅读。

## 2. 规格说明

CKS32F405/CKS32F407/CKS32F415/CKS32F417 MCU 系列使用高性能的 ARM® Cortex™-M4 32 位的 RISC 内核，工作频率为 168MHz。Cortex™-M4 内核包含浮点运算单元(FPU)，同时还支持 DSP 指令以及存储保护(MPU)用来加强应用的安全性。

CKS32F405/CKS32F407/CKS32F415/CKS32F417 MCU 系列内置高速存储器(高达 1M 字节的闪存和 320K 字节的 SRAM)，高达 4KB 的备份域 SRAM。丰富的增强 I/O 端口和连接到两条 APB 总线的外设。

全系列包含 3 个 12 位 ADC、2 个 DAC，1 个低功耗 RTC，12 个 16 位定时器其中有 2 个可以用于电机控制，2 个 32 位定时器，1 个真随机数产生器。同时提供多种标准以及高级通信接口：

- 3 个 I<sup>2</sup>C
- 3 个 SPI 其中包含 2 个 I<sup>2</sup>S
- 4 个 USART，2 个 UART
- 1 个 USB OTG 全速和 1 个 USB OTG 高速接口
- 2 条 CAN
- 1 个 SDIO/MMC 接口
- 1 个以太网接口
- 1 个数字摄像头接口

CKS32F405/CKS32F407/CKS32F415/CKS32F417 MCU 系列产品工作温度是 -40 到 +105℃，供电电压为 1.8 到 3.6V。通过一系列节能模式的设计使得其可以应用在一些低功耗场合。

CKS32F405/CKS32F407/CKS32F415/CKS32F417 系列产品提供包括从 64 脚至 176 脚的 4 种不同封装形式；根据不同的封装形式，器件中的外设配置不尽相同。下面给出了该系列产品中所有外设的基本介绍。

这些丰富的外设配置，使得 CKS32F405/CKS32F407/CKS32F415/CKS32F417 系列微控制器可适用于多种应用场合：

- 电机驱动和应用控制
- 医疗和手持设备
- 工业应用：PLC、逆变器、断路器
- 打印机和扫描仪
- 报警系统、视频对讲机和 HVAC
- 家用音响设备

外设	CKS32F405RE/G	CKS32F407VE/G	CKS32F407ZE/G	CKS32F407IE/G	CKS32F415RE/G	CKS32F417VE/G	CKS32F417ZE/G	CKS32F417IE/G
FLASH (KB)	E: 512/G: 1024							
SRAM (KB)	112 (SRAM1) +16 (SRAM2) +128 (SRAM3) +64 (CCM) +4 (BKPSRAM)							
FSMC	无法使用	有			无法使用	有		
Ethernet	有							
定时器	10 通用/2 高级/2 基本							
看门狗	1个独立看门狗/1个窗户看门狗							
RTC	1							
真随机数	1							
SPI/I <sup>2</sup> S	3/2							
I <sup>2</sup> C	3							
USART/UART	4/2							
USB OTG FS	有							
USB OTG HS	有							
CAN	2							
SDIO	有							
数字相机接口	有							
加密加速器	无				有			
GPIO	51个: PA, PB, PC, PD2, PH0, PH1	82个: PA, PB, PC, PD, PE, PH0, PH1	114个: PA-PG, PH0, PH1	140个: PA-PI	51个: PA, PB, PC, PD2, PH0, PH1	82个: PA, PB, PC, PD, PE, PH0, PH1	114个: PA-PG, PH0, PH1	140个: PA-PI
12位ADC通道	16		24		16		24	
12位DAC通道	2							
最大频率	CPU频率 168MHz; AHB总线频率: 168MHz; APB总线频率: 84MHz							
工作条件	电压 1.8到 3.6V; 环境温度: -40°C到+85°C							
封装形式	LQFP64	LQFP100	LQFP144	LQFP176	LQFP64	LQFP100	LQFP144	LQFP176

注: 40x比 41x少加密模块

表 1 CKS32F405/CKS32F407/CKS32F415/CKS32F417: 特性和外设数量

## 2.1 系列之间的全兼容性

CKS32F405/CKS32F407/CKS32F415/CKS32F417是CKS32F4系列的产品。其成员之间是完全地脚对脚兼容，软件和功能上也兼容。

CKS 版权所有



## 2.2 概述

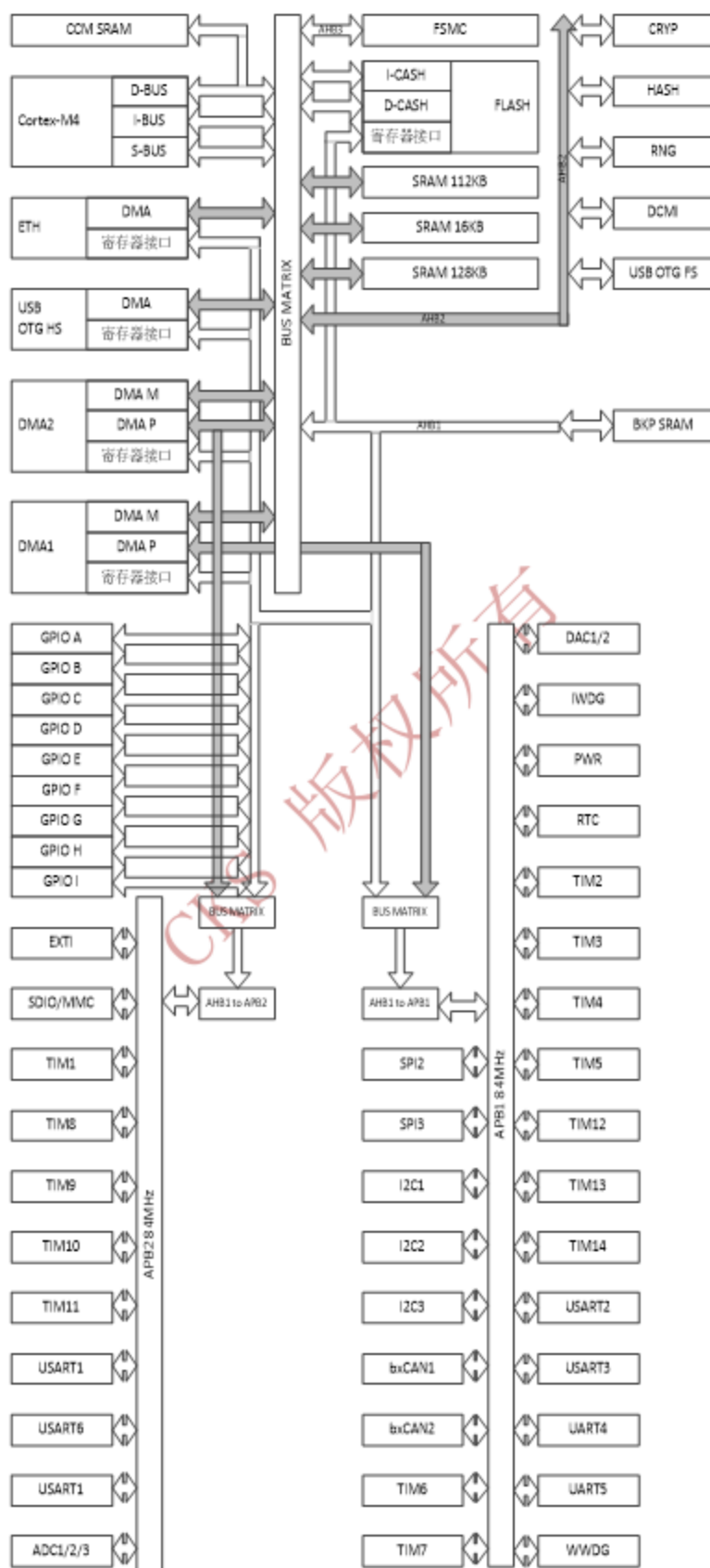


图 1 CKS32F405/CKS32F407/CKS32F415/CKS32F417 框图

## 2.2.1 ARM®的 Cortex™-M4 核心，内置闪存和 SRAM

ARM 的 Cortex™-M4 处理器是最新一代的嵌入式 ARM 处理器，它为实现 MCU 的需要提供了低成本的平台、缩减的引脚数目以及降低的系统功耗，同时提供卓越的计算性能和先进的中断系统响应。

ARM 的 Cortex™-M4 是 32 位的内置 FPU 的 RISC 处理器，它可以在 8 位或者 16 位存储的设备上提供较高的性能。

处理器提供一些列 DSP 指令，使得在处理复杂的运算时效率更高。

其单精度浮点单元（FPU）通过使用元语言开发工具，同时避免饱和。

CKS32F405/CKS32F407/CKS32F415/CKS32F417 系列兼容 ARM 的工具以及软件。

图 1 显示了 CKS32F405/CKS32F407/CKS32F415/CKS32F417 系列系列的一般框图。

## 2.2.2 自适应实时存储器加速器

加速器是针对行业标准 Arm® Cortex®-M4 和 FPU 处理器进行优化的内存加速器。它平衡了固有的性能带 FPU 的 Arm Cortex-M4 相对于闪存技术的优势要求处理器以更高的频率等待闪存。

要在此频率下释放处理器完整的 210 DMIPS 性能，加速器实现指令预取队列和分支缓存，这增加了程序 128 位闪存的执行速度。基于 CoreMark 基准测试，由于加速器而实现的性能相当于 0 等待状态程序以高达 168 MHz 的 CPU 频率从闪存执行。

## 2.2.3 存储保护单元

内存保护单元(MPU)用于管理 CPU 对内存的访问,用于防止一个任务意外损坏其他活动对象使用的内存或资源。这个内存区域被组织成多达 8 个可以依次划分的受保护区域分成 8 个分区。保护区域大小在 32 字节和整个 4G 字节的可寻址内存。

MPU 是特别有帮助的应用程序，一些关键或认证的代码必须是防止其他任务的错误行为。它通常由 RTOS(实时时间操作系统)管理。如果一个程序访问一个被 MPU 禁止的内存位置，实时操作系统可以检测它并采取行动。在 RTOS 环境中，内核可以根据要执行的流程，动态更新主控板区域设置。

MPU 是可选的，在应用不需要的时候可以可以不启用它。

## 2.2.4 嵌入式 FLASH

CKS32F405/CKS32F407/CKS32F415/CKS32F417 设备嵌入了 1MB 的闪存存储程序和数据,加上 512 字节的 OTP 内存。

## 2.2.5 CRC(循环冗余校验)计算单元

CRC(循环冗余校验)计算单元使用一个固定的多项式发生器，从一个 32 位的数据字产生一个 CRC 码。

在众多的应用中，基于 CRC 的技术被用于验证数据传输或存储的一致性。在 EN/IEC 60335-1 标准的范围内，它提供了一种检测闪存存储器错误的手段，CRC 计算单元可以用于实时地计算软件的签名，并与在链接和生成该软件时产生的签名对比。

## 2.2.6 内置 SRAM

- 128KB+128KB 通用 SRAM
- 64KB CCM 数据 SRAM
- 4KB 备份 SRAM

## 2.2.7 总线阵列

32 位的多 AHB 总线矩阵互连所有的主机(CPU, DMA, 以太网, USB) 和从机(闪存、RAM、FSMC、AHB 外设和 APB 外设), 并确保无缝和高效的, 即使几个高速外设同时工作。

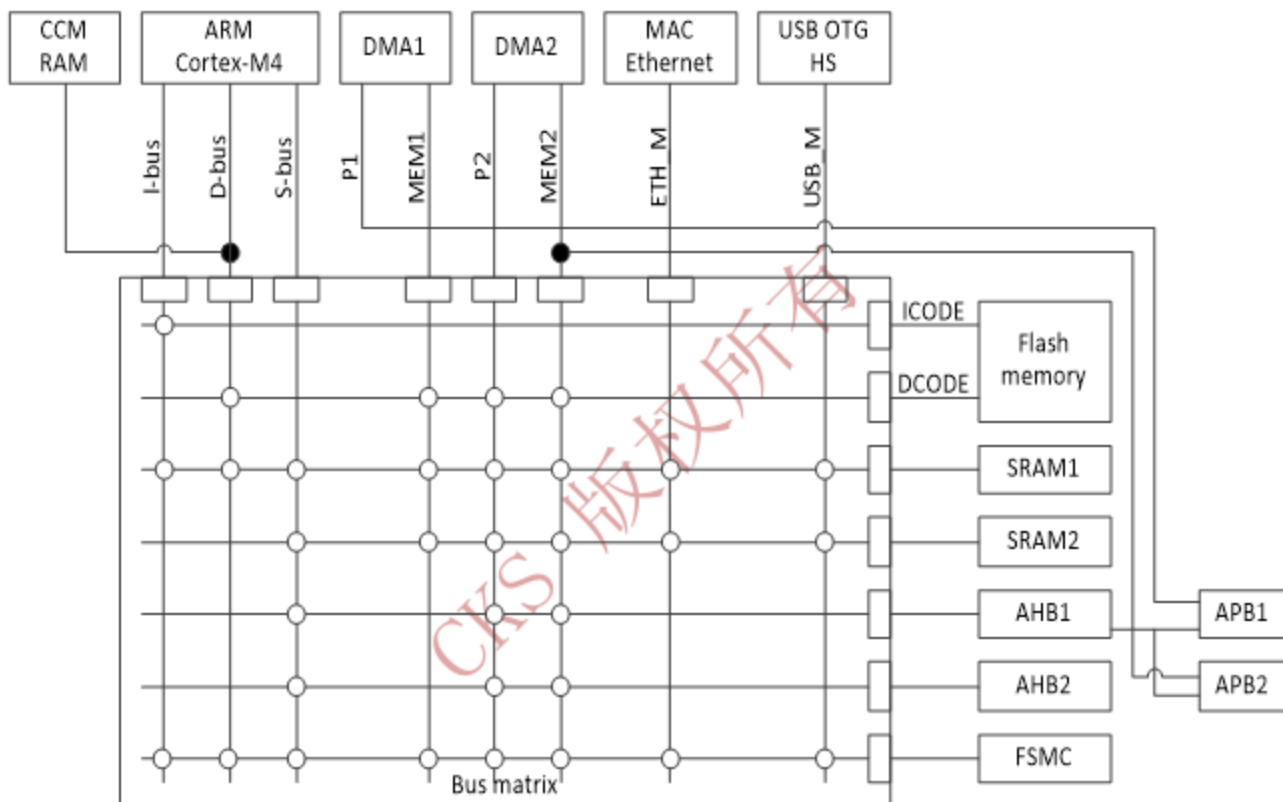


图 2 总线矩阵

## 2.2.8 DMA 控制器

该设备具有 2 个通用双端口 DMA(DMA1 和 DMA2), 每个 DMA 有 8 传输流。它们能够管理内存到内存、外设到内存和内存到外设转移。它们为 APB/AHB 外设提供专用的 FIFO, 支持突发传输并被设计为提供最大的外设带宽(AHB/APB)。

这两个 DMA 控制器支持循环缓冲区管理, 因此没有特定的代码当控制器到达缓冲区末尾时需要。两个 DMA 控制器也有一个双缓冲功能, 自动使用和切换两个内存不需要任何特殊代码的缓冲区。

每个流都连接到专用的硬件 DMA 请求, 并支持软件在每个流上触发。配置是由软件和传输大小之间进行的源和目标是独立的。

DMA 可用于以下主要外设:

- SPI (I<sup>2</sup>S)

- PC
- USART
- TIM
- DAC
- SDIO
- CRYP
- DCMI
- ADC

### 2.2.9 FSMC(可配置的静态存储器控制器)

CKS32F405/CKS32F407/CKS32F415/CKS32F417 系列集成了 FSMC 模块。它具有 4 个片选输出,支持 PC 卡/CF 卡、SRAM、PSRAM、NOR 和 NAND。

功能介绍:

- 写入 FIFO
- FSMC\_CLK 同步访问的最大频率为 60MHz

#### LCD 并行接口

FSMC 可以配置为与大多数图形 LCD 控制器无缝接口。它支持 Intel 8080 和 Motorola 6800 模式,适应能力强特定的液晶接口。这种 LCD 并行接口能力使其易于构建成本有效的图形应用使用 LCD 模块与嵌入式控制器或高使用外部控制器和专用加速的性能解决方案。

### 2.2.10 嵌套的向量式中断控制器 (NVIC)

CKS32F405/CKS32F407/CKS32F415/CKS32F417 系列嵌入了一个可以嵌套的矢量中断控制器管理 16 个优先级,并处理多达 82 个可屏蔽中断通道加上 16 个带有 FPU 核的 Cortex<sup>®</sup>-M4 中断线。

- 紧密耦合的 NVIC 提供低延迟中断处理
- 直接传递到核心的中断输入向量表地址
- 允许中断的早期处理
- 处理延迟到达、更高优先级的中断
- 支持尾链
- 处理器状态自动保存
- 在中断退出时恢复中断输入,无指令开销

该硬件块提供灵活的中断管理功能,中断最少延迟。

### 2.2.11 外部中断/事件控制器 (EXTI)

外部中断/事件控制器包含 23 个边沿检测器,用于产生中断/事件请求。每个中断线都可以独立地配置它的触发事件(上升沿或下降沿或双边沿),并能够单独地被屏蔽;由一个挂起的寄存器维持所有中断请求的状态。EXTI 可以检测到宽度小于内部 APB2 的时钟周期的脉冲。多达 140 个通用 I/O 口连接到 16 个外部中断线。

## 2.2.12 时钟和启动

复位时, 16MHz 的内部 RC 振荡器被选择为默认的 CPU 时钟。的 16MHz 内部 RC 振荡器是工厂修调, 提供 1% 的精度超过全部温度范围内。然后应用程序可以选择 RC 振荡器作为系统时钟或者外部 4-26MHz 时钟源。可以监视这个时钟是否出现故障。如果失败检测到, 系统自动切换回内部 RC 振荡器和软件中断生成(如果启用)。这个时钟源是锁相环的输入, 因此允许将频率提高到 168MHz。类似地, 锁相环的完全中断管理时钟条目在必要时可用(例如, 如果间接使用外部振荡器失败)。

几个分频器允许配置三个 AHB 总线, 高速 APB/APB2 和低速 APB (APB1)域。三个 AHB 的最大频率总线为 168MHz, 而高速 APB 域的最大频率为 84 MHz。低速 APB 域允许的最大频率为 42MHz。

该设备嵌入一个专用的 PLLI2S, 允许实现音频类的性能。在这种情况下, I2S 主时钟可以产生所有的标准采样频率从 8 kHz 到 192 kHz。

## 2.2.13 自举模式

在启动时, 通过自举引脚可以选择三种自举模式中的一种:

- 从程序闪存存储器自举
- 从系统存储器自举
- 从内部SRAM自举

自举加载程序(Bootloader)存放于系统存储器中。它用于通过以下方式对闪存重新编程: 使用 USART1 (PA9/PA10)、USART3 (PC10/PC11 或 PB10/PB11)、CAN2 (PB5/PB13)、USB 通过 DFU (设备固件升级), OTG FS 处于设备模式 (PA11/PA12)。

## 2.2.14 供电方案

- $V_{DD} = 1.8 \sim 3.6V$ :  $V_{DD}$  引脚为 IO 引脚和内部调压器供电。
- $V_{SSA}, V_{DDA} = 1.8 \sim 3.6V$ : 为 ADC、DAC、复位模块、RC 振荡器和 PLL 的模拟部分提供供电。 $V_{DDA}$  和  $V_{SSA}$  必须分别连接到  $V_{DD}$  和  $V_{SS}$ 。
- $V_{BAT} = 1.65 \sim 3.6V$ : 当关闭  $V_{DD}$  时, (通过内部电源切换器)为 RTC、外部 32kHz 振荡器和后备寄存器供电。

## 2.2.15 供电监控器

### 内部复位开启

在嵌入 PDR\_ON 引脚的包上, 电源管理器被启用持有 PDR\_ON 高。在所有其他包上, 电源管理器总是启用。

该设备具有集成的上电复位(POR)/下电复位(PDR)电路加上一个停电复位(BOR)电路。开机时, POR/PDR 始终处于活动状态确保从 1.8 V 开始的正常运行。1.8 V POR 阈值电平为到达后, 选项字节加载过程开始, 要么确认要么修改默认 BOR 阈值, 或永久禁用 BOR。BOR 阈值有三个通过选项字节。当  $V_{DD}$  低于指定的值时, 设备保持在复位模式阈值, VPOR/PDR 或 VBOR, 不需要外部复位电路。

该设备还具有嵌入式可编程电压检测器(PVD)监测  $V_{DD}/V_{DDA}$  电源, 并与 VPVD 阈值进行比较。中断可以是当  $V_{DD}/V_{DDA}$  低于 VPVD 阈值和/或当  $V_{DD}/V_{DDA}$  为高于 VPVD 阈值。然后, 中断服务程序可以生成一个警告消息和/或将 MCU 置于安全状态。PVD 由软件启动。

## 内部复位关闭

该特性仅在带有 PDR\_ON pin 的包上可用。内部接通电源的复位(POR)/下电复位(PDR)电路被 PDR\_ON 引脚禁用。

外部电源主管应监控 VDD，并应维护设备复位模式，只要 VDD 低于指定的阈值。PDR\_ON 应该连接到这个外部电源管理器。

## 2.2.16 电压调压器

调压器有 4 个操作模式

- 调压器开启
  - 主工作状态 (MR)
  - 低功耗状态 (LPR)
  - 掉电
- 调压器关闭

## 2.2.17 调压器开/关，内部复位开/关

表 2 调压器开关功能，内部复位开关功能

	调压器开启	调压器关闭	内部复位开启	内部复位关闭
LQFP64	是	否	是	否
LQFP100	是	是	是	是
LQFP144			PDR_ON 接 V <sub>DD</sub>	PDR_ON 接外部电源检测
LQFP176	BYPASS_REG 接 V <sub>SS</sub>	BYPASS_REG 接 V <sub>DD</sub>		

## 2.2.18 RTC，备份域 SRAM 和备份寄存器

CKS32F405/CKS32F407/CKS32F415/CKS32F417 备份域包含：

- RTC
- 4KB 备份 SRAM
- 20 个备份寄存器

实时时钟(RTC)是一个独立的 BCD 定时器/计数器。专用寄存器包含秒、分、小时(12/24 小时)、星期、日、月、年，格式为 BCD(二进制编码十进制)。对 28、29(闰年)、30 和 31 天的修正为自动执行。RTC 提供可编程报警和可编程从停止和待机模式中唤醒的周期性中断。亚秒值也可用二进制格式。

它的时钟由 32.768 kHz 的外部晶体，谐振器或振荡器，内部低功耗 RC 振荡器或高速外部时钟除以 128。内部低速 RC 具有一个典型的 32 千赫频率。RTC 可以使用外部 512hz 进行校准输出补偿任何自然石英偏差。

两个警报寄存器用于在特定的时间和日历字段产生警报独立屏蔽报警比较。产生一个周期性中断，一个 16 位具有可编程分辨率的可编程二进制自动重新加载下行计数器并允许每 120 $\mu$ s 至每 36 小时自动唤醒和定时报警。

一个 20 位的预分频器用于时间基准时钟。默认情况下，它被配置为生成从 32.768 千赫的时钟 1 秒的时间基准。4-Kbyte 的备份 SRAM 是一个类似 EEPROM 的存储区域。它可以用来存储数据需要在 VBAT 和待机模式下保留。此内存区域被禁用默认值以最小化功耗。它可以通过软件。

备份寄存器是 32 位寄存器，用于存储 80 字节的用户应用程序数据当 V<sub>DD</sub> 电源不存在时。备份寄存器不被系统

复位，电源复位，或当设备从待机模式醒来时。

额外的 32 位寄存器包含可编程报警子秒，秒，分，时间，日期和日期。像备份 SRAM, RTC 和备份寄存器是通过电源切换从  $V_{DD}$  电源供电时 ( $V_{DD}$  存在) 或从  $V_{BAT}$  引脚。

## 2.2.19 低功耗模式

CKS32F405/CKS32F407/CKS32F415/CKS32F417 产品支持三种低功耗模式，可以在要求低功耗、短启动时间和多种唤醒事件之间达到最佳的平衡。

- **睡眠模式**

在睡眠模式，只有 CPU 停止，所有外设处于工作状态并可在发生中断/事件时唤醒 CPU。

- **停机模式**

停止模式在保持 SRAM 和寄存器内容的同时实现最低功耗。 $V_{12}$  域中的所有时钟停止，PLL、HSI RC 和 HSE 晶体振荡器被禁用。电压调节器也可以工作在正常或低功率模式下。

任何 EXTI 线 (EXTI 源可以是 16 条外部线路、PVD 输出、RTC 报警/唤醒/篡改/时间戳事件、USB OTG FS/HS 唤醒或以太网唤醒) 都可以从停止模式唤醒设备。

- **待机模式**

待机模式用于实现最低功耗。内部电压调节器关闭，使整个  $V_{12}$  域断电。PLL、HSI RC 和 HSE 晶体振荡器也关闭。进入待机模式后，SRAM 和寄存器内容将丢失，但中的寄存器除外选择备份域和备份 SRAM 时。

当外部复位 (NRST 引脚)、IWDG 复位、WKUP 引脚上的上升沿，或 RTC 报警/唤醒/篡改/时间戳事件发生时，会退出待机模式。

当嵌入式电压调节器被旁路时，不支持待机模式  $V_{12}$  域由外部电源控制。

## 2.2.20 $V_{BAT}$ 操作

$V_{BAT}$  引脚允许从外部电池供电的设备  $V_{BAT}$  域，一个外部超级电容，或者在没有外部电池和外部超级电容的情况下使用  $V_{DD}$ 。

当  $V_{DD}$  不存在时， $V_{BAT}$  操作被激活。

$V_{BAT}$  引脚为 RTC、备份寄存器和备份 SRAM 供电。

## 2.2.21 定时器和看门狗

CKS32F405/CKS32F407/CKS32F415/CKS32F417 系列产品包含 2 个高级控制定时器、8 个普通定时器，2 个基础定时器，以及 2 个看门狗定时器和 1 个系统定时器。

表 3 比较了高级控制定时器、普通定时器和基本定时器的功能。

表 3 定时器比较

定时器	计数器分辨率	计数器类型	预分频系数	产生 DMA 请求	捕获比较通道	互补输出	最大接口时钟 (MHz)	最大工作时钟 (MHz)
TIM1 TIM8	16 位	向上, 向下, 向上/	1~65536 之间的任	是	4	有	84	168

		下	任意整数					
TIM2 TIM5	32 位	向上, 向下, 向上/下	1~65536 之间的任意整数	是	4	无	42	84
TIM3 TIM4	16 位	向上, 向下, 向上/下	1~65536 之间的任意整数	是	4	无	42	84
TIM9	16 位	向上	1~65536 之间的任意整数	否	2	无	84	168
TIM10 TIM11	16 位	向上	1~65536 之间的任意整数	否	1	无	84	168
TIM12	16 位	向上	1~65536 之间的任意整数	否	2	无	42	84
TIM13 TIM14	16 位	向上	1~65536 之间的任意整数	否	1	无	42	84
TIM6 TIM7	16 位	向上	1~65536 之间的任意整数	是	0	没有	42	84

### 高级控制定时器(TIM1 和 TIM8)

高级控制定时器(TIM1 和 TIM8)可以被看成是分配到 6 个通道的三相 PWM 发生器,它具有带死区插入的互补 PWM 输出,还可以被当成完整的通用定时器。4 个独立的通道可以用于:

- 输入捕获
- 输出比较
- 产生 PWM(边缘或中心对齐模式)
- 单脉冲输出

配置为 16 位标准定时器时,它与 TIMx 定时器具有相同的功能。配置为 16 位 PWM 发生器时,它具有全调制能力(0~100%)。

在调试模式下,计数器可以被冻结,同时 PWM 输出被禁止,从而切断由这些输出所控制的开关。

很多功能都与标准的 TIM 定时器相同,内部结构也相同,因此高级控制定时器可以通过定时器链接功能与 TIM 定时器协同操作,提供同步或事件链接功能。

### 通用定时器(TIMx)

内置了多达 10 个可同步运行的标准定时器。

#### TIM2, TIM3, TIM4, TIM5

4 个功能齐全的通用定时器:TIM2, TIM5, TIM3, 和 TIM4。TIM2 和 TIM5 计时器基于 32 位的自动重新加载上下计数器和一个 16 位预分频器。TIM3 和 TIM4 计时器基于 16-位自动加载上下计数器和一个 16 位预分频器。它们都是独立的通道输入捕获/输出比较, PWM 或单脉冲模式输出。这给了在最大的包上多达 16 个输入捕获/输出比较/PWMs。



TIM2、TIM3、TIM4、TIM5 通用定时器可以配合使用，也可以配合使用其他通用定时器和高级控制定时器 TIM1 和 TIM8 通过用于同步或事件链接的定时器链接特性。这些通用定时器中的任何一个都可以用来产生 PWM 输出。

TIM2、TIM3、TIM4、TIM5 都有独立的 DMA 请求生成。他们是能够处理正交(增量)编码器信号和数字输出从 1 到 4 霍尔效应传感器。

#### TIM9, TIM10, TIM11, TIM12, TIM13 和 TIM14

这些计时器基于 16 位自动重新加载计数器和 16 位预分频器。TIM10、TIM11、TIM13 和 TIM14 有一个独立的通道，而 TIM9 和 TIM12 有两个独立的通道用于输入捕获/输出比较，PWM 或生产率模式输出。可以与 TIM2、TIM3、TIM4、TIM5 同步全功能的通用定时器。它们也可以用作简单的时间基。

#### 基本定时器 TIM6 和 TIM7

这 2 个定时器主要是用于产生 DAC 触发信号，也可当成通用的 16 位时基计数器。

#### 独立看门狗

独立看门狗是基于一个 12 位的递减计数器和一个 8 位的预分频器，它由一个内部独立的 40kHz 的 RC 振荡器提供时钟；因为这个 RC 振荡器独立于主时钟，所以它可运行于停机模式和待机模式。它可以被当成看门狗用于在发生问题时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。在调试模式下，计数器可以被冻结。

#### 窗口看门狗

窗口看门狗含有一个 7 位的可配置为自由运行的递减计数器。当作用于看门狗时，可在发生问题时复位整个系统。它由主时钟驱动，具有早期预警中断功能；在调试模式下，计数器可以被冻结。

#### 系统时基定时器

这个定时器可专用于实时操作系统，也可当成一个标准的递减计数器。它具有下述特性：

- 24 位的递减计数器
- 自动重加载功能
- 当计数器为 0 时能产生一个可屏蔽系统中断
- 可编程时钟源

### 2.2.22 I<sup>2</sup>C 总线

多达 3 个 I<sup>2</sup>C 总线接口，能够工作于多主模式或从模式，支持标准模式和快速模式。他们可以支持标准模式(高达 100 kHz)和快速模式(高达 400 kHz)。I<sup>2</sup>C 接口支持 7 位或 10 位寻址，7 位从模式支持双从地址寻址。内置硬件 CRC 发生器/校验器。

该接口可使用 DMA 操作并支持 SMBus 总线 2.0 版/PMBus 总线。

### 2.2.23 通用同步/异步收发器(USART)

CKS32F405/CKS32F407/CKS32F415/CKS32F417 系列嵌入了四个通用同步/异步接收发射机(USART1, USART2, USART3 和 USART6)和两个通用异步接收发射机(UART4 和 UART5)。

这六个接口提供异步通信，IrDA SIR ENDEC 支持，多处理器通信方式，单线半双工通信方式和具备 LIN 主从能力。USART1 和 USART6 接口能够通信速度可达 10.5 Mbit/s。其他可用接口的通信地址为最高可达 5.25 Mbit/s。

USART1、USART2、USART3 和 USART6 也提供 CTS 的硬件管理和 RTS 信号，智能卡模式(符合 ISO 7816 标准)和类 SPI 通信能力。DMA 控制器可以服务所有接口。

表 4 USART 特性比较

USART 名称	标准模式	调制 (RTS/CTS)	LIN	SPI 主	IrDA	智能卡 (ISO 7816)	最大波特率 (过采样率 16)	最大波特率 (过采样率 8)	APB 总线
USART1	X	X	X	X	X	X	5.25	10.5	APB2 (84MHz)
USART2	X	X	X	X	X	X	2.62	5.25	APB1 (42MHz)
USART3	X	X	X	X	X	X	2.62	5.25	APB1 (42MHz)
UART4	X	-	X	-	X	-	2.62	5.25	APB1 (42MHz)
UART5	X	-	X	-	X	-	2.62	5.25	APB1 (42MHz)
USART6	X	X	X	X	X	X	5.25	10.5	APB2 (84MHz)

### 2.2.24 串行外设接口(SPI)

CKS32F405/CKS32F407/CKS32F415/CKS32F417 系列在全双工和主、从模式下最多有三个 SPI 单工通信模式。SPI1 的通信速率最高可达 42Mbits/s，SPI2 和 SPI3 通信速率可达 21 Mbit/s。3 位预分频器给出 8 个主模式频率所述帧可配置为 8 位或 16 位。硬件 CRC 生成/验证支持基本的 SD 卡/MMC 模式。DMA 控制器可以为所有 SPI 提供服务。

SPI 接口可以配置为在 TI 模式下进行主模式和 S 从模式通信。

### 2.2.25 I<sup>2</sup>S(芯片互联音频)接口

支持 2 个标准 I2S 接口(SPI2 和 SPI3 复用)。它们可以操作在主或从模式，在全双工和半双工通信模式，和可以配置操作与 16/32 位分辨率作为输入或输出通道。音频采样频率从 8 kHz 至 192 kHz 支持。当其中一个或两个在主模式下配置 I2S 接口，可以将主时钟输出到外部 DAC/编解码器在 256 倍采样频率。

所有 I2S 接口都可以由 DMA 控制器提供服务。

### 2.2.26 音频 PLL (PLLI2S)

该设备具有用于音频 I2S 应用的额外专用 PLL。它允许在不影响 CPU 的情况下实现无错误的 I2S 采样时钟精度性能，同时使用 USB 外围设备。

可以修改 PLLI2S 配置以管理 I2S 采样率变化，而无需禁用用于 CPU、USB 和以太网接口的主 PLL (PLL)。

音频 PLL 可以以极低的误差进行编程，以获得采样率范围从 8kHz 到 192kHz。

除音频 PLL 外，主时钟输入引脚还可用于同步 I2S 带有外部 PLL (或编解码器输出) 的流。

### 2.2.27 SDIO

SD/SDIO/MMC 主机接口可以支持 MMC 卡系统规范 4.2 版中的 3 个不同的数据总线模式：1 位(默认)、4 位和 8 位。

在 8 位模式下，该接口可以使数据传输速率达到 48MHz，该接口兼容 SD 存储卡规范 2.0 版。

SDIO 存储卡规范 2.0 版支持两种数据总线模式：1 位(默认)和 4 位。

目前的芯片版本只能一次支持一个 SD/SDIO/MMC 4.2 版的卡，但可以同时支持多个 MMC 4.1 版或之前版本的卡。

除了 SD/SDIO/MMC，这个接口完全与 CE-ATA 数字协议版本 1.1 兼容。

### 2.2.28 ETH 以太网接口

CKS32F405/CKS32F407/CKS32F415/CKS32F417 系列提供了兼容 IEEE-802.3-2002 的媒体访问控制器 MAC (MAC)用于以太网LAN通信，通过行业标准的介质通信接口 (MII) 或简化通信接口 (RMII)。MCU需要外部物理接口设备(PHY)来连接到物理局域网总线(双绞线、光纤等)。PHY连接到MII端口MII使用17个信号或RMII使用9个信号，可以使用25MHz进行时钟(MII)。

以太网接口支持以下特性：

- 支持10和100 Mbit/s速率
- 专用DMA控制器，允许在专用SRAM之间进行高速传输和描述符（详见CKS32F40xxx/41xxx参考手册）
- 标记MAC帧支持（VLAN支持）
- 半双工（CSMA/CD）和全双工操作
- MAC控制子层（控制帧）支持
- 32位CRC生成和删除
- 物理地址和多播地址的几种地址过滤模式（多播和组地址）
- 每个传输或接收帧的32位状态码
- 缓冲发送和接收帧的内部FIFO。传输FIFO和接收FIFO均为2千字节
- 支持符合IEEE 1588 2008（PTP V2）的硬件PTP（精确时间协议），时间戳比较器连接至TIM2输入
- 当系统时间大于目标时间时触发中断

### 2.2.29 控制器区域网络(CAN)

这两个 CAN 符合 2.0A 和 B(主动)规范，比特率高达 1Mbit / s。它们可以接收和传输带有 11 位标识符的标准帧具有 29 位标识符的扩展帧。每个 CAN 有三个发送邮箱，两个接收邮箱 FIFO 有 3 个阶段和 28 个共享的可扩展的过滤器银行(所有他们都可以使用，即使一个可以使用)。为每个 CAN 分配 256 字节的 SRAM。

### 2.2.30 通用串行总线(OTG\_FS)

CKS32F405/CKS32F407/CKS32F415/CKS32F417 系列嵌入 USB OTG 全速设备/主机/OTG 带有集成收发器的外

围设备。USB OTG FS 外设是兼容的 USB2.0 规格和 OTG 1.0 规格。它有软件可控终端设置和支持暂停/恢复。USB OTG 全速控制器需要一个专用的 48MHz 时钟，该时钟由连接到 HSE 的锁相环产生振荡器。

- 320×35 位的组合接收和发送 FIFO 大小，带有动态 FIFO 大小
- 支持会话请求协议 (SRP) 和主机协商协议 (HNP)
- 4 个双向端点
- 8 个主机通道，具有定期输出支持
- HNP/SNP/IP 内部 (无需任何外部电阻器)
- 对于 OTG/主机模式，如果需要总线供电设备，则需要电源开关连接

### 2.2.31 通用串行总线(OTG\_HS)

CKS32F405/CKS32F407/CKS32F415/CKS32F417 系列嵌入 USB OTG 高速(高达 480Mb/s)设备/主机/OTG 外围设备。USB OTG HS 支持全速和高速运营。它集成了全速度操作(12 MB/s)和收发器具有 UTMI 低引脚接口(ULPI)，高速运行(480mb/s)。当使用 USB OTG HS 在 HS 模式下，需要外接一个与 ULPI 相连的 PHY 设备。

USB OTG HS 外设符合 USB2.0 规范,并与 OTG 兼容 1.0 规范。它具有软件可配置的端点设置和支持暂停/恢复。USB OTG 全速控制器需要一个专用的 48 MHz 时钟由连接到 HSE 振荡器的锁相环产生。

- 1 Kbit×35 的组合接收和发送 FIFO 大小，具有动态 FIFO 大小
- 支持会话请求协议 (SRP) 和主机协商协议 (HNP)
- 6 个双向端点
- 12 个主机通道，具有定期输出支持
- 内部 FS OTG 物理层支持
- 支持 SDR 模式下 ULPI 的外部 HS 或 HS OTG 操作。OTG PHY 是通过 12 个信号连接到微控制器 ULPI 端口。它可以使用 60 兆赫的输出。
- 内部 USB DMA
- HNP/SNP/IP 内部 (无需任何外部电阻器)
- 对于 OTG/主机模式，如果需要总线供电设备，则需要电源开关连接

### 2.2.32 数字摄像头接口(DCMI)

CKS32F405/CKS32F407/CKS32F415/CKS32F417 系列内置摄像头接口，可连接摄像头模块并且 CMOS 传感器通过 8 位到 14 位的并行接口，来接收视频数据。的摄像机接口可以在 54 兆赫兹下维持高达 54 兆字节/秒的数据传输速率。

- 输入像素时钟和同步信号的可编程极性
- 并行数据通信可以是 8 位、10 位、12 位或 14 位
- 支持 8 位渐进式视频单色或原始拜耳格式，YCbCr 4:2:2 渐进式视频、RGB 565 渐进式视频或压缩数据 (如 JPEG)
- 支持连续模式或快照 (单帧) 模式
- 能够自动裁剪图像

### 2.2.33 加密加速器

CKS32F405/CKS32F407/CKS32F415/CKS32F417 系列设备嵌入了密码加速器。这密码加速器为高级提供了一套硬件加速密码算法通常需要提供保密性、身份验证、数据与对等体交换消息时的完整性和不可抵赖性。

### 2.2.34 真随机数发生器

CKS32F405/CKS32F407/CKS32F415/CKS32F417 系列产品都嵌入了一个真正的随机数生成器(RNG),它作为 32 位示例为应用程序提供完整的熵输出。它是由活动的熵源(模拟模块)和内部调节元件。

### 2.2.35 通用输入输出接口(GPIO)

每个 GPIO 引脚都可以通过软件配置为输出(推拉或开路,有或没有上拉或下拉),作为输入(浮动,有或没有上拉或下拉)或者作为外围交替功能。大多数 GPIO 管脚与数字或模拟管脚共享备用功能。所有的 GPIO 都是高电流能力和有更好的速度选择管理内部噪音、功耗和电磁辐射。

如果需要,可以按照特定的顺序锁定 I/O 配置,以便避免向 I/O 寄存器进行虚假的写操作。

快速的 I/O 处理允许最大的 I/O 切换到 84 MHz。

### 2.2.36 ADC(模拟/数字转换器)

CKS32F405/CKS32F407/CKS32F415/CKS32F417 系列产品内嵌 3 个 12 位的模拟/数字转换器(ADC),每个 ADC 共用多达 16 个外部通道,可以实现单次转换或扫描模式转换。在扫描模式下,自动进行在选定的一组模拟输入引脚上的转换。

ADC 接口上的其它逻辑功能包括:

- 同步的采样和保持
- 交叉的采样和保持

ADC 可以使用 DMA 操作。

模拟看门狗能够非常精确地监视一路、多路或所有选中的通道,当被监视的信号超出预置的阈值时,模拟看门狗将产生中断。

由标准定时器(TIMx)和高级控制定时器(TIM1 和 TIM8)产生的事件,可以分别内部级联到 ADC 的开始触发和注入触发,应用程序能使 AD 转换与时钟同步。

### 2.2.37 温度传感器

温度传感器必须产生随温度线性变化的电压。的转换范围为 1.8 V ~ 3.6 V。温度传感器在内部连接到 ADC1\_IN16 输入通道,用于转换传感器输出电压转换成数字值。

由于工艺变化,温度传感器的偏移量随芯片的不同而不同内部温度传感器主要适用于检测温度的应用改变绝对温度。如果需要精确的温度读数,然后应使用外部温度传感器部件。

## 2.2.38 DAC(数字至模拟信号转换器)

两个12位带缓冲的DAC通道可以用于转换2路数字信号成为2路模拟电压信号并输出。这项功能内部是通过集成的电阻串和反向的放大器实现。

这个双数字接口支持下述功能：

- 两个DAC转换器：各有一个输出通道
- 8位或12位单调输出
- 12位模式下的左右数据对齐
- 同步更新功能
- 产生噪声波
- 产生三角波
- 双DAC通道独立或同步转换
- 每个通道都可使用DMA功能
- 外部触发进行转换
- 输入参考电压 $V_{REF+}$

CKS32F405/CKS32F407/CKS32F415/CKS32F417系列产品中有8个触发DAC转换的输入。DAC通道可以由定时器的更新输出触发，更新输出也可连接到不同的DMA通道。

## 2.2.39 串行单线 JTAG 调试口(SWJ-DP)

Arm SWJ-DP 接口是嵌入式的，是 JTAG 和串行线调试的组合使串行线调试或 JTAG 探测器能够连接到目标的端口。

调试仅使用 2 个引脚执行，而不是 JTAG 所需的 5 个引脚（JTAG 引脚可以作为 GPIO 重复使用，具有备用功能）：JTAG TMS 和 TCK 引脚与共享 SWDIO 和 SWCLK，以及 TMS 引脚上的特定序列用于在 JTAG-DP 和 SW-DP 之间切换。

## 2.2.40 TRACE 功能

Arm 嵌入式跟踪宏单元提供了更大的指令和数据的可见性在 CPU 核心内部流动，以非常高的速率流压缩数据从 MCU 通过少量的 ETM 引脚到外部硬件跟踪端口分析器 (TPA) 设备。TPA 是连接到主机计算机使用 USB，以太网或任何其他高速通道。可以实时记录指令和数据流活动然后格式化在运行调试器软件的主机上显示。TPA 硬件可以从公共开发工具供应商获得。

嵌入式跟踪宏单元与第三方调试器软件工具一起操作。

### 3. 引脚定义

#### 3.1 LQFP176 引脚定义

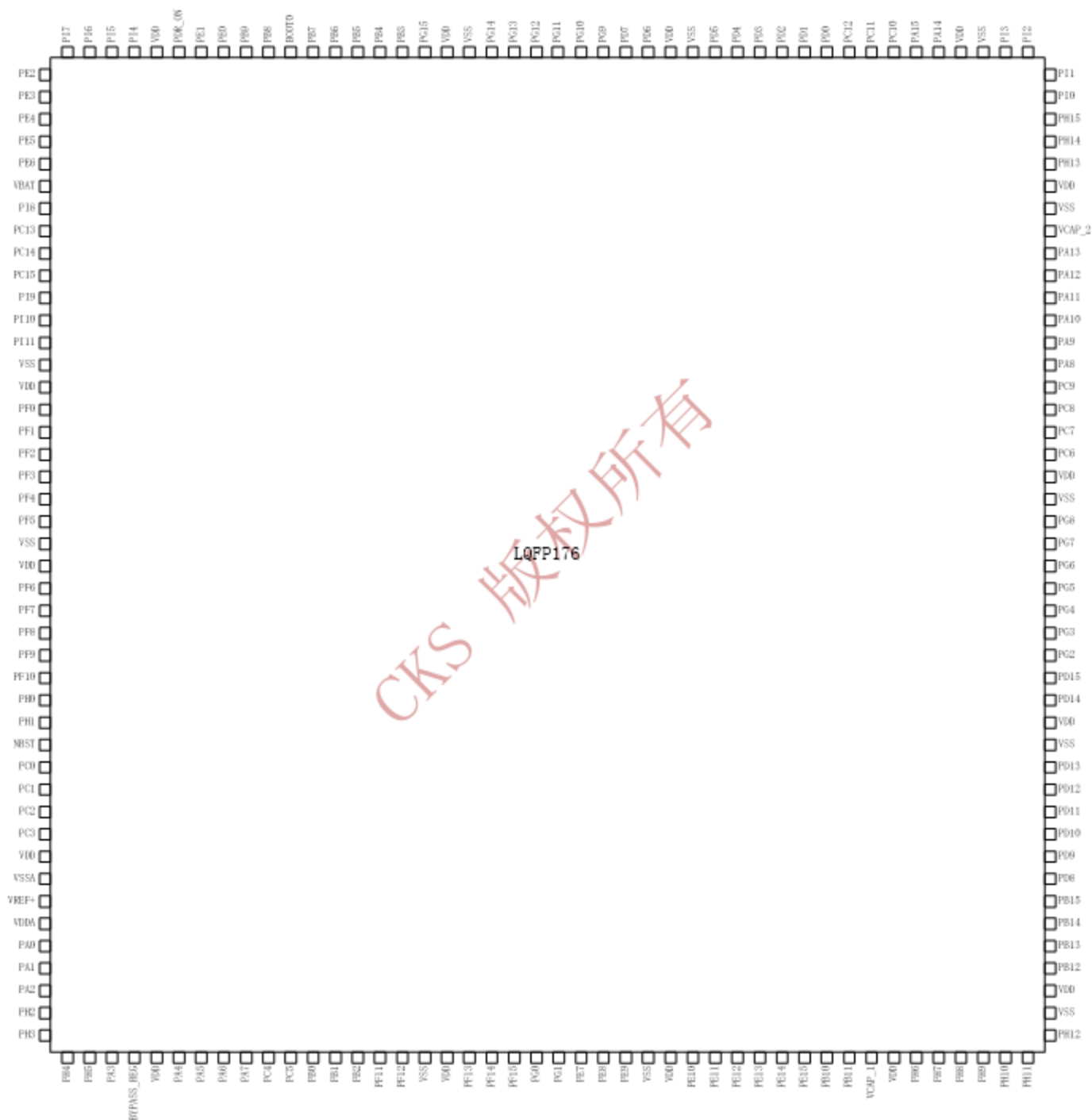


图 3 LQFP176 引脚分布





### 3.3 LQFP100 引脚定义

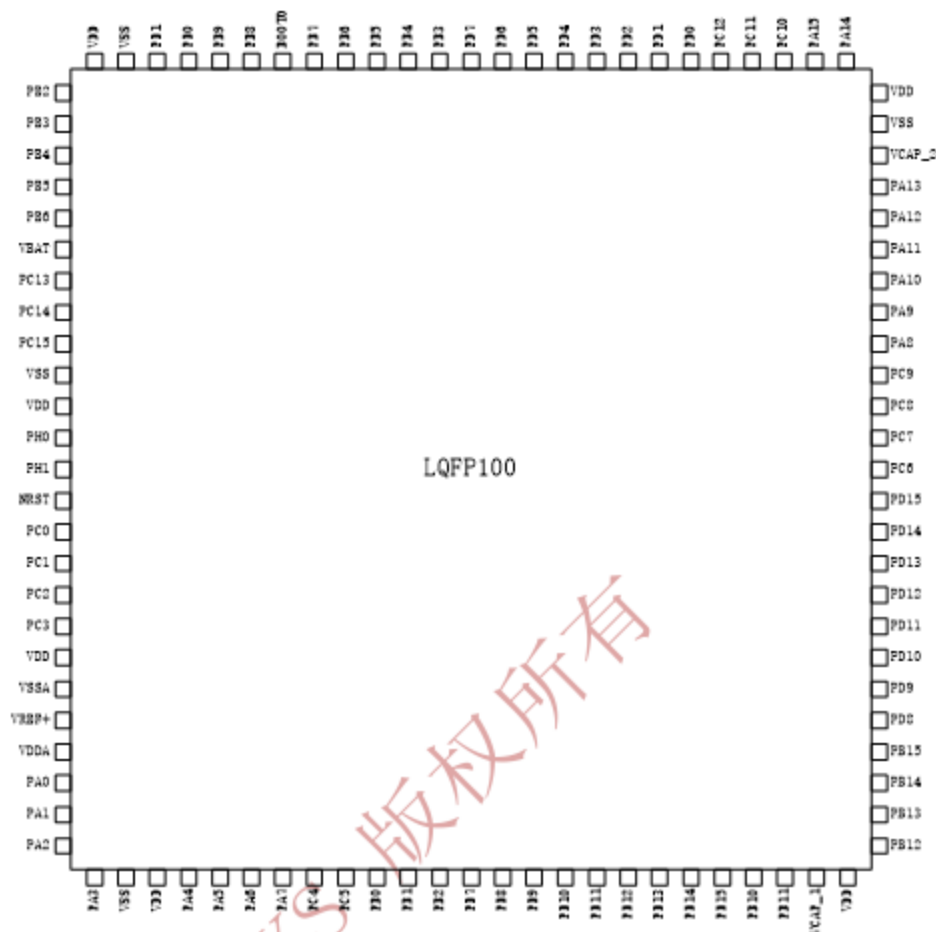


图 5 LQFP100 引脚分布

### 3.4 LQFP64 引脚定义

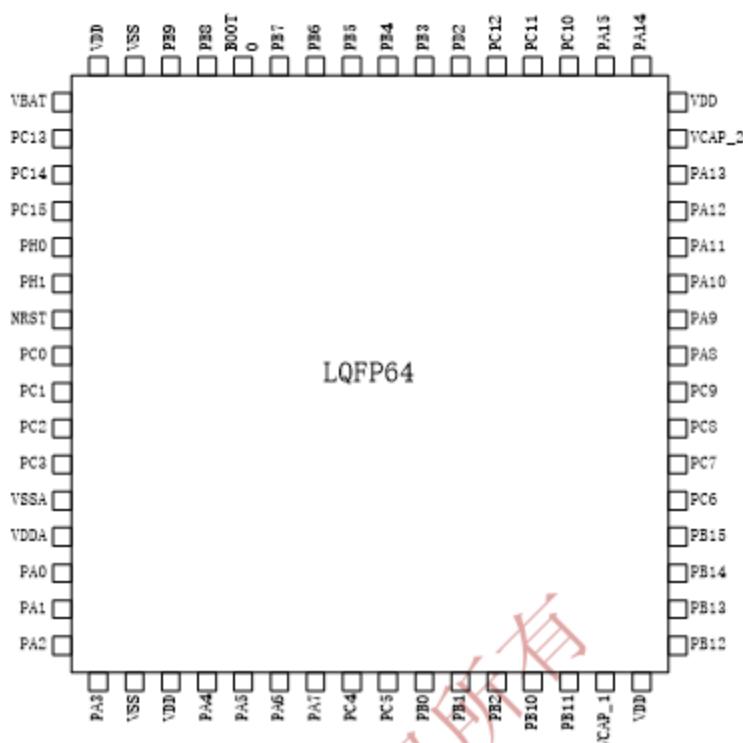


图 6 LQFP64 引脚分布

### 3.5 引脚定义

表 5 引脚表中使用的图例缩写

名称	缩写	定义
引脚类型	S	供电脚
	I	输入脚
	I/O	输入/输出脚
IO 结构	FT	5V 忍耐 IO
	TTa	3.3V 忍耐，直接连接到 ADC
	B	BOOT 脚
	RST	双向复位脚，内置弱上拉电阻
注释	除非另有说明，所有 I/O 在重置期间和重置后都被设置为浮动输入	
复用功能	通过 GPIOx_AFR 寄存器选择的功能	
额外功能	通过外围寄存器直接选择/启用的函数	

引脚编号	引脚名称	类型	电平	I/O	注释	复用功能	额外功能
------	------	----	----	-----	----	------	------

LQFP64	LQFP100	LQFP144	LQFP176						
-	1	1	1	PE2	I/O	FT	-	TRACECLK/FSMC_A23/ETH_MII_TXD3/EVENTOUT	-
-	2	2	2	PE3	I/O	FT	-	TRACE0/FSMC_A19/EVENTOUT	-
-	3	3	3	PE4	I/O	FT	-	TRACE1/FSMC_A20/DCMI_D4/EVENTOUT	-
-	4	4	4	PE5	I/O	FT	-	TRACE2/FSMC_A21/TIM9_CH1/DCMI_D6/EVENTOUT	-
-	5	5	5	PE6	I/O	FT	-	TRACE3/FSMC_A22/TIM9_CH2/DCMI_D7/EVENTOUT	-
1	6	6	6	V <sub>BAT</sub>	S	-	-	-	-
-	-	-	7	PI8	I/O	FT	(3)(4)	EVENTOUT	RTC_TAMP1, RTC_TAMP2, RTC_TS
2	7	7	8	PC13	I/O	FT	(3)(4)	EVENTOUT	RTC_OUT, RTC_TAMP1, RTC_TS
3	8	8	9	PC14	I/O	FT	(3)(4)	EVENTOUT	OSC32_IN <sup>(5)</sup>
4	9	9	10	PC15	I/O	FT	(3)(4)	EVENTOUT	OSC32_OUT <sup>(5)</sup>
-	-	-	11	PI9	I/O	FT	-	CAN1_RX/ EVENTOUT	-
-	-	-	12	PI10	I/O	FT	-	ETH_MII_RX_ER/ EVENTOUT	-
-	-	-	13	PI11	I/O	FT	-	OTG_HS_ULPI_DIR/ EVENTOUT	-
-	-	-	14	V <sub>SS</sub>	S	-	-	-	-
-	-	-	15	V <sub>DD</sub>	S	-	-	-	-
-	-	10	16	PF0	I/O	FT	-	FSMC_A0/I2C2_SDA/ EVENTOUT	-
-	-	11	17	PF1	I/O	FT	-	FSMC_A1/I2C2_SCL/ EVENTOUT	-
-	-	12	18	PF2	I/O	FT	-	FSMC_A2/I2C2_SMBA/ EVENTOUT	-
-	-	13	19	PF3	I/O	FT	-	FSMC_A2/ EVENTOUT	ADC3_IN9
-	-	14	20	PF4	I/O	FT	-	FSMC_A3/ EVENTOUT	ADC3_IN14
-	-	15	21	PF5	I/O	FT	-	FSMC_A4/ EVENTOUT	ADC3_IN15
-	10	16	22	V <sub>SS</sub>	S	-	-	-	-
-	11	17	23	V <sub>DD</sub>	S	-	-	-	-
-	-	18	24	PF6	I/O	FT	(5)	TIM10_CH1/FSMC_NIORD/ EVENTOUT	ADC3_IN4
-	-	19	25	PF7	I/O	FT	(5)	TIM11_CH1/FSMC_NREG/ EVENTOUT	ADC3_IN5
-	-	20	26	PF8	I/O	FT	(5)	TIM13_CH1/FSMC_NIOWR/ EVENTOUT	ADC3_IN6
-	-	21	27	PF9	I/O	FT	(5)	TIM14_CH1/FSMC_CD/ EVENTOUT	ADC3_IN7
-	-	22	28	PF10	I/O	FT	(5)	FSMC_INTR/ EVENTOUT	ADC3_IN8
5	12	23	29	PH0	I/O	FT	-	EVENTOUT	OSC_IN <sup>(5)</sup>
6	13	24	30	PH1	I/O	FT	-	EVENTOUT	OSC_OUT <sup>(5)</sup>
7	14	25	31	NRST	I/O	RST	-	-	-
8	15	26	32	PC0	I/O	FT	(5)	OTG_HS_ULPI_STP/ EVENTOUT	ADC123_IN10
9	16	27	33	PC1	I/O	FT	(5)	ETH_MDC/ EVENTOUT	ADC123_IN11
10	17	28	34	PC2	I/O	FT	(5)	SPI2_MISO / OTG_HS_ULPI_DIR / ETH_MII_TXD2	ADC123_IN12

								/I2S2ext_SD/ EVENTOUT	
11	18	29	35	PC3	I/O	FT	(5)	SPI2_MOSI / I2S2_SD / OTG_HS_ULPI_NXT / ETH_MII_TX_CLK/ EVENTOUT	ADC123_IN13
-	19	30	36	V <sub>DD</sub>	S	-	-	-	-
12	20	31	37	V <sub>SSA</sub>	S	-	-	-	-
-	21	32	38	V <sub>REF+</sub>	S	-	-	-	-
13	22	33	39	V <sub>DDA</sub>	S	-	-	-	-
14	23	34	40	PA0/WKUP	I/O	FT	-	USART2_CTS/ UART4_TX/ ETH_MII_CRS / TIM2_CH1_ETR/ TIM5_CH1 / TIM8_ETR/ EVENTOUT	ADC123_IN0/ WKUP <sup>(5)</sup>
15	24	35	41	PA1	I/O	FT	(5)	USART2_RTS / UART4_RX/ ETH_RMII_REF_CLK / ETH_MII_RX_CLK / TIM5_CH2 / TIM2_CH2/ EVENTOUT	ADC123_IN1
16	25	36	42	PA2	I/O	FT	(5)	USART2_TX/TIM5_CH3 / TIM9_CH1 / TIM2_CH3 / ETH_MDIO/ EVENTOUT	ADC123_IN2
-	-	-	43	PH2	I/O	FT	-	ETH_MII_CRS/EVENTOUT	-
-	-	-	44	PH3	I/O	FT	-	ETH_MII_COL/EVENTOUT	-
-	-	-	45	PH4	I/O	FT	-	I2C2_SCL / OTG_HS_ULPI_NXT/ EVENTOUT	-
-	-	-	46	PH5	I/O	FT	-	I2C2_SDA/ EVENTOUT	-
17	26	37	47	PA3	I/O	FT	(5)	USART2_RX/TIM5_CH4 / TIM9_CH2 / TIM2_CH4 / OTG_HS_ULPI_D0 / ETH_MII_COL/ EVENTOUT	ADC123_IN3
18	27	38	-	V <sub>SS</sub>	S	-	-	-	-
-	-	-	48	BYPASS_REG	I	FT	-	-	-
19	28	39	49	V <sub>DD</sub>	S	-	-	-	-
20	29	40	50	PA4	I/O	FT	(5)	SPI1_NSS / SPI3_NSS / USART2_CK / DCMI_HSYNC / OTG_HS_SOF/ I2S3_WS/ EVENTOUT	ADC12_IN4 /DAC_OUT1
21	30	41	51	PA5	I/O	FT	(5)	SPI1_SCK/	ADC12_IN5/

								OTG_HS_ULPI_CK / TIM2_CH1_ETR/ TIM8_CH1N/ EVENTOUT	DAC_OUT2
22	31	42	52	PA6	I/O	FT	(5)	SPI1_MISO / TIM8_BKIN/TIM13_CH1 / DCMI_PIXCLK / TIM3_CH1 / TIM1_BKIN/ EVENTOUT	ADC12_IN6
23	32	43	53	PA7	I/O	FT	(5)	SPI1_MOSI/ TIM8_CH1N / TIM14_CH1/TIM3_CH2/ ETH_MII_RX_DV / TIM1_CH1N / ETH_RMII_CRS_DV/ EVENTOUT	ADC12_IN7
24	33	44	54	PC4	I/O	FT	(5)	ETH_RMII_RX_D0 / ETH_MII_RX_D0/ EVENTOUT	ADC12_IN14
25	34	45	55	PC5	I/O	FT	(5)	ETH_RMII_RX_D1 / ETH_MII_RX_D1/ EVENTOUT	ADC12_IN15
26	35	46	56	PB0	I/O	FT	(5)	TIM3_CH3 / TIM8_CH2N/ OTG_HS_ULPI_D1/ ETH_MII_RXD2 / TIM1_CH2N/ EVENTOUT	ADC12_IN8
27	36	47	57	PB1	I/O	FT	(5)	TIM3_CH4 / TIM8_CH3N/ OTG_HS_ULPI_D2/ ETH_MII_RXD3 / TIM1_CH3N/ EVENTOUT	ADC12_IN9
28	37	48	58	PB2/BOOT1	I/O	FT	-	EVENTOUT	-
-	-	49	59	PF11	I/O	FT	-	DCMI_D12/ EVENTOUT	-
-	-	50	60	PF12	I/O	FT	-	FSMC_A6/ EVENTOUT	-
-	-	51	61	V <sub>SS</sub>	S	-	-	-	-
-	-	52	62	V <sub>DD</sub>	S	-	-	-	-
-	-	53	63	PF13	I/O	FT	-	FSMC_A7/ EVENTOUT	-
-	-	54	64	PF14	I/O	FT	-	FSMC_A8/ EVENTOUT	-
-	-	55	65	PF15	I/O	FT	-	FSMC_A9/ EVENTOUT	-
-	-	56	66	PG0	I/O	FT	-	FSMC_A10/ EVENTOUT	-
-	-	57	67	PG1	I/O	FT	-	FSMC_A11/ EVENTOUT	-
-	38	58	68	PE7	I/O	FT	-	FSMC_D4/TIM1_ETR/ EVENTOUT	-
-	39	59	69	PE8	I/O	FT	-	FSMC_D5/ TIM1_CH1N/ EVENTOUT	-
-	40	60	70	PE9	I/O	FT	-	FSMC_D6/TIM1_CH1/ EVENTOUT	-
-	-	61	71	V <sub>SS</sub>	S	-	-	-	-

-	-	62	72	V <sub>DD</sub>	S	-	-	-	-
-	41	63	73	PE10	I/O	FT	-	FSMC_D7/TIM1_CH2N/ EVENTOUT	-
-	42	64	74	PE11	I/O	FT	-	FSMC_D8/TIM1_CH2/ EVENTOUT	-
-	43	65	75	PE12	I/O	FT	-	FSMC_D9/TIM1_CH3N/ EVENTOUT	-
-	44	66	76	PE13	I/O	FT	-	FSMC_D10/TIM1_CH3/ EVENTOUT	-
-	45	67	77	PE14	I/O	FT	-	FSMC_D11/TIM1_CH4/ EVENTOUT	-
-	46	68	78	PE15	I/O	FT	-	FSMC_D12/TIM1_BKIN/ EVENTOUT	-
29	47	69	79	PB10	I/O	FT	-	SPI2_SCK / I2S2_CK / I2C2_SCL/ USART3_TX/ OTG_HS_ULPI_D3 / ETH_MII_RX_ER / TIM2_CH3/ EVENTOUT	-
30	48	70	80	PB11	I/O	FT	-	I2C2_SDA/USART3_RX/ OTG_HS_ULPI_D4 / ETH_RMII_TX_EN/ ETH_MII_TX_EN / TIM2_CH4/ EVENTOUT	-
31	49	71	81	V <sub>VAP_1</sub>	S	-	-	-	-
32	50	72	82	V <sub>DD</sub>	S	-	-	-	-
-	-	-	83	PH6	I/O	FT	-	I2C2_SMBA / TIM12_CH1 / ETH_MII_RXD2/ EVENTOUT	-
-	-	-	84	PH7	I/O	FT	-	I2C3_SCL / ETH_MII_RXD3/ EVENTOUT	-
-	-	-	85	PH8	I/O	FT	-	I2C3_SDA / DCMI_HSYNC/ EVENTOUT	-
-	-	-	86	PH9	I/O	FT	-	I2C3_SMBA / TIM12_CH2/ DCMI_D0/ EVENTOUT	-
-	-	-	87	PH10	I/O	FT	-	TIM5_CH1 / DCM1_D1/ EVENTOUT	-
-	-	-	88	PH11	I/O	FT	-	TIM5_CH2 / DCM1_D2/ EVENTOUT	-
-	-	-	89	PH12	I/O	FT	-	TIM5_CH3 / DCM1_D3/ EVENTOUT	-
-	-	-	90	V <sub>SS</sub>	S	-	-	-	-
-	-	-	91	V <sub>DD</sub>	S	-	-	-	-

33	51	73	92	PB12	I/O	FT	-	SPI2_NSS / I2S2_WS / I2C2_SMBA / USART3_CK / TIM1_BKIN / CAN2_RX / OTG_HS_ULPI_D5 / ETH_RMII_TXD0 / ETH_MII_TXD0 / OTG_HS_ID / EVENTOUT	-
34	52	74	93	PB13	I/O	FT	-	SPI2_SCK / I2S2_CK / USART3_CTS / TIM1_CH1N / CAN2_TX / OTG_HS_ULPI_D6 / ETH_RMII_TXD1 / ETH_MII_TXD1 / EVENTOUT	OTG_HS_VBUS
35	53	75	94	PB14	I/O	FT	-	SPI2_MISO / TIM1_CH2N / TIM12_CH1 / OTG_HS_DM / USART3_RTS / TIM8_CH2N / I2S2ext_SD / EVENTOUT	-
36	54	76	95	PB15	I/O	FT	-	SPI2_MOSI / I2S2_SD / TIM1_CH3N / TIM8_CH3N / TIM12_CH2 / OTG_HS_DP / EVENTOUT	RTC_REFIN
-	55	77	96	PD8	I/O	FT	-	FSMC_D13 / USART3_TX / EVENTOUT	-
-	56	78	97	PD9	I/O	FT	-	FSMC_D14 / USART3_RX / EVENTOUT	-
-	57	79	98	PD10	I/O	FT	-	FSMC_D15 / USART3_CK / EVENTOUT	-
-	58	80	99	PD11	I/O	FT	-	FSMC_CLE / FSMC_A16 / USART3_CTS / EVENTOUT	-
-	59	81	100	PD12	I/O	FT	-	FSMC_ALE / FSMC_A17 / TIM4_CH1 / USART3_RTS / EVENTOUT	-
-	60	82	101	PD13	I/O	FT	-	FSMC_A18 / TIM4_CH2 / EVENTOUT	-
-	-	83	102	V <sub>SS</sub>	S	-	-		-
-	-	84	103	V <sub>DD</sub>	S	-	-		-
-	61	85	104	PD14	I/O	FT	-	FSMC_D0 / TIM4_CH3 / EVENTOUT / EVENTOUT	-

-	62	86	105	PD15	I/O	FT	-	FSMC_D1/TIM4_CH4/ EVENTOUT	-
-	-	87	106	PG2	I/O	FT	-	FSMC_A12/ EVENTOUT	-
-	-	88	107	PG3	I/O	FT	-	FSMC_A13/ EVENTOUT	-
-	-	89	108	PG4	I/O	FT	-	FSMC_A14/ EVENTOUT	-
-	-	90	109	PG5	I/O	FT	-	FSMC_A15/ EVENTOUT	-
-	-	91	110	PG6	I/O	FT	-	FSMC_INT2/ EVENTOUT	-
-	-	92	111	PG7	I/O	FT	-	FSMC_INT3 /USART6_CK/ EVENTOUT	-
-	-	93	112	PG8	I/O	FT	-	USART6_RTS / ETH_PPS_OUT/ EVENTOUT	-
-	-	94	113	V <sub>SS</sub>	S	-	-	.	-
-	-	95	114	V <sub>DD</sub>	S	-	-	.	-
37	63	96	115	PC6	I/O	FT	-	I2S2_MCK / TIM8_CH1/SDIO_D6 / USART6_TX / DCMI_D0/TIM3_CH1/ EVENTOUT	-
38	64	97	116	PC7	I/O	FT	-	I2S3_MCK / TIM8_CH2/SDIO_D7 / USART6_RX / DCMI_D1/TIM3_CH2/ EVENTOUT	-
39	65	98	117	PC8	I/O	FT	-	TIM8_CH3/SDIO_D0 /TIM3_CH3/ USART6_CK / DCMI_D2/ EVENTOUT	-
40	66	99	118	PC9	I/O	FT	-	I2S_CKIN/ MCO2 / TIM8_CH4/SDIO_D1 / /I2C3_SDA / DCMI_D3 / TIM3_CH4/ EVENTOUT	-
41	67	100	119	PA8	I/O	FT	-	MCO1 / USART1_CK/ TIM1_CH1/ I2C3_SCL/ OTG_FS_SOF/ EVENTOUT	-
42	68	101	120	PA9	I/O	FT	-	USART1_TX/ TIM1_CH2 / I2C3_SMBA / DCMI_D0/ EVENTOUT	OTG_FS_VBUS
43	69	102	121	PA10	I/O	FT	-	USART1_RX/ TIM1_CH3/ OTG_FS_ID/DCMI_D1/ EVENTOUT	-
44	70	103	122	PA11	I/O	FT	-	USART1_CTS / CAN1_RX / TIM1_CH4 / OTG_FS_DM/ EVENTOUT	-



45	71	104	123	PA12	I/O	FT	-	USART1_RTS / CAN1_TX/ TIM1_ETR/ OTG_FS_DP/ EVENTOUT	-
46	72	105	124	PA13	I/O	FT	-	JTMS-SWDIO/ EVENTOUT	-
47	73	106	125	V <sub>CAP_2</sub>	S	-	-	-	-
-	74	107	126	V <sub>SS</sub>	S	-	-	-	-
48	75	108	127	V <sub>DD</sub>	S	-	-	-	-
-	-	-	128	PH13	I/O	FT	-	TIM8_CH1N / CAN1_TX/ EVENTOUT	-
-	-	-	129	PH14	I/O	FT	-	TIM8_CH2N / DCM1_D4/ EVENTOUT	-
-	-	-	130	PH15	I/O	FT	-	TIM8_CH3N / DCM1_D11/ EVENTOUT	-
-	-	-	131	PI0	I/O	FT	-	TIM5_CH4 / SPI2_NSS/ I2S2_WS / DCM1_D13/ EVENTOUT	-
-	-	-	132	PI1	I/O	FT	-	SPI2_SCK / I2S2_CK / DCM1_D8/ EVENTOUT	-
-	-	-	133	PI2	I/O	FT	-	TIM8_CH4 / SPI2_MISO / DCM1_D9 / I2S2ext_SD/ EVENTOUT	-
-	-	-	134	PI3	I/O	FT	-	TIM8_ETR / SPI2_MOSI / I2S2_SD / DCM1_D10/ EVENTOUT	-
-	-	-	135	V <sub>SS</sub>	-	-	-	-	-
-	-	-	136	V <sub>DD</sub>	-	-	-	-	-
49	76	109	137	PA14	I/O	FT	-	JTCK-SWCLK/ EVENTOUT	-
50	77	110	138	PA15	I/O	FT	-	JTDI/ SPI3_NSS/ I2S3_WS/TIM2_CH1_ETR / SPI1_NSS/ EVENTOUT	-
51	78	111	139	PC10	I/O	FT	-	SPI3_SCK / I2S3_CK/ UART4_TX/SDIO_D2 / DCM1_D8 / USART3_TX/ EVENTOUT	-
52	79	112	140	PC11	I/O	FT	-	UART4_RX/ SPI3_MISO / SDIO_D3 / DCM1_D4/USART3_RX/ I2S3ext_SD/ EVENTOUT	-
53	80	113	141	PC12	I/O	FT	-	UART5_TX/SDIO_CK / DCM1_D9 / SPI3_MOSI /I2S3_SD / USART3_CK/ EVENTOUT	-
-	81	114	142	PD0	I/O	FT	-	FSMC_D2/CAN1_RX/ EVENTOUT	-

-	82	115	143	PD1	I/O	FT	-	FSMC_D3 / CAN1_TX/ EVENTOUT	-
54	83	116	144	PD2	I/O	FT	-	TIM3_ETR/UART5_RX/ SDIO_CMD / DCMI_D11/ EVENTOUT	-
-	84	117	145	PD3	I/O	FT	-	FSMC_CLK/ USART2_CTS/ EVENTOUT	-
-	85	118	146	PD4	I/O	FT	-	FSMC_NOE/ USART2_RTS/ EVENTOUT	-
-	86	119	147	PD5	I/O	FT	-	FSMC_NWE/USART2_TX/ EVENTOUT	-
-	-	120	148	V <sub>SS</sub>	S	-	-	.	-
-	-	121	149	V <sub>DD</sub>	S	-	-	.	-
-	87	122	150	PD6	I/O	FT	-	FSMC_NWAIT/ USART2_RX/ EVENTOUT	-
-	88	123	151	PD7	I/O	FT	-	USART2_CK/FSMC_NE1/ FSMC_NCE2/ EVENTOUT	-
-	-	124	152	PG9	I/O	FT	-	USART6_RX / FSMC_NE2/FSMC_NCE3/ EVENTOUT	-
-	-	125	153	PG10	I/O	FT	-	FSMC_NCE4_1/ FSMC_NE3/ EVENTOUT	-
-	-	126	154	PG11	I/O	FT	-	FSMC_NCE4_2 / ETH_MII_TX_EN/ ETH_RMII_TX_EN/ EVENTOUT	-
-	-	127	155	PG12	I/O	FT	-	FSMC_NE4 / USART6_RTS/ EVENTOUT	-
-	-	128	156	PG13	I/O	FT	-	FSMC_A24 / USART6_CTS /ETH_MII_TXD0/ ETH_RMII_TXD0/ EVENTOUT	-
-	-	129	157	PG14	I/O	FT	-	FSMC_A25 / USART6_TX /ETH_MII_TXD1/ ETH_RMII_TXD1/ EVENTOUT	-
-	-	130	158	V <sub>SS</sub>	S	-	-	.	-
-	-	131	159	V <sub>DD</sub>	S	-	-	.	-
-	-	132	160	PG15	I/O	FT	-	USART6_CTS / DCMI_D13/ EVENTOUT	-

55	89	133	161	PB3	I/O	FT	-	JTDO/ TRACESWO/ SPI3_SCK / I2S3_CK / TIM2_CH2 / SPI1_SCK/ EVENTOUT	-
56	90	134	162	PB4	I/O	FT	-	NJTRST/ SPI3_MISO / TIM3_CH1 / SPI1_MISO / I2S3ext_SD/ EVENTOUT	-
57	91	135	163	PB5	I/O		-	I2C1_SMBA/ CAN2_RX / OTG_HS_ULPI_D7 / ETH_PPS_OUT/TIM3_CH2 / SPI1_MOSI/ SPI3_MOSI/ DCMI_D10 / I2S3_SD/ EVENTOUT	-
58	92	136	164	PB6	I/O	FT	-	I2C1_SCL/ TIM4_CH1 / CAN2_TX / DCMI_D5/USART1_TX/ EVENTOUT	-
59	93	137	165	PB7	I/O	FT	-	I2C1_SDA / FSMC_NL / DCMI_VSYNC / USART1_RX/ TIM4_CH2/ EVENTOUT	-
60	94	138	166	BOOT0	I	-	-	-	V <sub>PP</sub>
61	95	139	167	PB8	I/O	FT	-	TIM4_CH3/SDIO_D4/ TIM10_CH1 / DCMI_D6 / ETH_MII_TXD3 / I2C1_SCL/ CAN1_RX/ EVENTOUT	-
62	96	140	168	PB9	I/O	FT	-	SPI2_NSS/ I2S2_WS/ TIM4_CH4/ TIM11_CH1/ SDIO_D5 / DCMI_D7 / I2C1_SDA / CAN1_TX/ EVENTOUT	-
-	97	141	169	PE0	I/O	FT	-	TIM4_ETR / FSMC_NBL0/ DCMI_D2/ EVENTOUT	-
-	98	142	170	PE1	I/O	FT	-	FSMC_NBL1 / DCMI_D3/ EVENTOUT	-
63	99	-	-	V <sub>SS</sub>	S	-	-	-	-
-	-	143	171	PDR_ON	I	FT	-	-	-
64	100	144	172	V <sub>DD</sub>	S	-	-	-	-
-	-	-	173	PI4	I/O	FT	-	TIM8_BKIN / DCMI_D5/ EVENTOUT	-
-	-	-	174	PI5	I/O	FT	-	TIM8_CH1 / DCMI_VSYNC/ EVENTOUT	-
-	-	-	175	PI6	I/O	FT	-	TIM8_CH2 / DCMI_D6/ EVENTOUT	-
-	-	-	176	PI7	I/O	FT	-	TIM8_CH3 / DCMI_D7/ EVENTOUT	-

表 6 引脚定义

3.PC13、PC14、PC15 和 PI8 通过电源开关供电。因为开关只吸收有限的电流（3 mA），在输出模式下 PC13 至 PC15 和 PI8 的使用受到限制：

-最大负载为 30 pF 时，速度不得超过 2 MHz。

-这些 IO 不得用作电流源（例如，驱动 LED）。

4.第一次备份域通电后的主要功能。之后，它甚至在运行之后也取决于 RTC 寄存器的内容。

重置（因为这些寄存器不是通过主重置来重置的）。

5.FT=5 V 容忍，模拟模式或振荡器模式下除外。

### 3.6 FSMC 引脚定义

表 7 FSMC 引脚分布

管脚 <sup>(1)</sup>	FSMC				LQFP100 <sup>(2)</sup>
	CF	NOR/PSRAM	NOR Mux	NAND 16bit	
PE2	-	A23	A23	-	有
PE3	-	A19	A19	-	有
PE4	-	A20	A20	-	有
PE5	-	A21	A21	-	有
PE6	-	A22	A22	-	有
PF0	A0	A0	-	-	-
PF1	A1	A1	-	-	-
PF2	A2	A2	-	-	-
PF3	A3	A3	-	-	-
PF4	A4	A4	-	-	-
PF5	A5	A5	-	-	-
PF6	NIORD	-	-	-	-
PF7	NRGE	-	-	-	-
PF8	NIOWR	-	-	-	-
PF9	CD	-	-	-	-
PF10	INTR	-	-	-	-
PF12	A6	A6	-	-	-
PF13	A7	A7	-	-	-
PF14	A8	A8	-	-	-
PF15	A9	A9	-	-	-
PG0	A10	A10	-	-	-
PG1	-	A11	-	-	-
PE7	D4	D4	DA4	D4	有
PE8	D5	D5	DA5	D5	有
PE9	D6	D6	DA6	D6	有

PE10	D7	D7	DA7	D7	有
PE11	D8	D8	DA8	D8	有
PE12	D9	D9	DA9	D9	有
PE13	D10	D10	DA10	D10	有
PE14	D11	D11	DA11	D11	有
PE15	D12	D12	DA12	D12	有
PD8	D13	D13	DA13	D13	有
PD9	D14	D14	DA14	D14	有
PD10	D15	D15	DA15	D15	有
PD11	-	A16	A16	CLE	有
PD12	-	A17	A17	ALE	有
PD13	-	A18	A18	-	有
PD14	D0	D0	DA0	D0	有
PD15	D1	D1	DA1	D1	有
PG2	-	A12	-	-	-
PG3	-	A13	-	-	-
PG4	-	A14	-	-	-
PG5	-	A15	-	-	-
PG6	-	-	-	INT2	-
PG7	-	-	-	INT3	-
PD0	D2	D2	DA2	D2	有
PD1	D3	D3	DA3	D3	有
PD3	-	CLK	CLK	-	有
PD4	NOE	NOE	NOE	NOE	有
PD5	NWE	NWE	NWE	NWE	有
PD6	NWAIT	NWAIT	NWAIT	NWAIT	有
PD7	-	NE1	NE1	NCE2	有
PG9	-	NE2	NE2	NCE3	-
PG10	NCE4_1	NE3	NE3	-	-
PG11	NCE4_2	-	-	-	-
PG12	-	NE4	NE4	-	-
PG13	-	A24	A24	-	-
PG14	-	A25	A25	-	-
PB7	-	NADV	NADV	-	有
PE0	-	NBL0	NBL0	-	有
PE1	-	NBL1	NBL1	-	有

1.LQFP144和LQFP176可以把FSMC的所有功能都用起来

2.PF和PG口在100脚的封装中是不存在的

CKS 版权所有

### 3.7 复用功能引脚定义

表 8 引脚复用功能

端口	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13
	SYS	TIM1	TIM3/4/5	TIM8/9	I2C1/2/3	SPI1/2	SPI3	USART1/2/3	UART4/5	CAN1/2	OTG_FS	ETH	FSMC/SDIO	DCMI
		TIM2		TIM10/11		I2S2/I2S2ext	I2Sext/I2S3	I2S3ext	USART6	TIM12/13/14	OTG_HS		OTG_FS	
AF14: 保留;														
AF15: EVENTOUT														
PA0		TIM2_CH1_ETR	TIM5_CH1	TIM8_ETR				USART2_CTS	UART4_TX			ETH_MII_CRS		
PA1		TIM2_CH2	TIM5_CH2					USART2_RTS	UART4_RX			ETH_MII_RX_CLK		
												ETH_RMII_REF_C		
												LK		
PA2		TIM2_CH3	TIM5_CH3	TIM9_CH1				USART2_TX				ETH_MII_COL		
PA3		TIM2_CH4	TIM5_CH4	TIM9_CH2				USART2_RX			OTG_HS_ULPI_D			
											O			
PA4						SPI1_NSS	SPI3_NSS	USART2_CK					OTG_HS_SOF	DCMI_HSYNC
						I2S3_WS								
PA5		TIM2_CH1_ETR		TIM8_CH1N		SPI1_SCK					OTG_HS_ULPI_C			
											K			
PA6		TIM1_BKIN	TIM3_CH1	TIM8_BKIN		SPI1_MISO				TIM13_CH1				DCMI_PIXCLK
PA7		TIM1_CH1N	TIM3_CH2	TIM8_CH1N		SPI1_MOSI				TIM14_CH1		ETH_MII_RX_DV		
												ETH_RMII_CRS_D		
												V		
PA8	MCO1	TIM1_CH1			I2C3_SCL			USART1_CK			OTG_FS_SOF			
PA9		TIM1_CH2			I2C3_SMBA			USART1_TX						DCMI_D0
PA10		TIM1_CH3						USART1_RX			OTG_FS_ID			DCMI_D1
PA11		TIM1_CH4						USART1_CTS		CAN1_RX	OTG_FS_DM			
PA12		TIM1_ETR						USART1_RTS		CAN1_TX	OTG_FS_DP			
PA13	JTMS-SWDIO													
PA14	JTCK-SWCLK													
PA15	JTDI	TIM2_CH1												
		TIM2_ETR												
PB0		TIM1_CH2N	TIM3_CH3	TIM8_CH2N							OTG_HS_ULPI_D	ETH_MII_RXD2		
											1			

端口	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13
	SYS	TIM1 TIM2	TIM3/4/5	TIM8/9 TIM10/11	I2C1/2/3	SPI1/2 I2S2/I2S2ext	SPI3 I2Sext/I2S3	USART1/2/3 I2S3ext	UART4/5 USART6	CAN1/2 TIM12/13/14	OTG_FS OTG_HS	ETH	FSMC/SDIO OTG_FS	DCMI
PB1		TIM1_CH3N	TIM3_CH4	TIM8_CH3N							OTG_HS_ULPI_D 2	ETH_MII_RXD3		
PB2														
PB3	JTDO/ TRACES WO	TIM2_CH2				SPI1_SCK I2S3_CK	SPI3_SCK I2S3_CK							
PB4	NJTRST		TIM3_CH1			SPI1_MISO	SPI3_MISO	I2S3ext_SD						
PB5			TIM3_CH2		I2C1_SMBA	SPI1_MOSI	SPI3_MOSI I2S3_SD			CAN2_RX	OTG_HS_ULPI_D 7	ETH_PPS_OUT		DCMI_D10
PB6			TIM4_CH1		I2C1_SCL			USART1_TX		CAN2_TX				DCMI_D5
PB7			TIM4_CH2		I2C1_SDA			USART1_RX					FSMC_NL	DCMI_VSYNC
PB8			TIM4_CH3	TIM10_CH1	I2C1_SCL					CAN1_RX		ETH_MII_TXD3	SDIO_D4	DCMI_D6
PB9			TIM4_CH4	TIM11_CH1	I2C1_SDA	SPI2_NSS I2S2_WS				CAN1_TX			SDIO_D5	DCMI_D7
PB10		TIM2_CH3			I2C2_SCL	SPI2_SCK I2S2_CK		USART3_TX			OTG_HS_ULPI_D 3	ETH_MII_RX_ER		
PB11		TIM2_CH4			I2C2_SDA			USART3_RX			OTG_HS_ULPI_D 4	ETH_MII_TX_EN ETH_RMII_TX_EN		
PB12		TIM1_BKIN			I2C2_SMBA	SPI2_NSS I2S2_WS		USART3_CK		CAN2_RX	OTG_HS_ULPI_D 5	ETH_MII_TXD0 ETH_RMII_TXD0	OTGHS_ID	
PB13		TIM1_CH1N				SPI2_SCK I2S2_CK		USART3_CTS		CAN2_TX	OTG_HS_ULPI_D 6	ETH_MII_TXD0 ETH_RMII_TXD1		
PB14		TIM1_CH2N		TIM8_CH2N		SPI2_MISO	I2S2ext_SD	USART3_RTS		TIM12_CH1			OTG_HS_DM	
PB15	RTC_ REFIN	TIM1_CH3N		TIM8_CH3N		SPI2_MOSI I2S2_SD				TIM12_CH2			OTG_HS_DP	
PC0											OTG_HS_ULPI_ST P			
PC1												ETH_MDC		
PC2						SPI2_MISO	I2S2ext_SD				OTG_HS_ULPI_DI R	ETH_MII_TXD2		



端口	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13
	SYS	TIM1 TIM2	TIM3/4/5	TIM8/9 TIM10/11	I2C1/2/3	SPI1/2 I2S2/I2S2ext	SPI3 I2Sext/I2S3	USART1/2/3 I2S3ext	UART4/5 USART6	CAN1/2 TIM12/13/14	OTG_FS OTG_HS	ETH	FSMC/SDIO OTG_FS	DCMI
PC3						SPI2_MOSI I2S2_SD					OTG_HS_ULPI_N XT	ETH_TX_CLK		
PC4												ETH_MII_RXD0 ETH_RMII_RXD0		
PC5												ETH_MII_RXD1 ETH_RMII_RXD1		
PC6			TIM3_CH1	TIM8_CH1		I2S2_MCK			USART6_TX				SDIO_D6	DCMI_D0
PC7			TIM3_CH2	TIM8_CH2			I2S3_MCK		USART6_RX				SDIO_D7	DCMI_D1
PC8			TIM3_CH3	TIM8_CH3					USART6_CK				SDIO_D0	DCMI_D2
PC9	MCO2		TIM3_CH4	TIM8_CH4	I2C3_SDA	I2S2_CKIN							SDIO_D1	DCMI_D3
PC10							SPI3_SCK I2S3_CK	USART3_TX	UART4_TX				SDIO_D2	DCMI_D8
PC11						I2S3ext_SD	SPI3_MISO	USART3_RX	UART4_RX				SDIO_D3	DCMI_D4
PC12							SPI1_MOSI I2S3_SD	USART3_CK	UART5_TX				SDIO_CK	DCMI_D9
PC13														
PC14														
PC15														
PD0											CAN1_RX		FSMC_D2	
PD1											CAN1_TX		FSMC_D3	
PD2			TIM3_ETR						UART5_RX				SDIO_CMD	DCMI_D11
PD3								USART2_CTS					FSMC_CLK	
PD4								USART2_RTS					FSMC_NOE	

端口	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13
	SYS	TIM1 TIM2	TIM3/4/5	TIM8/9 TIM10/11	I2C1/2/3	SPI1/2 I2S2/I2S2ext	SPI3 I2Sext/I2S3	USART1/2/3 I2S3ext	UART4/5 USART6	CAN1/2 TIM12/13/14	OTG_FS OTG_HS	ETH	FSMC/SDIO OTG_FS	DCMI
PD5								USART2_TX					FSMC_NWE	
PD6								USART2_RX					FSMC_NWAIT	
PD7								USART2_CK					FSMC_NE1 FSMC_NCE2	
PD8								USART3_TX					FSMC_D13	
PD9								USART3_RX					FSMC_D14	
PD10								USART3_CK					FSMC_D15	
PD11								USART3_CTS					FSMC_A16	
PD12			TIM4_CH1					USART3_RTS					FSMC_A17	
PD13			TIM4_CH2										FSMC_A18	
PD14			TIM4_CH3										FSMC_D0	
PD15			TIM4_CH4										FSMC_D1	
PE0			TIM4_ETR										FSMC_NBL0	DCMI_D2
PE1													FSMC_NBL1	DCMI_D3
PE2	TRACECLK											ETH_MII_TXD3	FSMC_A23	
PE3	TRACED0												FSMC_A19	
PE4	TRACED1												FSMC_A20	DCMI_D4

端口	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13
	SYS	TIM1 TIM2	TIM3/4/5	TIM8/9 TIM10/11	I2C1/2/3	SPI1/2 I2S2/I2S2ext	SPI3 I2Sext/I2S3	USART1/2/3 I2S3ext	UART4/5 USART6	CAN1/2 TIM12/13/14	OTG_FS OTG_HS	ETH	FSMC/SDIO OTG_FS	DCMI
PE5	TRACED2			TIM9_CH1									FSMC_A21	DCMI_D6
PE6	TRACED3			TIM9_CH2									FSMC_A22	DCMI_D7
PE7		TIM1_ETR											FSMC_D4	
PE8		TIM1_CH1N											FSMC_D5	
PE9		TIM1_CH1											FSMC_D6	
PE10		TIM1_CH2N											FSMC_D7	
PE11		TIM1_CH2											FSMC_D8	
PE12		TIM1_CH3N											FSMC_D9	
PE13		TIM1_CH3											FSMC_D10	
PE14		TIM1_CH4											FSMC_D11	
PE15		TIM1_BKIN											FSMC_D12	
PF0					I2C2_SDA								FSMC_A0	
PF1					I2C2_SCL								FSMC_A1	
PF2					I2C2_SMBA								FSMC_A2	
PF3													FSMC_A3	
PF4													FSMC_A4	
PF5													FSMC_A5	

端口	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13
	SYS	TIM1 TIM2	TIM3/4/5	TIM8/9 TIM10/11	I2C1/2/3	SPI1/2 I2S2/I2S2ext	SPI3 I2Sext/I2S3	USART1/2/3 I2S3ext	UART4/5 USART6	CAN1/2 TIM12/13/14	OTG_FS OTG_HS	ETH	FSMC/SDIO OTG_FS	DCMI
PF6				TIM10_CH1									FSMC_NIORD	
PF7				TIM11_CH1									FSMC_NREG	
PF8										TIM13_CH1			FSMC_NIOWR	
PF9										TIM14_CH1			FSMC_CD	
PF10													FSMC_INTR	
PF11														DCMI_D12
PF12													FSMC_A6	
PF13													FSMC_A7	
PF14													FSMC_A8	
PF15													FSMC_A9	
PG0													FSMC_A10	
PG1													FSMC_A11	
PG2													FSMC_A12	
PG3													FSMC_A13	
PG4													FSMC_A14	
PG5													FSMC_A15	
PG6													FSMC_INT2	

端口	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13
	SYS	TIM1 TIM2	TIM3/4/5	TIM8/9 TIM10/11	I2C1/2/3	SPI1/2 I2S2/I2S2ext	SPI3 I2Sext/I2S3	USART1/2/3 I2S3ext	UART4/5 USART6	CAN1/2 TIM12/13/14	OTG_FS OTG_HS	ETH	FSMC/SDIO OTG_FS	DCMI
PG7									USART6_CK				FSMC_INT3	
PG8									USART6_RTS			ETH_PPS_OUT		
PG9									USART6_RX				FSMC_NE2 FSMC_NCE3	
PG10													FSMC_NCE4_1 FSMC_NE3	
PG11												ETH_MII_TX_EN ETH_RMII_TX_EN	FSMC_NCE4_2	
PG12									USART6_RTS				FSMC_NE4	
PG13									USART6_CTS			ETH_MII_TXD0 ETH_RMII_TXD0	FSMC_A24	
PG14									USART6_TX			ETH_MII_TXD1 ETH_RMII_TXD1	FSMC_A25	
PG15									USART6_CTS					DCMI_D13
PH0														
PH1														
PH2												ETH_MII_CRD		
PH3												ETH_MII_COL		
PH4					I2C2_SCL						OTG_HS_ULPI_N XT			
PH5					I2C2_SDA									
PH6					I2C2_SMBA					TIM12_CH1		ETH_MII_RXD2		
PH7					I2C3_SCL							ETH_MII_RXD3		
PH8					I2C3_SDA									DCMI_HSYNC

端口	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13
	SYS	TIM1 TIM2	TIM3/4/5	TIM8/9 TIM10/11	I2C1/2/3	SPI1/2 I2S2/I2S2ext	SPI3 I2Sext/I2S3	USART1/2/3 I2S3ext	UART4/5 USART6	CAN1/2	OTG_FS OTG_HS	ETH	FSMC/SDIO OTG_FS	DCMI
PH9					I2C3_SMBA					TIM12_CH2				DCMI_D0
PH10			TIM5_CH1											DCMI_D1
PH11			TIM5_CH2											DCMI_D2
PH12			TIM5_CH3											DCMI_D3
PH13				TIM8_CH1N						CAN1_TX				
PH14				TIM8_CH2N										DCMI_D4
PH15				TIM8_CH3N										DCMI_D11
PI0			TIM5_CH4			SPI2_NSS I2S2_WS								DCMI_D13
PI1						SPI2_SCK I2S2_CK								DCMI_D8
PI2				TIM8_CH4		SPI2_MISO	I2S2ext_SD							DCMI_D9
PI3				TIM8_ETR		SPI2_MOSI I2S2_SD								DCMI_D10
PI4				TIM8_BKIN										DCMI_D5
PI5				TIM8_CH1										DCMI_VSYNC
PI6				TIM8_CH2										DCMI_D6
PI7				TIM8_CH3										DCMI_D7

端口	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13
	SYS	TIM1 TIM2	TIM3/4/5	TIM8/9 TIM10/11	I2C1/2/3	SPI1/2 I2S2/I2S2ext	SPI3 I2Sext/I2S3	USART1/2/3 I2S3ext	UART4/5 USART6	CAN1/2 TIM12/13/14	OTG_FS OTG_HS	ETH	FSMC/SDIO OTG_FS	DCMI
PI8														
PI9										CAN1_RX				
PI10												ETH_MII_RX_ER		
PI11											OTG_HS_ULPI_D1 R			

CKS 版权所有

## 4. 地址映射

表 9 地址映射

总线	地址范围	外设
Cortex-M4	0xE000 0000 - 0xE00F FFFF	M4 内核的外设
AHB3	0xA000 1000 - 0xA000 0FFF	FSMC 控制器寄存器
	0x9000 0000 - 0x9FFF FFFF	FSMC bank 4
	0x8000 0000 - 0x8FFF FFFF	FSMC bank 3
	0x7000 0000 - 0x7FFF FFFF	FSMC bank 2
	0x6000 0000 - 0x6FFF FFFF	FSMC bank 1
AHB2	0x5006 0800 - 0x5006 0BFF	RNG
	0x5006 0400 - 0x5006 07FF	HASH
	0x5006 0000 - 0x5006 03FF	CRYP
	0x5005 0000 - 0x5005 03FF	DCMI
	0x5000 0000 - 0x5003 FFFF	USB OTG FS
AHB1	0x4004 0000 - 0x4007 FFFF	USB OTG HS
	0x4002 9000 - 0x4002 93FF	ETH
	0x4002 8C00 - 0x4002 8FFF	
	0x4002 8800 - 0x4002 8BFF	
	0x4002 8400 - 0x4002 87FF	
	0x4002 8000 - 0x4002 83FF	
	0x4002 6400 - 0x4002 67FF	DMA2
	0x4002 6000 - 0x4002 63FF	DMA1
	0x4002 4000 - 0x4002 4FFF	BKPSRAM
	0x4002 3C00 - 0x4002 3FFF	Flash 接口寄存器
	0x4002 3800 - 0x4002 3BFF	RCC
	0x4002 2000 - 0x4002 23FF	GPIOI
	0x4002 1C00 - 0x4002 1FFF	GPIOH
	0x4002 1800 - 0x4002 1BFF	GPIOG
	0x4002 1400 - 0x4002 17FF	GPIOF
	0x4002 1000 - 0x4002 13FF	GPIOE
	0x4002 0C00 - 0x4002 0FFF	GPIOD
	0x4002 0800 - 0x4002 0BFF	GPIOC
	0x4002 0400 - 0x4002 07FF	GPIOB
	0x4002 0000 - 0x4002 03FF	GPIOA
APB2	0x4001 4800 - 0x4001 4BFF	TIM11
	0x4001 4400 - 0x4001 47FF	TIM10
	0x4001 4000 - 0x4001 43FF	TIM9
	0x4001 3C00 - 0x4001 3FFF	EXTI
	0x4001 3800 - 0x4001 3BFF	SYSCFG
	0x4001 3000 - 0x4001 33FF	SPI1
	0x4001 2C00 - 0x4001 2FFF	SDIO



	0x4001 2000 - 0x4001 23FF	ADC1 - ADC2 - ADC3
	0x4001 1400 - 0x4001 17FF	USART6
	0x4001 1000 - 0x4001 13FF	USART1
	0x4001 0400 - 0x4001 07FF	TIM8
	0x4001 0000 - 0x4001 03FF	TIM1
APB1	0x4000 7400 - 0x4000 77FF	DAC
	0x4000 7000 - 0x4000 73FF	PWR
	0x4000 6800 - 0x4000 6BFF	CAN2
	0x4000 6400 - 0x4000 67FF	CAN1
	0x4000 5C00 - 0x4000 5FFF	I2C3
	0x4000 5800 - 0x4000 5BFF	I2C2
	0x4000 5400 - 0x4000 57FF	I2C1
	0x4000 5000 - 0x4000 53FF	UART5
	0x4000 4C00 - 0x4000 4FFF	UART4
	0x4000 4800 - 0x4000 4BFF	USART3
	0x4000 4400 - 0x4000 47FF	USART2
	0x4000 4000 - 0x4000 43FF	I2S3ext
	0x4000 3C00 - 0x4000 3FFF	SPI3 / I2S3
	0x4000 3800 - 0x4000 3BFF	SPI2 / I2S2
	0x4000 3400 - 0x4000 37FF	I2S2ext
	0x4000 3000 - 0x4000 33FF	IWDG
	0x4000 2C00 - 0x4000 2FFF	WWDG
	0x4000 2800 - 0x4000 2BFF	RTC & BKP Registers
	0x4000 2000 - 0x4000 23FF	TIM14
	0x4000 1C00 - 0x4000 1FFF	TIM13
	0x4000 1800 - 0x4000 1BFF	TIM12
	0x4000 1400 - 0x4000 17FF	TIM7
	0x4000 1000 - 0x4000 13FF	TIM6
	0x4000 0C00 - 0x4000 0FFF	TIM5
	0x4000 0800 - 0x4000 0BFF	TIM4
	0x4000 0400 - 0x4000 07FF	TIM3
	0x4000 0000 - 0x4000 03FF	TIM2

## 5. 电气特性

### 5.1 测试条件

除非特别说明，所有电压的都以  $V_{SS}$  为基准。

#### 5.1.1 最小和最大数值

除非特别说明，在生产线上通过对 100% 的产品在环境温度  $T_A=25^{\circ}\text{C}$  和  $T_A=T_{Amax}$  下执行的测试( $T_{Amax}$  与选

中科芯 32 位 MCU 系列化产品-CKS32F405/CKS32F407/CKS32F415/CKS32F417

定的温度范围匹配),所有最小和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。

在每个表格下方的注解中说明为通过综合评估、设计模拟和/或工艺特性得到的数据,不会在生产线上进行测试。在综合评估的基础上,最小和最大数值是通过样本测试后,取其平均值再加减三倍的标准分布(平均 $\pm 3\sigma$ )得到。

### 5.1.2 典型数值

除非特别说明,典型数据是基于  $T_A=25^{\circ}\text{C}$  和  $V_{DD}=3.3\text{V}$  ( $1.8\text{V} \leq V_{DD} \leq 3.3\text{V}$  电压范围)。这些数据仅用于设计指导而未经测试。

典型的 ADC 精度数值是通过对一个标准的批次采样,在所有温度范围下测试得到,95%产品的误差小于等于给出的数值(平均 $\pm 2\sigma$ )。

### 5.1.3 典型曲线

除非特别说明,典型曲线仅用于设计指导而未经测试。

### 5.1.4 负载电容

测量引脚参数时的负载条件示于下图中。

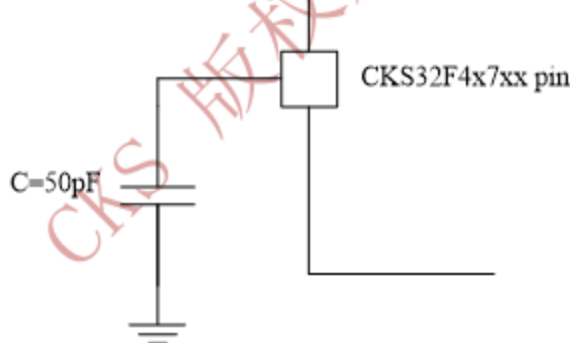


图 7 引脚的负载条件

### 5.1.5 引脚输入电压

引脚上输入电压的测量方式示于下图中。

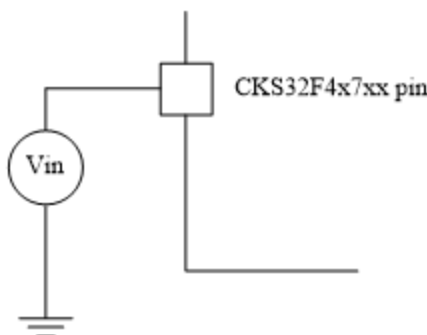
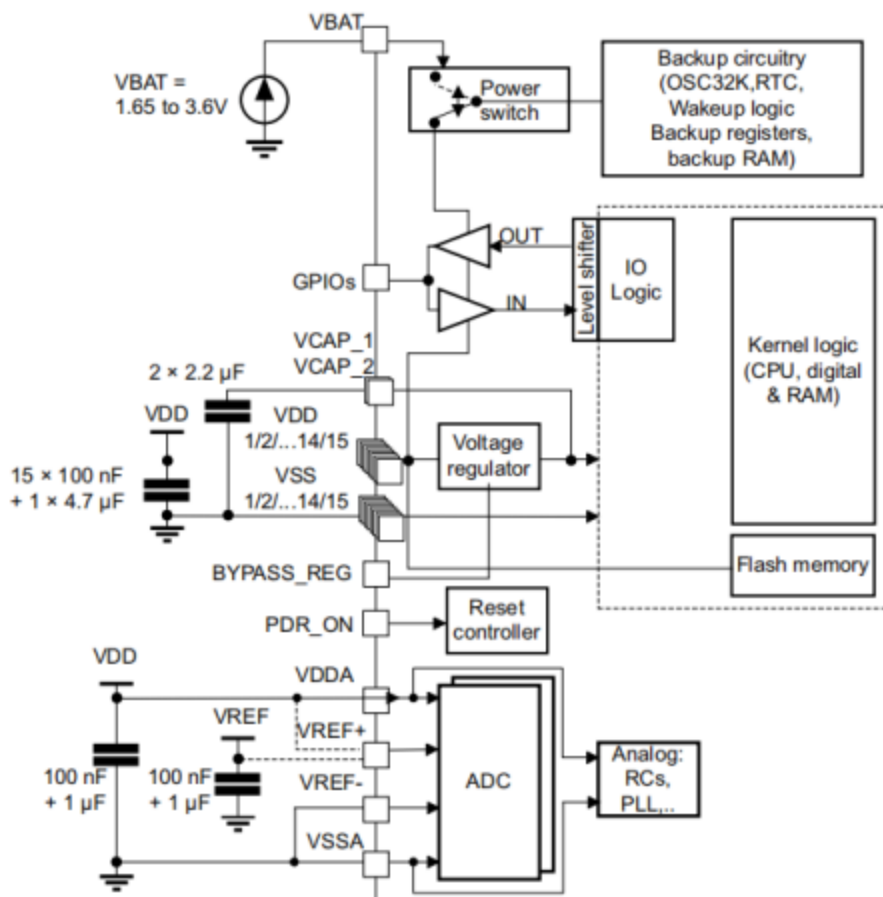


图 8 引脚输入电压

### 5.1.6 供电方案



1.每个电源对必须与如上所示的滤波陶瓷电容器解耦。这些电容器必须是尽可能靠近或低于 PCB 下侧的适当引脚，以确保良好的功能设备的安全性。

2.要在引脚上连接 BYPASS\_REG 和 PDR\_ON，请参阅第 2.2.16、2.2.15 章节。

3.调压器关闭时，两个 2.2μF 陶瓷电容器应更换为两个 100nF 去耦电容器。

4.4.7μF 陶瓷电容器必须连接到 VDD 引脚之一。

5.VDDA=VDD，VSSA=VSS。

图 9 供电方案

## 5.1.7 电流消耗测量

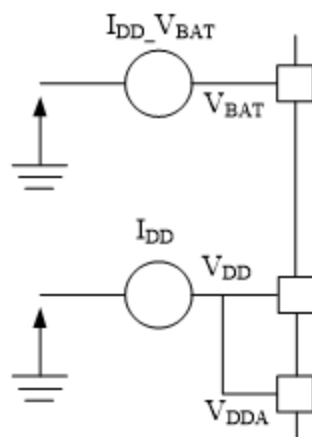


图 10 电流消耗测量方案

## 5.2 绝对最大额定值

加在器件上的载荷如果超过绝对最大额定值以下列表中给出的值，可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷，并不意味着在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 10 电压特性

符号	描述	最小值	最大值	单位
$V_{DD} - V_{SS}$	外部主供电电压(包含 $V_{DDA}$ 和 $V_{DD}$ ) <sup>(1)</sup>	-0.3	4.0	V
$V_{IN}$	在 5V 容忍的引脚上的输入电压 <sup>(2)</sup>	$V_{SS} - 0.3$	$V_{DD} + 4$	
	在其它引脚上的输入电压 <sup>(2)</sup>	$V_{SS} - 0.3$	4.0	
$ \Delta V_{DDx} $	不同供电引脚之间的电压差	-	50	mV
$ V_{SSx} - V_{SS} $	不同接地引脚之间的电压差	-	50	
$V_{ESD(HBM)}$	ESD 静电放电电压(人体模型)	参考相关章节		

- 所有的电源( $V_{DD}$ ,  $V_{DDA}$ )和地( $V_{SS}$ ,  $V_{SSA}$ )引脚必须始终连接到外部允许范围内的供电系统上。
- $I_{IN}$  绝对不可以超过它的极限(见表 11)，即保证  $V_{IN}$  不超过其最大值。

表 11 电流特性

符号	描述	最大值 <sup>(1)</sup>	单位
$I_{VDD}$	经过 $V_{DD}/V_{DDA}$ 电源线的总电流(供应电流) <sup>(1)</sup>	240	mA
$I_{VSS}$	经过 $V_{SS}$ 地线的总电流(流出电流) <sup>(1)</sup>	240	
$I_{IO}$	任意 I/O 和控制引脚上的输出灌电流	25	
	任意 I/O 和控制引脚上的输出电流	25	
$I_{IN(PIN)}^{(2)}$	5V 容忍 I/O 上的注入电流 <sup>(3)</sup>	-5/+0	
	其他引脚的注入电流 <sup>(4)</sup>	±5	
$\sum I_{IN(PIN)}^{(4)}$	所有 I/O 和控制引脚上的总注入电流 <sup>(5)</sup>	±25	

- 所有的电源( $V_{DD}$ ,  $V_{DDA}$ )和地( $V_{SS}$ ,  $V_{SSA}$ )引脚必须始终连接到外部允许范围内的供电系统上。

- 2.反向注入电流会干扰器件的模拟性能。
- 3.这些 I/O 上不可能进行正注入。VIN<VSS 会导致反向注入。
- 4.当 VIN>VSS 时会导致正向注入。当 VIN<VSS 时会导致反向注入。
- 5.当几个 I/O 口同时有注入电流时，ΣIINJ(PIN)的最大值为正向注入电流与反向注入电流的即时绝对值之和。

表 12 温度特性

符号	描述	数值	单位
T <sub>STG</sub>	储存温度范围	-65~+150	°C
T <sub>J</sub>	最大结温度	125	°C

## 5.3 工作条件

### 5.3.1 通用工作条件

表 13 通用工作条件

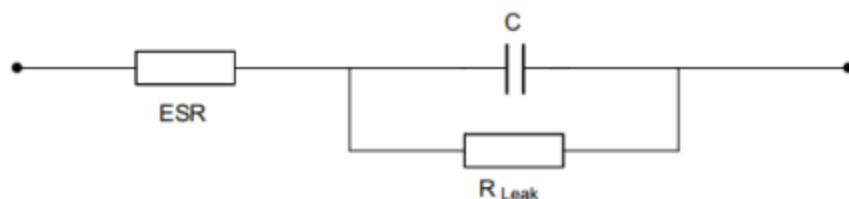
符号	参数	条件	最小值	典型	最大值	单位
f <sub>HCLK</sub>	内部 AHB 时钟频率	VOS=0 <sup>(1)</sup>	0	-	144	MHz
		VOS=1	0	-	168	
f <sub>PCLK1</sub>	内部 APB1 时钟频率	-	0	-	42	
f <sub>PCLK2</sub>	内部 APB2 时钟频率	-	0	-	84	
V <sub>DD</sub>	标准工作电压	-	1.8 <sup>(2)</sup>	-	3.6	V
V <sub>DDA</sub> <sup>(3)(4)</sup>	模拟部分工作电压(ADC 限制 1.2M 采样速度)	必须与 V <sub>DD</sub> <sup>(5)</sup> 相同	1.8 <sup>(2)</sup>	-	2.4	
	模拟部分工作电压(ADC 限制 1.4M 采样速度)		2.4	-	3.6	
V <sub>BAT</sub>	备份部分工作电压	-	1.65	-	3.6	
V <sub>I2</sub>	调压器打开 V <sub>CAP_1</sub> /V <sub>CAP_2</sub> 引脚	VOS=0 <sup>(1)</sup>	1.08	1.14	1.20	V
		VOS=1	1.20	1.26	1.32	V
	调压器关闭 V <sub>CAP_1</sub> /V <sub>CAP_2</sub> 引脚	工作频率 144MHz	1.10	1.14	1.20	V
		工作频率 168MHz	1.20	1.26	1.30	V
V <sub>IN</sub>	RST 和 FT 类型引脚的输入电压 (6)	2V ≤ V <sub>DD</sub> ≤ 3.6V	-0.3	-	5.5	V
		V <sub>DD</sub> ≤ 2V	-0.3	-	5.2	V
	TTa 类型引脚输入电压	-	-0.3	-	V <sub>DDA</sub> + 0.3	V
	BOOT 引脚输入电压	-	-	-	5.5	V
P <sub>D</sub>	功耗 温度标号 6: T=85°C 温度标号 7 <sup>(7)</sup> : T=105°C	LQFP176	-	-	513	mW
		LQFP144	-	-	500	
		LQFP100	-	-	465	
		LQFP64	-	-	435	

T <sub>A</sub>	环境温度(温度标号 6)	最大功耗	-40	-	85	°C
		低功耗 <sup>(8)</sup>	-40	-	105	
	环境温度(温度标号 7)	最大功耗	-40	-	105	
		低功耗 <sup>(8)</sup>	-40	-	125	
T <sub>J</sub>	结温度范围	温度标号 6	-40	-	105	
		温度标号 7	-40	-	125	

- 1.当 VOS=0 时,与 VOS=1 相比,整个系统的平均预期功耗增益约为 10%系统时钟频率在 30 和 144 MHz 之间时的温度范围。
- 2.当设备在降低的温度范围内运行,并使用外部电源监控器时,可获得 1.7 V 的 VDD/VDDA 最小值。
- 3.使用 ADC 时,参考 ADC 特性。
- 4.如果存在 VREF+ 引脚,则必须符合以下条件: VDDA-VREF+ < 1.2 V。
- 5.建议从同一电源为 VDD 和 VDDA 供电。VDD 和 VDDA 电压之间的最大差值为 300 mV 在通电和断电操作期间。
- 6.为了维持高于 VDD+0.3 的电压,必须禁用内部上拉和下拉电阻器。
- 7.如果 T<sub>A</sub> 较低,只要 T<sub>J</sub> 不超过 T<sub>Jmax</sub>,则允许较高的 PD 值。
- 8.在低功耗状态下,只要 T<sub>J</sub> 不超过 T<sub>Jmax</sub>,T<sub>A</sub> 可以扩展到此范围。

### 5.3.2 VCAP\_1/ VCAP\_2 引脚外接电容

主稳压器的稳定是通过连接一个外部电容 C<sub>EXT</sub> 到 VCAP\_1/ VCAP\_2 引脚。



- 1.图例: ESR 是等效串联电阻。

图 11 外接电容示意图

表 14 外接电容参数表

标记	参数	条件
C <sub>EXT</sub>	外接电容	2.2μF
ESR	外部电容 ESR	< 2Ω

- 1.当关闭北部稳压器时,不需要两个 2.2μF VCAP 电容,应该用两个 100 nF 去耦电容代替。

### 5.3.3 上电和掉电时的工作条件 (内部调压器打开)

下表中给出的参数是在一般的工作条件下测试得出。

表 15 上电和掉电时的工作条件 (内部调压器打开)

符号	参数	最小值	最大值	单位
t <sub>VDD</sub>	V <sub>DD</sub> 上升速率	20	1500 <sup>(1)</sup>	μs/V
	V <sub>DD</sub> 下降速率	20	1500 <sup>(1)</sup>	

- 1.若 V<sub>BAT</sub> 处于悬空状态需要满足这个条件,不建议 V<sub>BAT</sub> 悬空。

### 5.3.4 上电和掉电时的工作条件（内部调压器关闭）

下表中给出的参数是在一般的工作条件下测试得出。

表 16 上电和掉电时的工作条件（内部调压器关闭）

符号	参数	条件	最小值	最大值	单位
t <sub>VDD</sub>	V <sub>DD</sub> 上升速率	上电	20	∞	μs/V
	V <sub>DD</sub> 下降速率	掉电	20	∞	
t <sub>V<sub>CAP</sub></sub>	V <sub>CAP_1</sub> /V <sub>CAP_2</sub> 上升速度	上电	20	∞	
	V <sub>CAP_1</sub> /V <sub>CAP_2</sub> 下降速度	掉电	20	∞	

1. 为了在下电时复位内部逻辑，当 V<sub>DD</sub> 低于 V<sub>I2</sub> 的最小值时，必须对引脚 PA0 进行复位。

### 5.3.5 内嵌复位和电源控制模块特性

下表中给出的参数是依据和 V<sub>DD</sub> 供电电压下测试得出。

表 17 内嵌复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V <sub>PVD</sub>	可编程的电压检测器的电平选择	PLS[2:0]=000 (上升沿)	2.09	2.14	2.19	V
		PLS[2:0]=000 (下降沿)	1.98	2.04	2.08	V
		PLS[2:0]=001 (上升沿)	2.23	2.30	2.37	V
		PLS[2:0]=001 (下降沿)	2.13	2.19	2.25	V
		PLS[2:0]=010 (上升沿)	2.39	2.45	2.51	V
		PLS[2:0]=010 (下降沿)	2.29	2.35	2.39	V
		PLS[2:0]=011 (上升沿)	2.54	2.60	2.65	V
		PLS[2:0]=011 (下降沿)	2.44	2.51	2.56	V
		PLS[2:0]=100 (上升沿)	2.70	2.76	2.82	V
		PLS[2:0]=100 (下降沿)	2.59	2.66	2.71	V
		PLS[2:0]=101 (上升沿)	2.86	2.93	2.99	V
		PLS[2:0]=101 (下降沿)	2.75	2.84	2.92	V
		PLS[2:0]=110 (上升沿)	2.96	3.03	3.10	V
		PLS[2:0]=110 (下降沿)	2.85	2.93	2.99	V
PLS[2:0]=111 (上升沿)	3.07	3.14	3.21	V		
PLS[2:0]=111 (下降沿)	2.95	3.03	3.09	V		
V <sub>PVDhyst</sub> <sup>(1)</sup>	PVD 迟滞	-	-	100	-	mV
V <sub>POR/PDR</sub>	上电掉电复位阈值	下降沿	1.60	1.68	1.76	V
		上升沿	1.64	1.72	1.80	V
V <sub>PVDhyst</sub> <sup>(1)</sup>	PDR 迟滞	-	-	40	-	mV

V <sub>BOR1</sub>	失压等级 1	下降沿	2.13	2.19	2.24	V
		上升沿	2.23	2.29	2.33	V
V <sub>BOR2</sub>	失压等级 2	下降沿	2.44	2.50	2.56	V
		上升沿	2.53	2.59	2.63	V
V <sub>BOR3</sub>	失压等级 3	下降沿	2.75	2.83	2.88	V
		上升沿	2.85	2.92	2.97	V
V <sub>BORhyst</sub> <sup>(1)</sup>	BOR 迟滞	-	-	100	-	mV
T <sub>RSTTEMPO</sub> <sup>(1)(2)</sup>	复位持续时间	-	0.5	1.5	3.0	ms
I <sub>RUSH</sub> <sup>(1)</sup>	在电压调整器接通电源(或待机唤醒)的侵入电流	-	-	160	200	mA
E <sub>RUSH</sub> <sup>(1)</sup>	在电压调整器接通电源(或待机唤醒)的侵入能量	V <sub>DD</sub> =1.8V, T <sub>A</sub> =105℃, I <sub>RUSH</sub> =171mA, 31μs	-	-	5.4	μC

1.由设计保证。

2.复位持续时间的测量是从通电（POR reset 或从 VBAT 唤醒）到当用户应用程序代码读取第一条指令时。

### 5.3.6 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

本节中给出的所有运行模式下的电流消耗测量值，都是在执行一套精简的代码，能够得到 CoreMark 代码等效的结果。

#### 典型电流消耗

微控制器处于下列条件：

- 在启动时，所有的 I/O 引脚都处于输入模式。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到 f<sub>HCLK</sub> 的频率(0~30MHz 时为 0 个等待周期，30~60MHz 时为 1 个等待周期，60~90MHz 时为 2 个等待周期，90~120MHz 时为 3 个等待周期，120~150MHz 时为 4 个等待周期，150~168MHz 时为 5 个等待周期)。
- 当开启外设时：f<sub>PCLK1</sub> = f<sub>HCLK</sub>/4, f<sub>PCLK2</sub> = f<sub>HCLK</sub>/2, 除非有特别说明。
- V<sub>DD</sub>=3.6V 和环境温度时测得最大值 (T<sub>A</sub>)，T<sub>A</sub>=25° C 和 V<sub>DD</sub>=3.3V 获得典型值，除非有其他说明。

表 18 运行模式下典型的和最大的电流消耗，代码从 FLASH（启用加速器）<sup>(1)</sup>

符号	参数	条件	f <sub>HCLK</sub>	典型	最大 <sup>(2)</sup>		单位
				T <sub>A</sub> = 25℃	T <sub>A</sub> = 85℃	T <sub>A</sub> = 105℃	
I <sub>DD</sub>	运行模式下的电流	外部时钟 <sup>(2)</sup> , 所有的外设使能 <sup>(4)(5)</sup>	168MHz	67	75	-	mA
			144MHz	58	66	-	
			120MHz	49	56	-	
			90MHz	38	45	-	



			60MHz	26	34	-
			30MHz	14	22	-
			25MHz	13	21	-
			16MHz <sup>(6)</sup>	9	17	-
			8MHz	6	14	-
			4MHz	4	12	-
			2MHz	4	12	-
		外部时钟 <sup>(2)</sup> , 所有的外设 关闭 <sup>(4)(5)</sup>	168MHz	36	43	-
			144MHz	31	38	-
			120MHz	26	33	-
			90MHz	21	28	-
			60MHz	15	22	-
			30MHz	9	17	-
			25MHz	8	16	-
			16MHz <sup>(6)</sup>	6	14	-
			8MHz	5	13	-
			4MHz	3	12	-
			2MHz	3	12	-

1.数据和代码从 SRAM1 中启动，使用 BOOT 脚。

2.由电气参数测试保证，外设使能、VDD 最大并且  $f_{HCLK}$  最大上进行产品测试。

3.在  $f_{HCLK} > 25$  MHz 时，外部时钟使用 4 MHz 并且 PLL 使能。

4.当 ADC 处于 ON (ADON 位在 ADC\_CR2 寄存器中设置) 时，模拟部分为每个 ADC 增加 1.6 mA 的额外功耗。

5.当 ADC、DAC、HSE、LSE、HSI、LSI 等模拟外设处于开启状态时，需要考虑额外的功耗。

6.在此条件下，HCLK = 系统时钟二分频。

表 19 运行模式下典型的和最大的电流消耗，代码从 FLASH (关闭加速器)

符号	参数	条件	$f_{HCLK}$	典型	最大 <sup>(1)</sup>		单位	
				$T_A = 25^\circ\text{C}$	$T_A = 85^\circ\text{C}$	$T_A = 105^\circ\text{C}$		
$I_{DD}$	运行模式下的 电流	外部时钟 <sup>(2)</sup> , 所有的外设 使能 <sup>(3)(4)</sup>	168MHz	64	72	-	mA	
			144MHz	56	64	-		
			120MHz	48	55	-		
			90MHz	37	45	-		
			60MHz	27	34	-		
			30MHz	16	24	-		
			25MHz	15	23	-		
			16MHz	10	19	-		
			8MHz	7	15	-		
			4MHz	4	12	-		
			2MHz	4	12	-		
			外部时钟 <sup>(2)</sup> , 所有的外设 关闭 <sup>(3)(4)</sup>	168MHz	33	39		-
				144MHz	29	36		-
		120MHz		25	32	-		
		90MHz		21	28	-		
		60MHz		15	23	-		

			30MHz	10	18	-	
			25MHz	10	18	-	
			16MHz	7	15	-	
			8MHz	5	13	-	
			4MHz	4	12	-	
			2MHz	4	12	-	

- 1.由电气参数测试保证，外设使能、V<sub>DD</sub> 最大并且 f<sub>HCLK</sub>最大上进行产品测试。
- 2.在 f<sub>HCLK</sub> > 25 MHz时，外部时钟使用 4 MHz 并且 PLL 使能。
- 3.当 ADC、DAC、HSE、LSE、HSI、LSI 等模拟外设处于开启状态时，需要考虑额外的功耗。
- 4.当 ADC 处于 ON (ADON位在 ADC\_CR2 寄存器中设置)时，模拟部分为每个 ADC 增加 1.6mA 的额外功耗。

表 20 在睡眠模式下电流消耗的典型值和最大值

符号	参数	条件	f <sub>HCLK</sub>	典型	最大 <sup>(1)</sup>		单位
				T <sub>A</sub> = 25℃	T <sub>A</sub> = 85℃	T <sub>A</sub> = 105℃	
I <sub>DD</sub>	睡眠模式下的电流	外部时钟 <sup>(2)</sup> , 所有的外设使能 <sup>(3)</sup>	168MHz	57	58	-	mA
			144MHz	49	51	-	
			120MHz	41	44	-	
			90MHz	32	36	-	
			60MHz	22	28	-	
			30MHz	13	19	-	
			25MHz	11	18	-	
			16MHz	8	16	-	
			8MHz	6	13	-	
			4MHz	4	12	-	
		2MHz	4	12	-		
		外部时钟 <sup>(2)</sup> , 所有的外设关闭	168MHz	24	24	-	
			144MHz	21	22	-	
			120MHz	18	20	-	
			90MHz	14	18	-	
			60MHz	10	16	-	
			30MHz	7	13	-	
			25MHz	6	13	-	
			16MHz	5	12	-	
			8MHz	4	12	-	
4MHz	3		11	-			
2MHz	3	11	-				

- 1.由电气参数测试保证，外设使能、V<sub>DD</sub> 最大并且 f<sub>HCLK</sub>最大上进行产品测试。
- 2.在 f<sub>HCLK</sub> > 25 MHz时，外部时钟使用 4 MHz 并且 PLL 使能。
- 3.当 ADC 处于 ON (ADON位在 ADC\_CR2 寄存器中设置)时，模拟部分为每个 ADC 增加 1.6 mA 的额外功耗。

表 21 停止模式下电流消耗的典型值和最大值

符号	参数	条件	典型	典型		单位
			T <sub>A</sub> = 25℃	T <sub>A</sub> = 85℃	T <sub>A</sub> = 105℃	
I <sub>DD</sub>	停止模式，主调节器处	FLASH 处于停止模式，低速和告诉内部 RC 以及高速晶	1044	6496	-	uA

	于运行模式下的电流消耗	振关闭(没有开启独立看门狗)				
		FLASH 处于深度掉电模式, 低速和告诉内部 RC 以及高速晶振关闭(没有开启独立看门狗)	1039	6491	-	
	停止模式, 主调节器处于低功耗模式下的电流消耗	FLASH 处于停止模式, 低速和告诉内部 RC 以及告诉晶振关闭(没有开启独立看门狗)	628	4556	-	
		FLASH 处于深度掉电模式, 低速和告诉内部 RC 以及高速晶振关闭(没有开启独立看门狗)	624	4546	-	

表 22 待机模式下电流消耗的典型值和最大值

符号	参数	条件	典型			最大 <sup>(1)</sup>		单位
			T <sub>A</sub> = 25°C			T <sub>A</sub> = 85°C	T <sub>A</sub> = 105°C	
			V <sub>DD</sub> = 1.8V	V <sub>DD</sub> = 2.4V	V <sub>DD</sub> = 3.3V	V <sub>DD</sub> = 3.6V		
I <sub>DD</sub>	待机模式下的电流消耗	备份域 SRAM 开启, 低速晶振和 RTC 开启	3.3	3.58	4.63	9.76	-	μA
		备份域 SRAM 关闭, 低速晶振和 RTC 开启	1.98	2.27	3.05	5.06	-	
		备份域 SRAM 开启, RTC 关闭	2.81	3.04	3.91	9.24	-	
		备份域 SRAM 关闭, RTC 关闭	1.54	1.8	2.45	4.41	-	

1. 参数测试保证。

表 23 待机模式下电流消耗的典型值和最大值

符号	参数	条件	典型			最大 <sup>(1)</sup>		单位
			T <sub>A</sub> = 25°C			T <sub>A</sub> = 85°C	T <sub>A</sub> = 105°C	
			V <sub>BAT</sub> = 1.8V	V <sub>BAT</sub> = 2.4V	V <sub>BAT</sub> = 3.3V	V <sub>DD</sub> = 3.6V		
I <sub>DD_VBAT</sub>	备份域电流消耗	备份域 SRAM 开启, 低速晶振和 RTC 开启	1.97	2.14	2.48	6.44	-	μA
		备份域 SRAM 关闭, 低速晶振和 RTC 开启	0.68	0.75	0.93	1.34	-	
		备份域 SRAM 开启, RTC 关闭	1.31	1.42	1.6	5.41	-	
		备份域 SRAM 关闭, RTC 关闭	0.01	0.01	0.02	0.3	-	

1. 参数测试保证。

## 片上外设电流消耗

内置外设的电流消耗列于下表，MCU 的工作条件如下：

- 启动时，固件将所有 I/O 引脚配置为模拟引脚。
- 除非另有说明，否则禁用所有外围设备。
- 代码从闪存运行，闪存访问时间等于 168MHz 时，5 周期等待状态。
- FLASH 加速器开启。
- 通过测量电流消耗的差异来计算给定值
- 所有外围设备都已关闭
- 一个外围设备已开启时钟（仅应用时钟）
- 当外围设备启用时：HCLK 是系统时钟， $f_{CLK1}=f_{HCLK4}$ ，以及  $f_{CLK2}=f_{HCLK2}$ 。
- 除非另有规定，否则在 VDD=3.3 V 和 TA=25° C 时获得典型值明确规定。

表 24 内置外设的电流消耗<sup>(1)</sup>

内置外设		25°C 时的典型功耗 (168MHz)	单位
AHB1 (最高 168MHz)	GPIOA	2.70	μ A/MHz
	GPIOB	2.50	
	GPIOC	2.54	
	GPIOD	2.53	
	GPIOE	2.68	
	GPIOF	2.53	
	GPIOG	2.51	
	GPIOH	2.51	
	GPIOI	2.50	
	OTG_HS+ULPI	28.33	
	CRC	0.41	
	BKPSRAM	0.63	
	DMA1	37.44	
	DMA2	37.69	
ETH_MAC ETH_MAC_TX ETH_MAC_RX ETH_MAC_PTP	20.43		
AHB2 (最高 168MHz)	OTG_FS	26.45	
	DCMI	5.87	
	RNG	1.50	
	Hash	9.73	
	Crypto	2.23	
AHB3 (最高)	FSMC	12.46	

168MHz)		
Bus matrix		13.10
APB1 (最高 42MHz)	TIM2	16.71
	TIM3	12.33
	TIM4	13.45
	TIM5	17.14
	TIM6	2.43
	TIM7	2.43
	TIM12	6.62
	TIM13	5.05
	TIM14	5.26
	PWR	1.00
	USART2	2.69
	USART3	2.74
	UART4	3.24
	UART5	2.69
	I2C1	2.67
	I2C2	2.83
	I2C3	2.81
	SPI2	2.43
	SPI3	2.43
	I2S2	2.43
I2S3	2.26	
CAN1	5.12	
CAN2	4.81	
DAC	1.67	
WWDG	1.00	
APB2 (最高 84MHz)	SDIO	7.08
	TIM1	16.79
	TIM8	17.88
	TIM9	7.64
	TIM10	4.89
	TIM11	5.19
	ADC1	4.67
	ADC2	4.67
	ADC3	4.43
	SPI1	1.32
USART1	3.51	

	USART6	3.55	
	SYSCFG	0.74	

- 1.当 I/O 补偿单元 ON 时，IDD 典型值增加 0.22 mA。
- 2.当至少有一个主节点处于 ON 状态时，总线矩阵将自动激活。
- 3.要使能 I2S 外设，需要先设置 SPI\_I2SCFGR 寄存器中的 I2SMOD 位，然后设置 I2SE 位。
- 4.当 DAC 是 ON 和 EN1/2 位设置在 DAC\_CR 寄存器，增加额外的功耗模拟部分的每个 DAC 通道 0.8 mA。
- 5.当 ADC 处于 ON (ADC\_CR2 寄存器中的 ADON 位设置) 时，增加一个额外的功耗模拟部分的每个 ADC 为 1.6 mA。

### 5.3.7 从低功耗模式下唤醒

表中给出的唤醒时间是在 16MHz HSI 的唤醒阶段测量的 RC 振荡器。用于唤醒设备的时钟源依赖于当前时钟操作模式：

- 停止或待机模式:时钟源是 RC 振荡器
- Sleep 模式:时钟源为进入 Sleep 模式前设置的时钟。

所有计时都是在环境温度和  $V_{DD}$  电源下进行的测试电压条件如下表所示。

表 25 唤醒时间

符号	参数	最小 <sup>(1)</sup>	典型 <sup>(1)</sup>	最大 <sup>(1)</sup>	单位
$t_{WUSLEEP}^{(2)}$	从睡眠模式中唤醒	-	5	-	CPU 时钟周期
$t_{WUSTOP}^{(2)}$	从停止模式中唤醒(调节器在运行模式和停止模式下的闪存)	-	13	-	$\mu s$
	从停止模式中唤醒(调节器在低功耗模式和停止模式下的 Flash 存储器)	-	17	40	
	从停止模式中唤醒(调节器在运行模式和深度断电模式下的闪存)	-	105	-	
	从停止模式(调节器在低功耗模式深度断电模式下的 Flash 存储器)	-	110	-	
$t_{WUSTDBY}^{(2)(3)}$	从待机模式下唤醒	260	375	480	

- 1.由电气参数测试保证。
- 2.唤醒时间是从唤醒事件到应用程序代码读取第一条指令的时间。
3. $t_{WUSLEEP}$  最小值和最大值分别在 105° C 和 -45° C 测定。

### 5.3.8 外部时钟源特性

#### 来自外部振荡源产生的高速外部用户时钟

下表中给出的特性参数是使用一个高速的外部时钟源测得，环境温度和供电电压符合表 13 的条件。

表 26 高速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
$f_{HSE\_ext}$	用户外部时钟频率 <sup>(1)</sup>		1	-	50	MHz
$V_{HSEH}$	OSC_IN 输入引脚高电平电压		$0.7V_{DD}$	-	$V_{DD}$	V
$V_{HSEL}$	OSC_IN 输入引脚低电平电压		$V_{SS}$	-	$0.3V_{DD}$	

$t_{w(HSE)}$	OSC_IN 高或低的时间 <sup>(1)</sup>		5	-	-	ns
$t_{r(HSE)}$			-	-	10	
$t_{f(HSE)}$	OSC_IN 上升或下降的时间 <sup>(1)</sup>		-	-	10	ns
$t_{r(HSE)}$			-	-	10	
$C_{in(HSE)}$	OSC_IN 输入容抗 <sup>(1)</sup>		-	5	-	pF
DuCy <sub>(HSE)</sub>	占空比		45	-	55	%
$I_L$	OSC_IN 输入漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$	-	-	$\pm 1$	$\mu A$

1.由设计保证。

### 来自外部振荡源产生的低速外部用户时钟

下表中给出的特性参数是使用一个低速的外部时钟源测得，环境温度和供电电压符合表 13 的条件。

表 27 低速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
$f_{LSE\_ext}$	用户外部时钟频率 <sup>(1)</sup>		0	32.768	1000	MHz
$V_{LSEH}$	OSC32_IN 输入引脚高电平电压		$0.7V_{DD}$	-	$V_{DD}$	V
$V_{LSEL}$	OSC32_IN 输入引脚低电平电压		$V_{SS}$	-	$0.3V_{DD}$	
$t_{w(LSE)}$	OSC32_IN 高或低的时间 <sup>(1)</sup>		450	-	-	ns
$t_{r(LSE)}$						
$t_{f(LSE)}$	OSC32_IN 上升或下降的时间 <sup>(1)</sup>		-	-	50	ns
$t_{r(LSE)}$						
$C_{in(LSE)}$	OSC32_IN 输入容抗 <sup>(1)</sup>		-	5	-	pF
DuCy <sub>(LSE)</sub>	占空比		30	-	70	%
$I_L$	OSC32_IN 输入漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$	-	-	$\pm 1$	$\mu A$

1.由设计保证。

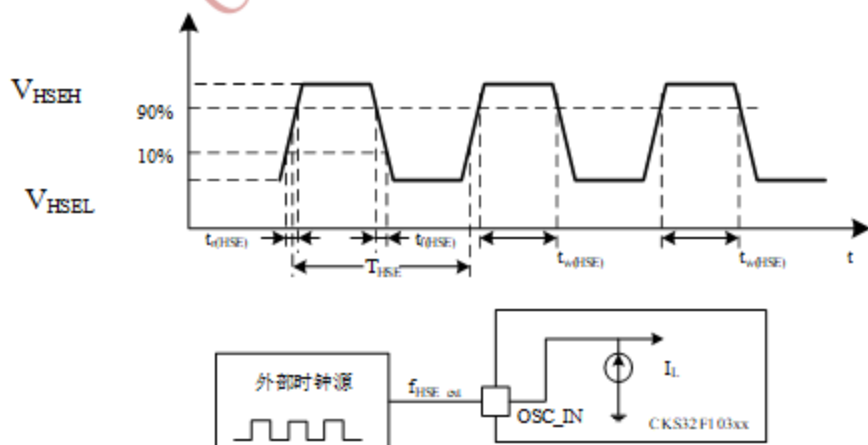


图 12 外部高速时钟源的交流时序图

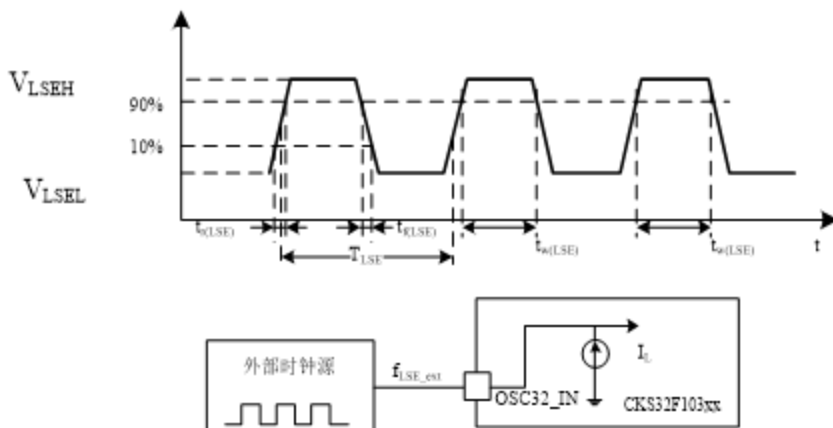


图 13 外部低速时钟源的交流时序图

### 使用一个晶体/陶瓷谐振器产生的高速外部时钟

高速外部时钟(HSE)可以使用一个 4~26MHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件,通过综合特性评估得到的结果。在应用中,谐振器和负载电容必须尽可能地靠近振荡器的引脚,以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数(频率、封装、精度等),请咨询相应的生产厂商。

表 28 HSE 4~26MHz 振荡器特性<sup>(1)</sup>

符号	参数	条件	最小值	典型值	最大值	单位
$f_{OSC\_IN}$	振荡器频率		4	-	26	MHz
$R_F$	反馈电阻		-	200	-	k $\Omega$
$G_m$	振荡器的跨导	启动	5	-	-	mA/V
$G_{mcritmax}$	最大晶振跨导		-	-	1	
$t_{SU(HSE)}$ <sup>(2)</sup>	启动时间	$V_{DD}$ 稳定	-	2	-	ms

1.由设计保证。

2.由电气参数测试保证。 $t_{SU(HSE)}$ 是指从启动(通过软件)到达到稳定的 8mhz 振荡的启动时间。这个值是用标准晶体谐振器测量的,而且晶体制造商的不同会有很大的不同。

对于  $C_{L1}$  和  $C_{L2}$ , 建议使用高质量的外部陶瓷电容器 5 pF 至 25 pF 范围(典型值),专为高频应用而设计,并根据晶体或谐振器的要求进行选择。 $C_{L1}$  和  $C_{L2}$  通常大小相同。晶体制造商通常指定一个负载电容是  $C_{L1}$  和  $C_{L2}$  的系列组合。在确定尺寸时,必须包括 PCB 和 MCU 的引脚电容(10pf 可以作为组合引脚和板电容的粗略估计) $C_{L1}$  和  $C_{L2}$ 。

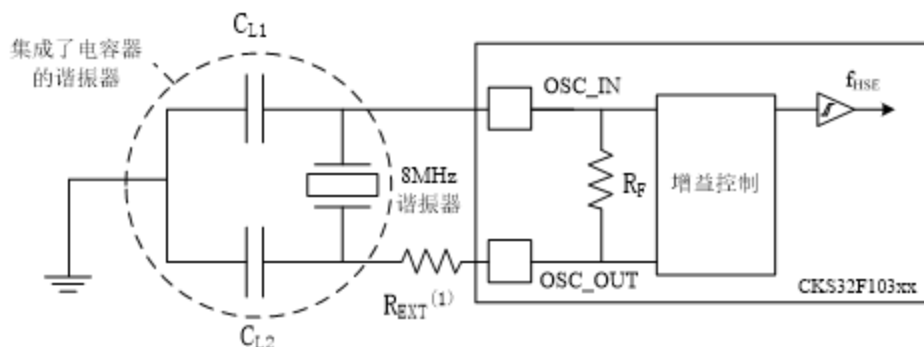


图 14 使用 8MHz 晶体的典型应用

1. $R_{EXT}$ 数值由晶体的特性决定。



## 使用一个晶体/陶瓷谐振器产生的低速外部时钟

低速外部时钟(LSE)可以使用一个 32.768kHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用表 29 中列出的典型外部元器件,通过综合特性评估得到的结果。在应用中,谐振器和负载电容必须尽可能地靠近振荡器的引脚,以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数(频率、封装、精度等),请咨询相应的生产厂商。

表 29 LSE 振荡器特性( $f_{LSE}=32.768\text{kHz}$ )<sup>(1)</sup>

符号	参数	条件	最小值	典型值	最大值	单位
$f_{OSC\_IN}$	晶振频率	-	-	32.768	-	MHz
$R_F$	反馈电阻	-	-	18.4	-	MΩ
$I_{DD}$	LSE 电流消耗	-	-	-	1	μA
$G_m$	振荡器的跨导	启动	2.8	-	-	μA/V
$G_{mcrimax}$	最大晶振跨导		-	-	0.56	
$t_{SU(LSE)}$ <sup>(2)</sup>	启动时间	$V_{DD}$ 稳定	-	2	-	s

1.设计保证。

2.由电气参数测试保证。 $t_{SU(LSE)}$ 是从(通过软件)启用到达到稳定的 32.768 kHz 振荡的启动时间。这个值是标准晶体谐振器的测量值,它可以随晶体制造商的不同而显著变化。

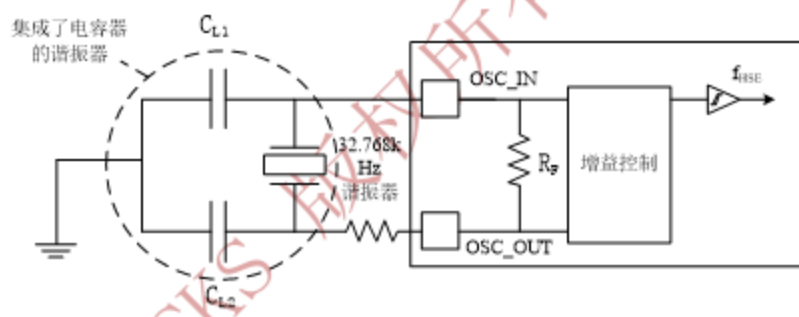


图 15 使用 32.768kHz 晶体的典型应用

## 5.3.9 内部时钟源特性

下表中给出的特性参数是使用环境温度和供电电压符合表 13 的条件测量得到。

### 高速内部(HSD)RC 振荡器

表 30 HSI 振荡器特性<sup>(1)</sup>

符号	参数	条件	最小值	典型值	最大值	单位
$f_{HSI}$	频率	-	-	16	-	MHz
$ACC_{HSI}$	HSI 用户校准步长 <sup>(2)</sup>	-	-	-	1	%
	HSI 振荡器的精度	$T_A = -40 \sim 105^\circ\text{C}$ <sup>(3)</sup>	-8	-	4.5	%
		$T_A = -10 \sim 85^\circ\text{C}$ <sup>(3)</sup>	-4	-	4	%
	$T_A = 25^\circ\text{C}$ <sup>(4)</sup>	-1.5	-	1.5	%	
$t_{SU(HSI)}$ <sup>(2)</sup>	HSI 振荡器启动时间	-	-	2.2	4	μs
$I_{DD(HSI)}$ <sup>(2)</sup>	HSI 振荡器功耗	-	-	60	80	μA

1.VDD = 3.3V, PLL 关闭, TA = -40~125°C, 除非特别说明。

2.由设计保证。

3.由电气参数测试保证。

4.工厂校准。

### 低速内部(LSD)RC 振荡器

表 31 LSI 振荡器特性<sup>(1)</sup>

符号	参数	最小值	典型值	最大值	单位
$f_{LSI}^{(2)}$	频率	17	32	47	kHz
$t_{SU(LSI)}^{(3)}$	LSI 振荡器启动时间	-	15	40	$\mu s$
$I_{DD(LSI)}^{(3)}$	LSI 振荡器功耗	-	0.4	0.6	$\mu A$

1.VDD = 3.3V, TA = -40~105°C, 除非特别说明。

2.由电参数测试保证。

3.由设计保证。

### 5.3.10 PLL 特性

下表列出的参数是使用环境温度和供电电压符合表 13 的条件测量得到。

表 32 PLL 特性

符号	参数	条件	最小值	典型值	最大值	单位	
$f_{PLL\_IN}$	PLL 输入时钟 <sup>(1)</sup>	-	0.95 <sup>(2)</sup>	1	2.10	MHz	
$f_{PLL\_OUT}$	PLL 倍频输出时钟	-	24	-	168	MHz	
$f_{PLL48\_OUT}$	48MHz PLL 倍频输出时钟	-	-	48	75	MHz	
$f_{VCO\_OUT}$	PLL VCO 输出	-	100	-	432	MHz	
$t_{LOCK}$	PLL 锁相时间	VCO 频率 = 100MHz	75	-	200	$\mu s$	
		VCO 频率 = 432MHz	100	-	300	$\mu s$	
抖动 <sup>(3)</sup>	周期对周期抖动	系统时钟 120MHz	RMS	-	25	-	ps
			峰峰值	-	±150	-	
	周期抖动		RMS	-	15	-	
			峰峰值	-	±200	-	
	MCO 为 RMII 以太网	在 1000 个样本上以 50 MHz 的频率循环	-	32	-		
	MCO 为 MII 以太网	在 1000 个样本上以 25 MHz 的频率循环	-	40	-		
CAN 位时间抖动	在 1000 个样本上以 1 MHz 的频率循环	-	330	-			
$I_{DD(PLL)}^{(4)}$	PLL 在 V <sub>DD</sub> 电压下的电流消耗	VCO 频率 = 100MHz	0.15	-	0.40	mA	
		VCO 频率 = 432MHz	0.45	-	0.75		
$I_{DDA(PLL)}^{(4)}$	PLL 在 V <sub>DDA</sub> 电压下	VCO 频率 = 100MHz	0.30	-	0.40	mA	

	的电流消耗	VCO 频率 = 432MHz	0.55		0.85	
--	-------	-----------------	------	--	------	--

- 1.注意使用适当的除法因子  $M$  来获得指定的锁相环输入时钟值。M因子在 PLL 和 PLLI2S 之间共享。
- 2.设计保证。
- 3.并行使用 2 个锁相环可以降低抖动高达+30%。
- 4.由电参数测试保证。

表 33 PLLI2S 特性

符号	参数	条件	最小值	典型值	最大值	单位
$f_{PLL\_IN}$	PLL 输入时钟 <sup>(1)</sup>	-	0.95 <sup>(2)</sup>	1	2.10	MHz
$f_{PLL\_OUT}$	PLL 倍频输出时钟	-	24	-	168	MHz
$f_{PLL48\_OUT}$	48MHz PLL 倍频输出时钟	-	-	48	75	MHz
$f_{VCO\_OUT}$	PLL VCO 输出	-	100	-	432	MHz
$t_{LOCK}$	PLL 锁相时间	VCO 频率 = 100MHz	75	-	200	$\mu s$
		VCO 频率 = 432MHz	100	-	300	$\mu s$
抖动 <sup>(3)</sup>	I <sup>2</sup> S 主时钟抖动	峰峰值: 12.288MHz, 48KHz 周期, N=432, R=5	RMS 峰峰值	-	90	-
		平均频率 12.288 兆赫 1000 个样本 N = 432, R=5		-	$\pm 280$	-
	WS I <sup>2</sup> S 时钟抖动	在 1000 个样本上以 48KHz 的频率循环		-	400	-
$I_{DD(PLL)}^{(4)}$	PLL 在 $V_{DD}$ 电压下的 电流消耗	VCO 频率 = 100MHz	0.15	-	0.40	mA
		VCO 频率 = 432MHz	0.45	-	0.75	
$I_{DDA(PLL)}^{(4)}$	PLL 在 $V_{DDA}$ 电压下 的电流消耗	VCO 频率 = 100MHz	0.30	-	0.40	mA
		VCO 频率 = 432MHz	0.55	-	0.85	

- 1.注意使用适当的除法因子  $M$  来获得指定的锁相环输入时钟值。M因子在 PLL 和 PLLI2S 之间共享。
- 2.设计保证。
- 3.主锁相环运行时给出的值。
- 4.由电参数测试保证。

### 5.3.11 锁相环扩频时钟产生(SSCG)特性

扩频时钟产生(SSCG)特性允许减少电磁干扰(见 EMI 特性)。它只能在主锁相环上使用。

表 34 SSCG 参数约束

符号	参数	最小	典型	最大 <sup>(1)</sup>	单位
$f_{Mod}$	调制频率	-	-	10	KHz
md	峰值调制深度	0.25	-	2	%

MODEPER*INCSTEP		-	-	2 <sup>15</sup> -1	-
-----------------	--	---	---	--------------------	---

1.由设计保证。

### 5.3.12 存储器特性

#### 闪存存储器

除非特别说明,所有特性参数是在  $T_A = -40\sim 105^\circ\text{C}$  得到。

表 35 闪存存储器特性

符号	参数	条件	最小值	典型值	最大值	单位
$t_{\text{prog}}$	128 位编程时间	$T_A = -40\sim 105^\circ\text{C}$	-	-	10	$\mu\text{s}$
$t_{\text{ERASE}}$	页(1K 字节)擦除时间	$T_A = -40\sim 105^\circ\text{C}$	-	-	4	ms
$t_{\text{ME}}$	整片擦除时间	$T_A = -40\sim 105^\circ\text{C}$	-	-	10	
$I_{\text{DD}}$	供电电流	读模式	-	-	7.5	mA
		写模式	-	-	6	
		擦除模式	-	-	2.2	
		待机模式, $125^\circ\text{C}$	-	-	60	$\mu\text{A}$

1.由设计保证,不在生产中测试。

表 36 闪存存储器寿命和数据保存期限

符号	参数	条件	最小值	典型值	最大值	单位
$N_{\text{END}}$	寿命	$T_A = -40\sim 85$	100	-	-	千次
$t_{\text{RET}}$	数据保存期限	$T_A = 85^\circ\text{C}$	20	-	-	年

1.由综合评估得出,不在生产中测试。

2.循环测试均是在整个温度范围下进行。

### 5.3.13 EMC 特性

敏感性测试是在产品的综合评估时抽样进行测试的。

#### 功能性 EMS(电磁敏感性)

当运行一个简单的应用程序时(通过 I/O 端口闪烁 2 个 LED),测试样品被施加 2 种电磁干扰直到产生错误,LED 闪烁指示了错误的产生。

- **静电放电(ESD)**(正放电和负放电)施加到芯片所有的引脚直到产生功能性错误。这个测试符合 IEC61000-4-2 标准。
- **FTB**: 在  $V_{\text{DD}}$  和  $V_{\text{SS}}$  上通过一个 100pF 的电容施加一个瞬变电压的脉冲群(正向和反向)直到产生功能性错误。这个测试符合 IEC61000-4-4 标准。

芯片复位可以使系统恢复正常操作。

测试结果列于下表中。

表 37 EMS 特性

符号	参数	条件	级别/类型
$V_{FESD}$	施加到任一 I/O 脚, 从而导致功能错误的电压极限。	$V_{DD} = 3.3V$ , LQFP176, $T_A = +25^\circ C$ , $f_{HCLK} = 168MHz$ 。符合 IEC 61000-4-2	2B
$V_{EFTB}$	在 $V_{DD}$ 和 $V_{SS}$ 上通过 100pF 的电容施加的、导致功能错误的瞬变脉冲群电压极限	$V_{DD} = 3.3V$ , LQFP176, $T_A = +25^\circ C$ , $f_{HCLK} = 168MHz$ 。符合 IEC 1000-4-4	4A

### 设计牢靠的软件以避免噪声的问题

在器件级进行 EMC 的评估和优化, 是在典型的应用环境中进行的。应该注意的是, 好的 EMC 性能与用户应用和具体的软件密切相关。

因此, 建议用户对软件实行 EMC 优化, 并进行与 EMC 有关的认证测试。

### 软件建议

软件的流程中必须包含程序跑飞的控制, 如:

- 被破坏的程序计数器
- 意外的复位
- 关键数据被破坏(控制寄存器等.....)

### 认证前的试验

很多常见的失效(意外的复位和程序计数器被破坏), 可以通过人工地在 NRST 上引入一个低电平或在晶振引脚上引入一个持续 1 秒的低电平而重现。

在进行 ESD 测试时, 可以把超出应用要求的电压直接施加在芯片上, 当检测到意外动作的地方, 软件部分需要加强以防止发生不可恢复的错误。

### 电磁干扰(EMI)

当一个简单的应用程序执行 EEMBC 代码运行。此排放测试符合 SAE IEC61967-2 标准, 该标准规定了测试板和引脚负载。

表 38 EMI 特性

符号	参数	条件	监测的频段	最大值	单位
				( $f_{HSE}/f_{CPU}$ )	
$S_{EMI}$	峰值	$V_{DD} = 3.3V$ , $T_A = 25^\circ C$ , LQFP176 封装, 符合 SAE J1752/3 EEMBC, 代码从 Flash 运行, 启用加速器	0.1~30MHz	32	dB $\mu$ V
			30~130MHz	25	
			130MHz~1GHz	29	
			SAM EMI 级别	4	-
		$V_{DD} = 3.3V$ , $T_A = 25^\circ C$ , LQFP176 封装, 符合 SAE J1752/3 EEMBC, 代码从 Flash 运行, 启用加速器, 启用 PLL 扩频	0.1~30MHz	19	dB $\mu$ V
			30~130MHz	16	
			130MHz~1GHz	18	
			SAM EMI 级别	3.5	-

### 5.3.14 绝对最大值(电气敏感性)

基于三个不同的测试 (ESD, LU), 使用特定的测量方法, 对芯片进行强度测试以决定它的电气敏感性方面的性能。

## 静电放电(ESD)

静电放电(一个正的脉冲然后间隔一秒钟后一个负的脉冲)施加到所有样品的所有引脚上,样品的大小与芯片上供电引脚数目相关(3片×(n+1)供电引脚)。这个测试符合 JESD22-A114/ C101 标准。

表 39 ESD 绝对最大值

符号	参数	条件	类型	最大值 <sup>(1)</sup>	单位
$V_{ESD(HBM)}$	静电放电电压(人体模型)	T = +25 °C,符合 JESD22-A114	2	2000	V
$V_{ESD(CDM)}$	静电放电电压(充电设备模型)	T = +25 °C,符合 ANSI/ESD	II	500	

1.由综合评估得出,不在生产中测试。

2.VBAT脚的  $V_{ESD(HBM)}$ 限制到 1000V。

### 静态栓锁

为了评估栓锁性能,需要在 6 个样品上进行 2 个互补的静态栓锁测试:

- 为每个电源引脚,提供超过极限的供电电压。
- 在每个输入、输出和可配置的 I/O 引脚上注入电流。

这个测试符合 EIA/JESD 78A 集成电路栓锁标准。

表 40 电气敏感性

符号	参数	条件	类型
LU	静态栓锁类	T = +105 °C, 符合 JESD78A	II 类 A

## 5.3.15 I/O 电流注入特性

一般情况下,由于低于 VSS 或 VSS 的外部电压,电流注入到 I/O 引脚以上 VDD(标准, 3 V-capable I/O 引脚)应避免在正常产品操作。然而,为了给出说明微控制器的鲁棒性当不正常注射意外发生时,对病人进行药敏试验在器件表征期间的样品基础。

### 对 I/O 电流注入的功能敏感性

当一个简单的应用程序在设备上执行时,通过注入来强调设备电流进入 I/O 引脚在浮动输入模式编程。而电流被注入 I/O 引脚,一次一个,检查设备的功能故障。

故障由一个超出范围的参数表示:ADC 错误超过了某个限制(>5LSB TUE),超过相邻引脚感应泄漏电流的常规限制(超过 5  $\mu$ A/+0  $\mu$ A 范围),或其他功能失效(例如复位、振荡器频率偏差)。

负感生泄漏电流是由负注入和正感生产生的正注入漏电流。

表 41 IO 口注入电流

符号	描述	功能的敏感性		单位
		负注入	正注入	
$I_{in}^{(1)}$	BOOT0 注入电流	-0	NA	mA
	NRST 注入电流	-0	NA	
	PE2, PE3, PE4, PE5, PE6, PI8, PC13, PC14, PC15, PI9, PI10, PI11, PFO, PF1, PF2, PF3, PF4, PF5, PF10, PH0/OSC_IN, PH1/OSC_OUT, PC0, PC1, PC2, PC3, PB6, PB7, PB8, PB9, PE0, PE1, PI4, PI5, PI6, PI7, PDR_ON, BYPASS_REG 注入电流	-0	NA	
	所有 FT 引脚注入电流	-5	NA	
	其他引脚注入电流	-5	+5	

1.建议在模拟引脚上增加肖特基二极管(引脚对地),这可能会潜在地注入负电流。

### 5.3.16 I/O 引脚电气特性

#### 通用输入/输出特性

除非特别说明,下表列出的参数是按照表 13 的条件测量得到。所有的 I/O 端口都是兼容 CMOS 和 TTL。

表 42 I/O 静态特性

符号	参数	条件	最小值	典型值	最大值	单位	
V <sub>IL</sub>	FT, TTa 和 NRST I/O 输入低电平电压	1.7V ≤ V <sub>DD</sub> ≤ 3.6V	-	-	0.3V <sub>DD</sub> -0.04 <sup>(1)</sup>	V	
			-	-	0.3V <sub>DD</sub> <sup>(2)</sup>		
	BOOT0 I/O 输入低电平电压	1.75V ≤ V <sub>DD</sub> ≤ 3.6V -40°C ≤ V <sub>DD</sub> ≤ 105°C	-	-	0.1 V <sub>DD</sub> ± 0.1 <sup>(1)</sup>		
1.7V ≤ V <sub>DD</sub> ≤ 3.6V 0°C ≤ V <sub>DD</sub> ≤ 105°C			-	-	-		
V <sub>IH</sub>	FT, TTa 和 NRST I/O 输入高电平电压	1.7V ≤ V <sub>DD</sub> ≤ 3.6V	0.45	-	-		V
			V <sub>DD</sub> +0.3 <sup>(1)</sup>	-	-		
	0.7 V <sub>DD</sub> <sup>(2)</sup>	-	-				
BOOT0 I/O 输入高电平电压	1.75V ≤ V <sub>DD</sub> ≤ 3.6V -40°C ≤ V <sub>DD</sub> ≤ 105°C	0.17 V <sub>DD</sub>	-	-			
		1.7V ≤ V <sub>DD</sub> ≤ 3.6V 0°C ≤ V <sub>DD</sub> ≤ 105°C	+0.7 <sup>(1)</sup>	-	-		
V <sub>HYS</sub>	FT, TTa 和 NRST I/O 输入迟滞	1.7V ≤ V <sub>DD</sub> ≤ 3.6V	10%V <sub>DD</sub> <sup>(3)</sup>	-	-	μA	
			BOOT0 I/O 输入迟滞	1.75V ≤ V <sub>DD</sub> ≤ 3.6V -40°C ≤ V <sub>DD</sub> ≤ 105°C	0.1		-
	1.7V ≤ V <sub>DD</sub> ≤ 3.6V 0°C ≤ V <sub>DD</sub> ≤ 105°C	-					
I <sub>lkg</sub>	I/O 输入漏电流 <sup>(4)</sup>	V <sub>SS</sub> ≤ V <sub>IN</sub> ≤ V <sub>DD</sub>	-	-	±1		μA
	I/O FT 输入漏电流 <sup>(5)</sup>	V <sub>IN</sub> = 5V	-	-	3		
R <sub>PU</sub>	弱上拉等效电阻 <sup>(6)</sup>	所有引脚 (除了 PA10 和 PB12)	V <sub>IN</sub> = V <sub>SS</sub>	30	40		50
		PA10 和 PB12	-	7	10	14	
R <sub>PD</sub>	弱下拉等效电阻 <sup>(7)</sup>	所有引脚 (除了 PA10 和 PB12)	V <sub>IN</sub> = V <sub>DD</sub>	30	40	50	
		PA10 和 PB12	-	7	10	14	
C <sub>IO</sub> <sup>(8)</sup>	I/O 引脚的电容	-	-	5	-	pF	

1.由设计保证。

1.产品测试。

2.最小, 200mV。

3.如果在相邻引脚上注入负电流, 泄漏可能会高于最大值。

4.为了维持高于  $V_{DD} + 0.3\text{ V}$  的电压，内部的上/下拉电阻必须禁用。如果在相邻引脚上注入负电流，泄漏可能会高于最大值。

5.上拉和下拉电阻设计成与可切换 PMOS 串联的真正电阻。PMOS 对串联电阻的贡献是最小的(~10%量级)。

6.上拉和下拉电阻设计成与可切换 NMOS 串联的真正电阻。NMOS 对串联电阻的贡献是最小的(~10%量级)。

7.施密特触发开关电平之间的滞后电压。由电气参数测试保证。

### 输出驱动电流

GPIOs(通用输入/输出)可以承受或提供  $\pm 8\text{ mA}$ ，承受或提供  $\pm 20\text{ mA}$ (放松的 VOL/VOH)，除了 PC13, PC14 和 PC15 可以承受或提供  $\pm 3\text{ mA}$ 。PC13 到 PC15 输出模式时，速度不应超过 2MHz，最大负载 30pf。

在用户应用中，I/O 脚的数目必须保证驱动电流不能超过 5.2 节给出的绝对最大额定值：

- 所有 I/O 端口从  $V_{DD}$  上获取的电流总和，加上 MCU 在  $V_{DD}$  上获取的最大运行电流，不能超过绝对最大额定值  $I_{VDD}$ (参见表 11)。
- 所有 I/O 端口吸收并从  $V_{SS}$  上流出的电流总和，加上 MCU 在  $V_{SS}$  上流出的最大运行电流，不能超过绝对最大额定值  $I_{VSS}$ (参见表 11)。

### 输出电压

除非特别说明，下表列出的参数是使用环境温度和  $V_{DD}$  供电电压测量得到。所有的 I/O 端口都是兼容 CMOS 和 TTL 的。

表 43 输出电压特性<sup>(1)</sup>

符号	参数	条件	最小值	最大值	单位
$V_{OL}^{(2)}$	输出低电平	CMOS 端口, $I_{IO} = +8\text{ mA}$ $2.7\text{ V} < V_{DD} < 3.6\text{ V}$	-	0.4	V
$V_{OH}^{(3)}$	输出高电平		$V_{DD}-0.4$	-	
$V_{OL}^{(2)}$	输出低电平	TTL 端口, $I_{IO} = +8\text{ mA}$ $2.7\text{ V} < V_{DD} < 3.6\text{ V}$	-	0.4	
$V_{OH}^{(3)}$	输出高电平		2.4	-	
$V_{OL}^{(2)(4)}$	输出低电平	$I_{IO} = +20\text{ mA}$ $2.7\text{ V} < V_{DD} < 3.6\text{ V}$	-	1.3	
$V_{OH}^{(3)(4)}$	输出高电平		$V_{DD}-1.3$	-	
$V_{OL}^{(2)(4)}$	输出低电平	$I_{IO} = +6\text{ mA}$ $2\text{ V} < V_{DD} < 2.7\text{ V}$	-	0.4	
$V_{OH}^{(3)(4)}$	输出高电平		$V_{DD}-0.4$	-	

1.PC13、PC14、PC15、P18 通过电源开关供电。自开关只汇有限的电流(3 mA),使用 GPIOs PC13 PC15 和需要输出模式是有限速度的速度不应超过 2 MHz 的最大负载 30 pF 这些 I/O 不得用作电流源(例如驱动 LED)。

2.芯片吸收的电流  $I_{IO}$  必须始终遵循表 11 中给出的绝对最大额定值，同时  $I_{IO}$  的总和(所有 I/O 脚和控制脚)不能超过  $I_{VSS}$ 。

3.芯片输出的电流  $I_{IO}$  必须始终遵循表 11 中给出的绝对最大额定值，同时  $I_{IO}$  的总和(所有 I/O 脚和控制脚)不能超过  $I_{VDD}$ 。

4.由电气参数测试保证。

### 输入输出交流特性

输入输出交流特性的定义和数值分别在图 16 和表 44 给出。

除非特别说明，表 44 列出的参数是使用环境温度和供电电压符合表 13 的条件测量得到。

表 44 输入输出交流特性<sup>(1)(2)</sup>

MODEx[1:0]	符号	参数	条件	最小值	最大值	单位
00	$f_{\max(I/O)out}$	最大频率 <sup>(3)</sup>	$C_L=50\text{ pF}$ , $V_{DD}>2.7\text{ V}$	-	4	MHz
			$C_L=50\text{ pF}$ , $V_{DD}>1.8\text{ V}$	-	2	
			$C_L=10\text{ pF}$ , $V_{DD}>2.7\text{ V}$	-	8	



			$C_L=10\text{ pF}, V_{DD}>1.8\text{V}$	-	4	
	$t_{f(I/O)\text{out}}$ $t_{r(I/O)\text{out}}$	输出高至低电平的下降时间和 输出低至高电平的上升时间	$C_L=50\text{ pF}, V_{DD}=1.8\text{V}$ 到 3.6V	-	100	ns
01	$f_{\text{max}(I/O)\text{out}}$	最大频率 <sup>(3)</sup>	$C_L=50\text{ pF}, V_{DD}>2.7\text{V}$	-	25	MHz
			$C_L=50\text{ pF}, V_{DD}>1.8\text{V}$	-	12.5	
			$C_L=10\text{ pF}, V_{DD}>2.7\text{V}$	-	50 <sup>(4)</sup>	
			$C_L=10\text{ pF}, V_{DD}>1.8\text{V}$	-	20	
	$t_{f(I/O)\text{out}}$ $t_{r(I/O)\text{out}}$	输出高至低电平的下降时间和 输出低至高电平的上升时间	$C_L=50\text{ pF}, V_{DD}>2.7\text{V}$	-	10	ns
			$C_L=50\text{ pF}, V_{DD}>1.8\text{V}$	-	20	
			$C_L=10\text{ pF}, V_{DD}>2.7\text{V}$	-	6	
			$C_L=10\text{ pF}, V_{DD}>1.8\text{V}$	-	10	
10	$f_{\text{max}(I/O)\text{out}}$	最大频率 <sup>(3)</sup>	$C_L=40\text{ pF}, V_{DD}>2.7\text{V}$	-	50 <sup>(4)</sup>	MHz
			$C_L=40\text{ pF}, V_{DD}>1.8\text{V}$	-	25	
			$C_L=10\text{ pF}, V_{DD}>2.7\text{V}$	-	100 <sup>(4)</sup>	
			$C_L=10\text{ pF}, V_{DD}>1.8\text{V}$	-	50 <sup>(4)</sup>	
	$t_{f(I/O)\text{out}}$ $t_{r(I/O)\text{out}}$	输出高至低电平的下降时间和 输出低至高电平的上升时间	$C_L=40\text{ pF}, V_{DD}>2.7\text{V}$	-	6	ns
			$C_L=40\text{ pF}, V_{DD}>1.8\text{V}$	-	10	
			$C_L=10\text{ pF}, V_{DD}>2.7\text{V}$	-	4	
			$C_L=10\text{ pF}, V_{DD}>1.8\text{V}$	-	6	
11	$f_{\text{max}(I/O)\text{out}}$	最大频率 <sup>(3)</sup>	$C_L=30\text{ pF}, V_{DD}>2.7\text{V}$	-	50 <sup>(4)</sup>	MHz
			$C_L=30\text{ pF}, V_{DD}>1.8\text{V}$	-	25	
			$C_L=10\text{ pF}, V_{DD}>2.7\text{V}$	-	180 <sup>(4)</sup>	
			$C_L=10\text{ pF}, V_{DD}>1.8\text{V}$	-	100 <sup>(4)</sup>	
	$t_{f(I/O)\text{out}}$ $t_{r(I/O)\text{out}}$	输出高至低电平的下降时间和 输出低至高电平的上升时间	$C_L=30\text{ pF}, V_{DD}>2.7\text{V}$	-	4	ns
			$C_L=30\text{ pF}, V_{DD}>1.8\text{V}$	-	6	
			$C_L=10\text{ pF}, V_{DD}>2.7\text{V}$	-	2.5	
			$C_L=10\text{ pF}, V_{DD}>1.8\text{V}$	-	4	
-	$t_{\text{EXTI}pw}$	可以被 EXTI 控制器检测到的 外部脉冲信号	-	10	-	ns

1.由电参数测试保证。

2.I/O 端口的速度可以通过 MODEx[1:0]配置。参见 CKS32F103xx 参考手册中有关 GPIO 端口配置寄存器的说明。

3.最大频率在图 16 中定义。

4.对于大于 50MHz 的最大频率，应该使用补偿单元。

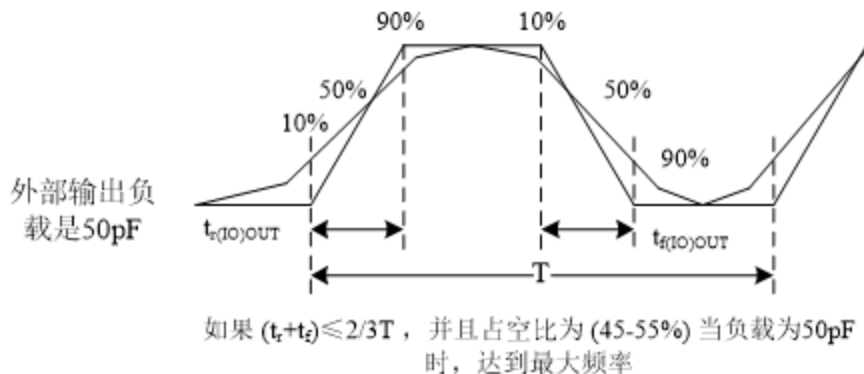


图 16 输入输出交流特性定义

### 5.3.17 NRST 引脚特性

NRST 引脚输入驱动使用 CMOS 工艺，它连接了一个不能断开的上拉电阻  $R_{PU}$ 。

除非特别说明，表 45 列出的参数是使用环境温度和  $V_{DD}$  供电电压符合表 13 的条件测量得到。

表 45 NRST 引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}^{(1)}$	NRST 输入低电平电压	TTL 端口	-	-	0.8	V
$V_{IH(NRST)}^{(1)}$	NRST 输入高电平电压	$2.7V \leq V_{DD} \leq 3.6V$	2	-	-	
$V_{IL(NRST)}^{(1)}$	NRST 输入低电平电压	CMOS 端口	-	-	$0.3 V_{DD}$	
$V_{IH(NRST)}^{(1)}$	NRST 输入高电平电压	$1.8V \leq V_{DD} \leq 3.6V$	$0.7 V_{DD}$	-	-	
$V_{hys(NRST)}^{(1)}$	NRST 施密特触发器电压迟滞	-	-	200	-	mV
$R_{PU}$	弱上拉等效电阻 <sup>(2)</sup>	$V_{IN}=V_{SS}$	30	40	50	k $\Omega$
$V_{F(NRST)}^{(1)}$	NRST 输入滤波脉冲	-	-	-	100	ns
$V_{NF(NRST)}^{(1)}$	NRST 输入非滤波脉冲	$V_{DD} > 2.7V$	300	-	-	ns
$T_{NRST\_OUT}$	生成的复位脉冲周期	内部复位源	20	-	-	$\mu s$

1.由设计保证，不在生产中测试。

2.上拉电阻是设计为一个真正的电阻串联一个可开关的 PMOS 实现。这个 PMON/NMOS 开关的电阻很小(约占 10%)。

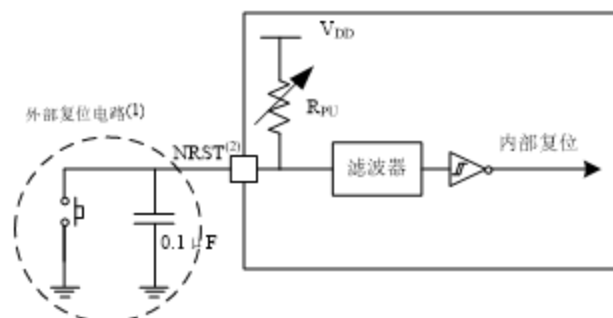


图 17 建议的 NRST 引脚保护

1.复位网络是为了防止寄生复位。

2.用户必须保证 NRST 引脚的电位能够低于表 45 中列出的最大  $V_{IL(NRST)}$  以下，否则 MCU 不能得到复位。

### 5.3.18 TIM 定时器特性

表 46 列出的参数由设计保证。

有关输入输出复用功能引脚(输出比较、输入捕获、外部时钟、PWM 输出)的特性详情, 参第 5.3.16 节。

表 46 在 APB1 总线上的 TIMx 特性<sup>(1)</sup>

符号	参数	条件	最小值	最大值	单位	
$t_{res}(TIM)$	定时器分辨率	$f_{TIMxCLK} = 84MHz$	1	-	$t_{TIMxCLK}$	
			11.9	-	ns	
		$f_{TIMxCLK} = 42MHz$	1	-	$t_{TIMxCLK}$	
			23.8	-	ns	
$f_{EXT}$	CH1 至 CH4 的定时器外部时钟频率	$f_{TIMxCLK} = 84MHz$ $APB1=42MHz$	0	$f_{TIMxCLK}/2$	MHz	
			0	42	MHz	
$Res_{TIM}$	定时器分辨率				16/32	bit
$t_{COUNTER}$	当选择了内部时钟时, 16 位计数器时钟周期			1	65536	$t_{TIMxCLK}$
	当选择了内部时钟时, 32 位计数器时钟周期			0.0119	780	$\mu s$
				1	-	$t_{TIMxCLK}$
			0.0119	51130563	$\mu s$	
$t_{MAX\_COUNT}$	最大可能的计数		-	$65536 \times 65536$	$t_{TIMxCLK}$	
			-	51.1	s	

1. TIMx 是一个通用的名称, 代表 TIM2, TIM3, TIM4, TIM5, TIM6, TIM7, TIM12

表 47 在 APB2 总线上的 TIMx 特性<sup>(1)</sup>

符号	参数	条件	最小值	最大值	单位	
$t_{res}(TIM)$	定时器分辨率	$f_{TIMxCLK} = 168MHz$	1	-	$t_{TIMxCLK}$	
			5.95	-	ns	
		$f_{TIMxCLK} = 84MHz$	1	-	$t_{TIMxCLK}$	
			11.9	-	ns	
$f_{EXT}$	CH1 至 CH4 的定时器外部时钟频率	$f_{TIMxCLK} = 168MHz$ $APB1=84MHz$	0	$f_{TIMxCLK}/2$	MHz	
			0	84	MHz	
$Res_{TIM}$	定时器分辨率			-	16	bit
$t_{COUNTER}$	当选择了内部时钟时, 16 位计数器时钟周期			1	65536	$t_{TIMxCLK}$
				-	32768	$t_{TIMxCLK}$
$t_{MAX\_COUNT}$	最大可能的计数			-	32768	$t_{TIMxCLK}$

1. TIMx 是一个通用的名称, 代表 TIM1, TIM8, TIM9, TIM10, TIM11

### 5.3.19 通信接口

#### I<sup>2</sup>C 接口特性

I<sup>2</sup>C 的接口时序满足 I<sup>2</sup>C 总线规格及用户手册：

- 标准模式(Sm)：波特率高达 100kbit /s
- 快速模式(Fm)：波特率高达 400kbit /s。

I<sup>2</sup>C 的时序要求是设计保证的，当 I<sup>2</sup>C 外设正确定义。

SDA 和 SCL 的 I/O 要求满足以下限制：SDA 和 SCL I/O 引脚不是“真”开漏。当配置为开漏时，PMOS I/O 引脚和 VDD 之间的连接被禁用，但仍然存在。

所有 I<sup>2</sup>C SDA 和 SCL I/O 嵌入模拟滤波器，参考下表的模拟滤波器特点：

表 48 I<sup>2</sup>C 模拟滤波特性<sup>(1)</sup>

标志	参数	最小值	最大值	单位
t <sub>AF</sub>	峰值的最大脉冲宽度被模拟抑制的滤波器	50 <sup>(2)</sup>	260 <sup>(3)</sup>	ns

1.由设计保证，不在生产中测试。

2.脉冲宽度低于该值会被过滤

3.脉冲宽度高于该值不会被过滤

#### SPI 接口特性

除非另有说明，下表中给出的 SPI 参数来自测试在环境温度、f<sub>PCLKx</sub> 频率和 V<sub>DD</sub> 电源电压下执行总结了以下配置条件：

- 输出速度设置为 OSPEEDRy[1:0] = 10
- 电容负载 C = 30pF
- 测量点在 CMOS 水平：0.5 VDD

有关输入/输出替代功能特性(NSS, SCK, MOSI, MISO)的更多细节，请参阅 5.3.16 节：I/O 端口特性。

表 49 SPI 特性<sup>(1)</sup>

符号	参数	条件	最小值	典型	最大值	单位
f <sub>sck</sub> 1/t <sub>c(SCK)</sub>	SPI 时钟频率	主模式, SPI1, 2.7V < V <sub>DD</sub> < 3.6V	-	-	42	MHz
		从模式, SPI1, 2.7V < V <sub>DD</sub> < 3.6V				
		主模式, SPI1/2/3, 1.7V < V <sub>DD</sub> < 3.6V	-	-	21	
		从模式, SPI1/2/3, 1.7V < V <sub>DD</sub> < 3.6V				
Duty (SCK)	SPI 时钟占空比	从模式	30	50	70	%
t <sub>w(SCKH)</sub>	SCK 高和低的时	主模式, SPI 分频系数 2, 2.7V	T <sub>PCLK</sub> -0.5	T <sub>PCLK</sub>	T <sub>PCLK</sub> +0	ns

$t_w(SCKL)$	间	$<V_{DD}<3.6V$			.5
		主模式, SPI分频系数 2, $1.7V < V_{DD} < 3.6V$	$T_{PCLK}-2$	$T_{PCLK}$	$T_{PCLK}+2$
$t_{su(NSS)}$	NSS 建立时间	从模式, SPI分频系数 2	$4 \times T_{PCLK}$	-	-
$t_h(NSS)$	NSS 保持时间	从模式, SPI分频系数 2	$2 \times T_{PCLK}$	-	-
$t_{su}(\Delta I)$	数据输入建立时间	主模式	6.5	-	-
$t_{su}(SI)$		从模式	2.5	-	-
$t_h(\Delta I)$	数据输入保持时间	主模式	2.5	-	-
$t_h(SI)$		从模式	4	-	-
$t_a(SO)^{(2)}$	数据输出到达时间	从模式, SPI分频系数 2	0	-	$4 \times T_{PCLK}$
$t_{dis}(SO)^{(3)}$	数据输出失效时间	从模式, SPI1, $1.7V < V_{DD} < 3.6V$	0	-	7.5
		从模式, SPI1/2/3, $1.7V < V_{DD} < 3.6V$	0	-	16.5
$t_v(SO)$ $t_h(SO)$	数据输出有效/保持时间	从模式(使能边沿后), SPI1, $2.7V < V_{DD} < 3.6V$		11	13
		从模式(使能边沿后), SPI2/3, $2.7V < V_{DD} < 3.6V$	-	12	16.5
		从模式(使能边沿后), SPI1, $1.7V < V_{DD} < 3.6V$	-	15.5	19
		从模式(使能边沿后), SPI2/3, $1.7V < V_{DD} < 3.6V$	-	18	20.5
$t_v(MO)$	数据输出有效时间	主模式(使能边沿后), SPI1, $2.7V < V_{DD} < 3.6V$	-	-	2.5
		主模式(使能边沿后), SPI1/2/3, $1.7V < V_{DD} < 3.6V$	-	-	4.5
$t_h(MO)$	数据输出保持时间	主模式(使能边沿后)	0	-	-

1.由综合评估得出,不在生产中测试。

2.最小值表示驱动输出的最小时间,最大值表示正确获得数据的最大时间。

3.最小值表示关闭输出的最小时间,最大值表示把数据线置于高阻态的最大时间。

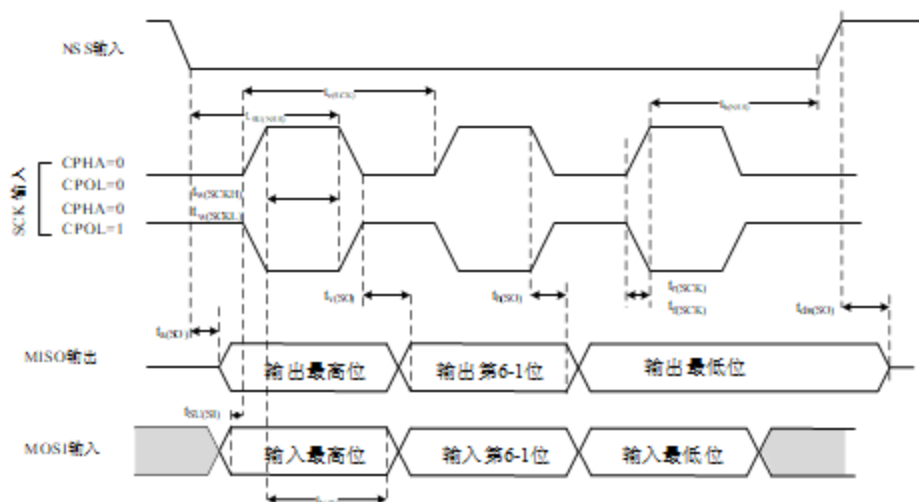


图 18 SPI时序图-从模式和 CPHA=0

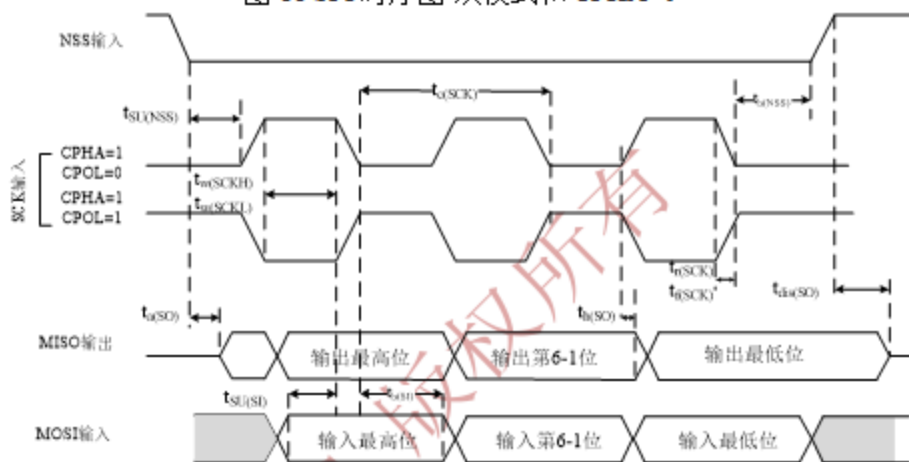


图 19 SPI时序图-从模式和 CPHA=1

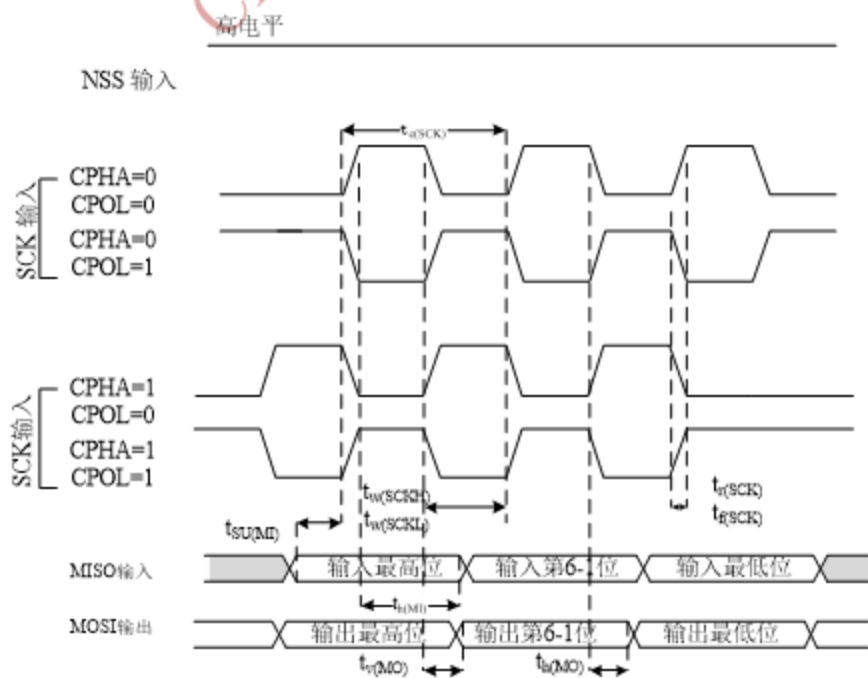


图 20 SPI时序图-主模式

## I2S 接口特性

I<sup>2</sup>S 接口参数如下表所示，在环境温度、 $f_{PCLK}$  频率和  $V_{DD}$  下进行的测试电源电条件下，配置如下：

- 输出速度设置为  $OSPEEDRy[1:0] = 10$
- 电容负载  $C = 30\text{pf}$
- 测量点在 CMOS 水平： $0.5 V_{DD}$

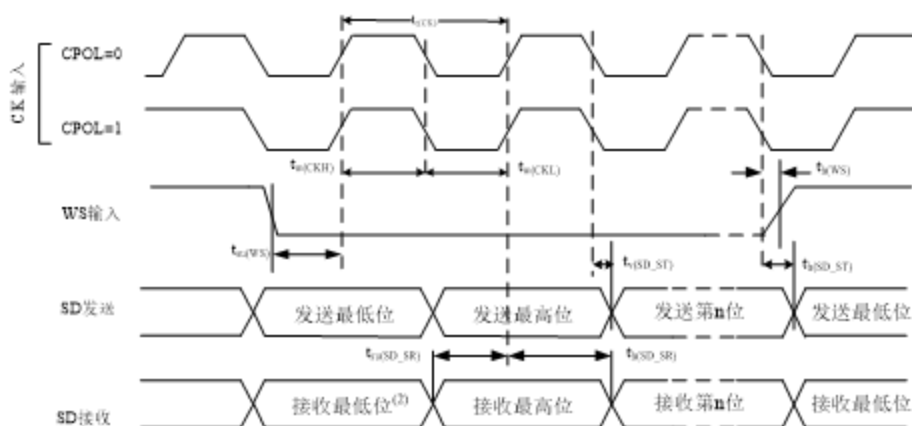
有关输入/输出交替的更多细节，请参阅第 5.3.16 节：I/O 端口特性功能特性(CK、SD、WS)。

表 50 I<sup>2</sup>S 特性<sup>(1)</sup>

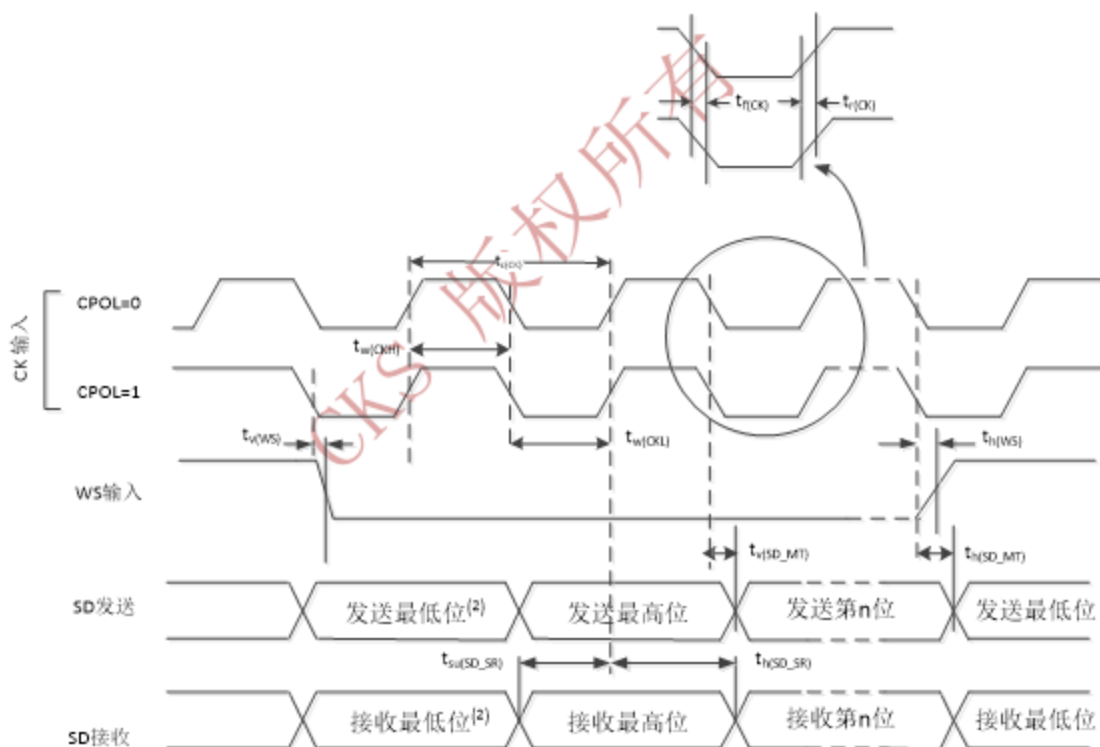
符号	参数	条件	最小值	最大值	单位
$f_{MCK}$	I <sup>2</sup> S 主时钟频率	-	$256 \times 8K$	$256 \times F_s^{(2)}$	MHz
$t_{CK}$	I <sup>2</sup> S 时钟频率	主模式：32 位	-	$64 \times F_s$	MHz
		从模式：32 位	-	$64 \times F_s$	
$D_{CK}$	I <sup>2</sup> S 时钟占空比	从接收	30	70	%
$t_{V(WS)}$	WS 有效时间	主模式	0	6	ns
$t_{H(WS)}$	WS 保持时间	主模式	0	-	
$t_{SU(WS)}$	WS 建立时间	从模式	1	-	
$t_{H(WS)}$	WS 保持时间	从模式	0	-	
$t_{SU(SD\_MR)}$	数据输入建立时间	主接收	7.5	-	
$t_{SU(SD\_SR)}$		从接收	2	-	
$t_{H(SD\_MR)}$	数据输入保持时间	主接收	0	-	
$t_{H(SD\_SR)}$		从接收	0	-	
$t_{V(SD\_ST)}$	数据输出有效时间	从发送（使能边沿后）	-	27	
$t_{H(SD\_ST)}$		主发送（使能边沿后）	-	20	
$t_{V(SD\_MT)}$		主发送（使能边沿后）	-	20	
$t_{H(SD\_MT)}$	数据输出保持时间	主发送（使能边沿后）	2.5	-	

1. 由设计模拟和/或综合评估得出，不在生产中测试。

2.  $256 \times F_s$  的最大值是如果  $f_{PCLK} = 42\text{MHz}$ 。

图 21 I²S 从模式时序图(飞利浦协议)<sup>(1)</sup>

- 1.由电气参数测试保证。
- 2.前一字节的最低位发送/接收。在第一个字节之前没有这个最低位的发送/接收。

图 22 I²S 主模式时序图(飞利浦协议)<sup>(1)</sup>

- 1.由电气参数测试保证。
- 2.前一字节的最低位发送/接收。在第一个字节之前没有这个最低位的发送/接收。

## USB OTG FS 特性

该接口在 USB OTG HS 和 USB OTG FS 控制器中都存在。

表 51 USB 启动时间

符号	参数	最大值	单位
----	----	-----	----



$t_{STARTUP}^{(1)}$	USB OTG FS 收发器启动时间	1	$\mu s$
---------------------	--------------------	---	---------

1.由设计保证，不在生产中测试。

表 52 USB 直流特性

符号	参数	条件	最小值 (1)	典型值	最大值 (1)	单位		
输入	$V_{DD}$	USB OTG FS 工作电压	-	3.0 <sup>(2)</sup>	-	3.6	V	
	$V_{DI}^{(3)}$	差分输入灵敏度	I(USB_FS_DP/DM, USB_HS_DP/DM)		0.2	-		
	$V_{CM}^{(3)}$	差动共模范围	包含 $V_{DI}$ 范围		0.8	-		2.5
	$V_{SE}^{(3)}$	单端接收器阈值	-	1.3	-	2.0		
输出	$V_{OL}$	静态输出低	$R_L = 1.5k\Omega$ , 接到 3.6V <sup>(4)</sup>		-	-	0.3	
	$V_{OH}$	静态输出高	$R_L = 15k\Omega$ , 接到地 <sup>(4)</sup>		2.8	-	3.6	
$R_{PD}$	PA11, PA12, PB14, PB15	$V_{IN}=V_{DD}$	17	21	24	k $\Omega$		
	PA9, PB13		0.65	1.1	2.0			
$R_{PU}$	PA12, PB15	$V_{IN}=V_{SS}$	1.5	1.8	2.1			
	PA9, PB13	$V_{IN}=V_{SS}$	0.25	0.37	0.55			

1.所有的电压测量都是以设备端地线为准。

2. CKS32F415xx 和 CKS32F417xx USB OTG FS 的功能可以在下降到 2.7 V 保证,但不是完整的 USB OTG FS 的电气特性在 2.7 到 3.0 V  $V_{DD}$ 电压范围下降。

4.由设计保证。

4. $R_L$  是连接到 USB 驱动器上的负载。

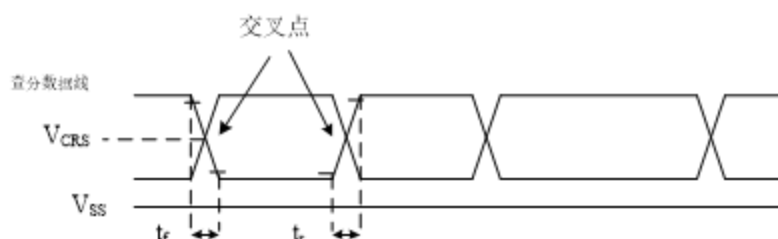


图 23 USB 时序：数据信号上升和下降时间定义

表 53 USB 全速电气特性<sup>(1)</sup>

符号	参数	条件	最小值	最大值	单位
$t_r$	上升时间 <sup>(2)</sup>	$CL \leq 50pF$	4	20	ns
$t_f$	下降时间 <sup>(2)</sup>	$CL \leq 50pF$	4	20	ns
$t_{r/fm}$	上升下降时间匹配	$t_r / t_f$	90	110	%
$V_{CRS}$	输出信号交叉电压		1.3	2.0	V

1.由设计保证，不在生产中测试。

2. 测量数据信号从 10% 至 90%。

## USB OTG HS 特性

除非另有说明，表 56 中给出的 ULPI 参数来自在环境温度下进行的测试， $f_{HCLK}$  频率汇总见表 55V<sub>DD</sub> 电源电压条件如表 54 所示，配置如下：

- 输出速度设置为 OSPEEDRy[1:0] = 10
- 电容负载 C = 30pf
- 测量点在 CMOS 水平完成：0.5V<sub>DD</sub>。

有关输入/输出的更多细节，请参阅第 5.3.16 节：I/O 端口特性。

表 54 USB HS 直流电气参数

标志		参数	最小 <sup>(1)</sup>	最大 <sup>(1)</sup>	单位
输入	V <sub>DD</sub>	USB OTG HS 工作电压	2.7	3.6	V

1. 所有的电压都是从当地的地电位来测量的。

表 55 USB HS 时钟参数<sup>(1)</sup>

参数		标志	最小	典型	最大	单位
f <sub>HCLK</sub> 值保证正常运行 USB HS 接口		-	30	-	-	MHz
频率（第一次传输）	8 位±10%	F <sub>START_BBIT</sub>	54	60	66	
频率（稳定状态）±500ppm		F <sub>STEADY</sub>	59.97	60	60.03	
占空比（第一次传输）	8 位±10%	D <sub>STEADY_BBIT</sub>	40	50	60	%
占空比（稳定状态）±500ppm		D <sub>STEADY</sub>	49.975	50	50.025	%
达到稳态的时间频率和第一次过渡后的占空比		T <sub>STEADY</sub>	-	-	1.4	ms
时钟在 de-assertion of SuspendM 后的启动时间	外设	T <sub>START_DEV</sub>	-	-	5.6	ms
	主机	T <sub>START_HOST</sub>	-	-	-	ms
PHY 第一次过渡后的准备时间输入时钟的		T <sub>PREP</sub>	-	-	-	μs

1. 设计保证。

表 56 ULPI 时序

参数	标志	最小值	最大值	单位
控制输入（ULPI_DIR）建立时间	t <sub>sc</sub>	-	2.0	ns
控制输入（ULPI_NXT）建立时间		-	1.5	
控制输入（ULPI_DIR, ULPI_NXT）保持时间	t <sub>HC</sub>	0	-	
数据建立时间	t <sub>SD</sub>	-	2.0	
数据保持时间	t <sub>HD</sub>	0	-	
控制输出（ULPI_STP）建立保持时间	t <sub>OC</sub>	-	9.2	
数据从时钟上升沿后有效时间	t <sub>DD</sub>	-	10.7	

1. V<sub>DD</sub> = 2.7 V to 3.6 V 和 T<sub>A</sub> = -40 to 85° C。

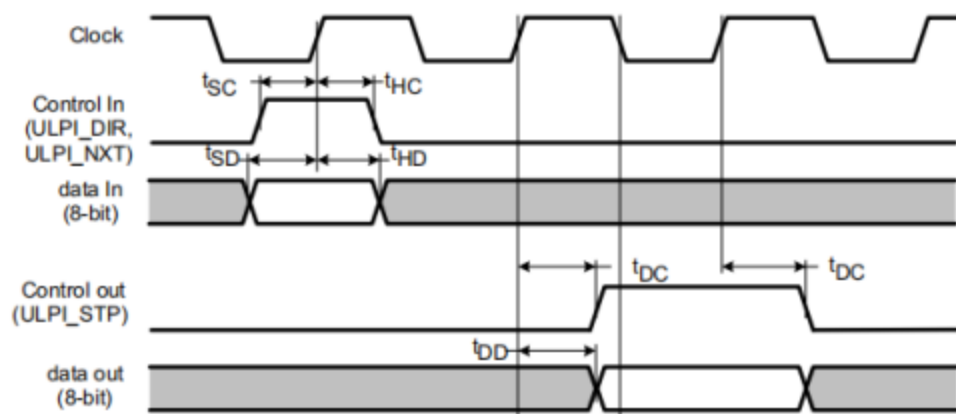


图 24 ULPI 时序图

## 以太网特性

除另有规定外，表 58、表 59、表 60 给出的参数 SMI、RMII 和 MII 是在环境温度  $f_{HCLK}$  下进行的测试，频率见表 13， $V_{DD}$  电源电压条件见表 57，配置如下：

- 输出速度设置为  $OSPEEDRy[1:0] = 10$
- 电容负载  $C = 30\text{pf}$
- 测量点在 CMOS 水平完成:  $0.5V_{DD}$ 。

有关输入/输出特性的更多细节，请参阅 5.3.16 节。

表 57 以太网直流电气特性

标志	参数	最小 <sup>(1)</sup>	最大 <sup>(1)</sup>	单位	
输入等级	$V_{DD}$	工作电压	2.7	3.6	V

1.所有的电压都是从当地的地电位来测量的。

表 58 给出了 SMI（站管理接口）的以太网 MAC 信号列表，图 25 显示了相应的时序图。

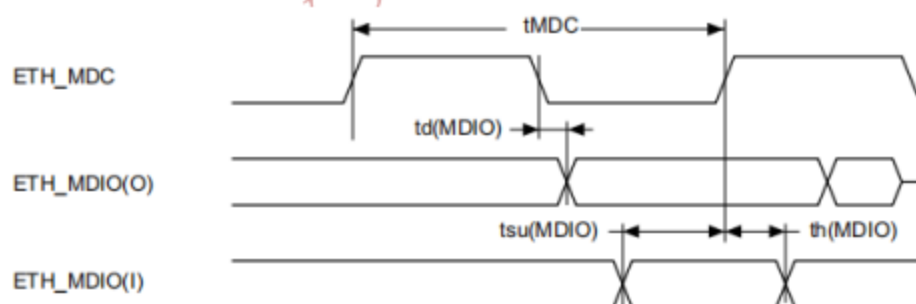


图 25 以太网 SMI 时序

表 58 动态特性：以太网 SMI 接口信号

标志	参数	最小	典型	最大	单位
$t_{MDC}$	MDC 时钟频率 (2.38MHz)	411	420	425	ns
$T_d(\text{MDIO})$	写数据有效时间	6	10	13	
$t_{su}(\text{MDIO})$	读数据建立时间	12	-	-	
$t_h(\text{MDIO})$	读数据保持时间	0	-	-	

表 58 给出了 RMII 的以太网 MAC 信号列表，图 26 显示了相应的时序图。

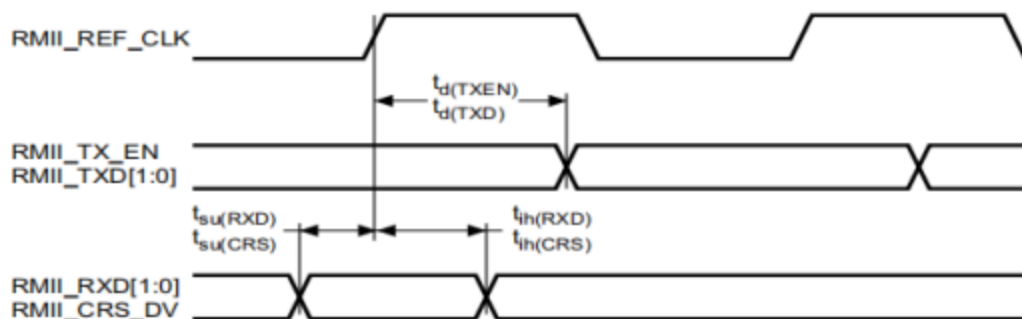


图 26 RMII 接口时序图

表 59 动态特性：以太网 RMII 接口信号

标志	参数	最小	典型	最大	单位
$t_{su}(RXD)$	接收数据建立时间	2	-	-	ns
$t_{h}(RXD)$	接收数据保持时间	1	-	-	
$t_{su}(CRS)$	载波检测建立时间	0.5	-	-	
$t_{h}(CRS)$	载波检测保持时间	2	-	-	
$t_d(TXEN)$	发送使能有效延迟	8	9.5	11	
$t_d(TXD)$	发送数据有效延迟	8.5	10	11.5	

表 60 动态特性：以太网 MII 接口信号给出了 MII 的以太网 MAC 信号列表，图 27 显示了相应的时序图。

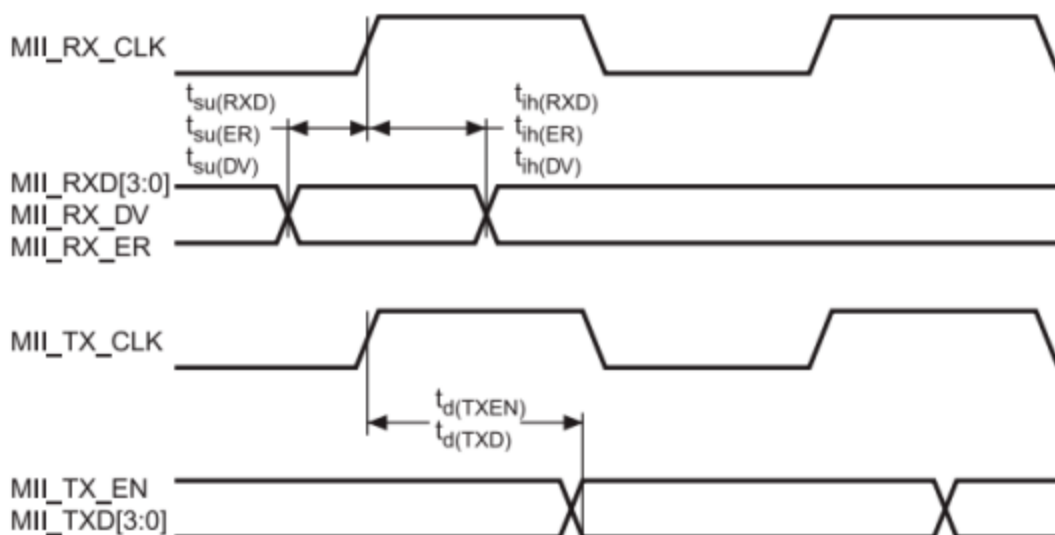


图 27 MII 接口时序图

表 60 动态特性：以太网 MII 接口信号

标志	参数	最小	典型	最大	单位
$t_{su}(RXD)$	接收数据建立时间	9	-	-	ns
$t_{h}(RXD)$	接收数据保持时间	10	-	-	
$t_{su}(DV)$	数据有效建立时间	9	-	-	
$t_{h}(DV)$	数据有效保持时间	8	-	-	
$t_d(ER)$	错误建立时间	6	-	-	
$t_d(ER)$	错误保持时间	8	-	-	
$t_d(TXEN)$	发送使能有效延迟	0	10	14	

$t_{d(TXD)}$	发送数据有效延迟	0	10	15	
--------------	----------	---	----	----	--

### 5.3.20 CAN(控制器局域网)接口

有关输入输出复用功能引脚(CAN\_TX 和 CAN\_RX)的特性详情, 参见第 5.3.16 节。

### 5.3.21 12 位 ADC 特性

除非特别说明, 表 61 的参数是使用符合表 13 的条件的环境温度、 $f_{PCLK2}$  频率和  $V_{DDA}$  供电电压测量得到。

表 61 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{DDA}$	供电电压	-	1.8 <sup>(1)</sup>	-	3.6	V
$V_{REF+}$	正参考电压	-	1.8 <sup>(1)(2)(3)</sup>	-	$V_{DDA}$	
$V_{REF-}$	负参考电压	-	-	0	-	
$f_{ADC}$	ADC 时钟频率	$V_{DDA}=1.8(1)(3)$ 到 2.4V	0.6	15	18	MHz
		$V_{DDA}=1.8$ 到 3.6V <sup>(3)</sup>	0.6	30	36	
$f_{TRIG}^{(4)}$	外部触发频率	$f_{ADC}=30$ MHz, 12 位精度	-	-	1764	kHz
		-	-	-	17	1/ $f_{ADC}$
$V_{AIN}$	转换电压范围 <sup>(5)</sup>	-	0( $V_{SSA}$ 或 $V_{REF-}$ 连 接到地)	-	$V_{REF+}$	V
$R_{AIN}^{(4)}$	外部输入阻抗	参考公式 1	-	-	50	k $\Omega$
$R_{ADC}^{(4)(6)}$	采样开关电阻	-	-	-	6	k $\Omega$
$C_{ADC}^{(4)}$	内部采样和保持电容	-	-	4	-	pF
$t_{tar}^{(4)}$	注入触发转换时延	$f_{ADC}=30$ MHz	-	-	0.100	$\mu$ s
		-	-	-	3 <sup>(7)</sup>	1/ $f_{ADC}$
$t_{tar}^{(4)}$	常规触发转换时延	$f_{ADC}=30$ MHz	-	-	0.067	$\mu$ s
		-	-	-	2 <sup>(7)</sup>	1/ $f_{ADC}$
$t_s^{(4)}$	采样时间	$f_{ADC}=30$ MHz	0.100	-	16	$\mu$ s
		-	3	-	480	1/ $f_{ADC}$
$t_{STAB}^{(4)}$	上电时间	-	-	2	3	$\mu$ s
$t_{CONV}^{(4)}$	总传输时间(包含采 样时间)	$f_{ADC}=30$ MHz, 12 位精度	0.50	-	16.40	$\mu$ s
		$f_{ADC}=30$ MHz, 10 位精度	0.43	-	16.34	$\mu$ s
		$f_{ADC}=30$ MHz, 8 位精度	0.37	-	16.27	$\mu$ s

		$f_{ADC}=30\text{MHz}$ , 6位精度	0.30	-	16.20	$\mu\text{s}$
$f_s^{(4)}$	采样速率 ( $f_{ADC}=30\text{MHz}$ , $t_s=3$ ADC时钟)	12位精度, 单 ADC	-	-	2	Msp/s
		12位精度, 双 ADC	-	-	3.75	Msp/s
		12位精度, 三 ADC	-	-	6	Msp/s
$I_{VREF+}^{(4)}$	ADC 转换时的 $V_{REF}$ 直流电流	-	-	300	500	$\mu\text{A}$
$I_{VDDA}^{(4)}$	ADC 转换时的 $V_{DDA}$ 直流电流	-	-	1.6	1.8	mA

1.当设备在降低的温度范围内工作, 并使用外部电源管理器时,  $V_{DD}/V_{DDA}$  最小值为 1.7 V。

2.建议  $V_{REF-}$  与  $V_{DDA}$  的电压差保持在 1.8 V 以下。

3.  $V_{DDA} - V_{REF-} < 1.2\text{V}$

4.由电气参数测试保证。

5.  $V_{REF-}$  内部连接到  $V_{DDA}$ ,  $V_{REF+}$  内部连接到  $V_{SSA}$ 。

6.给出了  $V_{DD}=1.8\text{V}$  时的  $R_{ADC}$  最大值,  $V_{DD}=3.3\text{V}$  时的最小值。

7.对于外部触发器, 延迟必须增加  $1/f_{CLK2}$ 。

#### 公式 1: 最大 $R_{AIN}$ 公式

$$R_{AIN} < \frac{(k - 0.5)}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

上述公式用于决定最大的外部阻抗, 使得误差可以小于 1/4 LSB。其中 N=12(表示 12 位分辨率)。

表 62 ADC 精度在  $f_{ADC}=30\text{MHz}$

符号	参数	测试条件	典型值	最大值 <sup>(1)</sup>	单位
ET	综合误差	$f_{PCLK2} = 60\text{MHz}$ $f_{ADC} = 30\text{MHz}$ , $R_{AIN} < 10\text{k}\Omega$ , $V_{DDA} = 1.8^{(2)} \sim 3.6\text{V}$	$\pm 2$	$\pm 5$	LSB
EO	偏移误差		$\pm 1.5$	$\pm 2.5$	
EG	增益误差		$\pm 1.5$	$\pm 3$	
ED	微分线性误差		$\pm 1$	$\pm 2$	
EL	积分线性误差		$\pm 1.5$	$\pm 3$	

1.由电气参数测试保证。

2.当设备在降低的温度范围内工作, 并使用外部电源管理器时,  $V_{DD}/V_{DDA}$  最小值为 1.7 V。

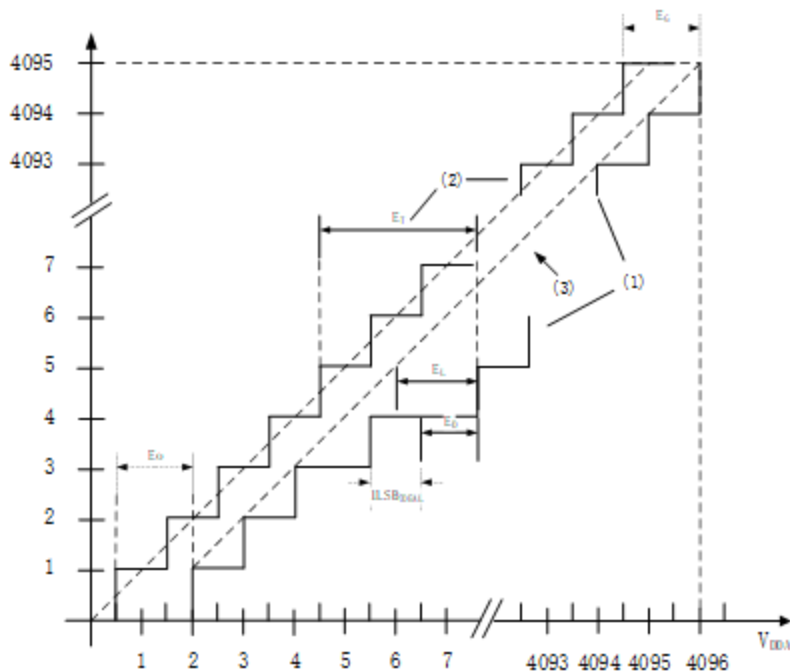


图 28 ADC 精度特性

1.见上表。

2.实际传输曲线的例子。

3.理想转换曲线

4.终点相关线。

5. $E_T$  综合误差：实际转换曲线与理想转换曲线间的最大偏离。

$E_0$  偏移误差：实际转换曲线上的第一次跃迁与理想转换曲线上的第一次跃迁之差。

$E_G$  增益误差：实际转换曲线上的最后一次跃迁与理想转换曲线上的最后一次跃迁之差。

$E_D$  微分线性误差：实际转换曲线上步距与理想步距(1LSB)之差。其中  $1LSB_{IDEAL} = V_{REF}/4096$  (或  $V_{DD}/4096$ ，由封装决定)。

$E_L$  积分线性误差：实际转换曲线与终点连线间的最大偏离。

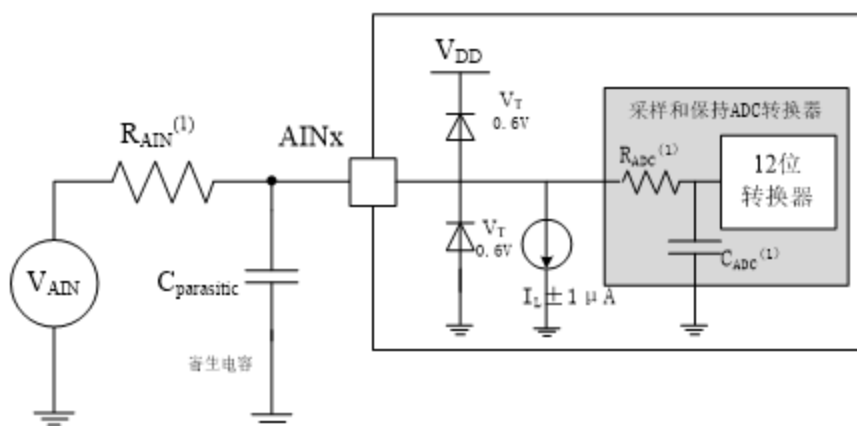


图 29 使用 ADC 典型的连接图

1.有关  $R_{AIN}$ 、 $R_{ADC}$  和  $C_{ADC}$  的数值。

2. $C_{parasitic}$  表示 PCB(与焊接和 PCB 布局质量相关)与焊盘上的寄生电容(大约 7pF)。较大的  $C_{parasitic}$  数值将降低转换的精度，解决的办法是减小  $f_{ADC}$ 。

## PCB 设计建议

依据  $V_{REF+}$  是否与  $V_{DDA}$  相连，电源的去耦必须按照图 30 或图 31 连接。图中的 10nF 电容必须是瓷介电容，它们应该尽可能地靠近 MCU 芯片。

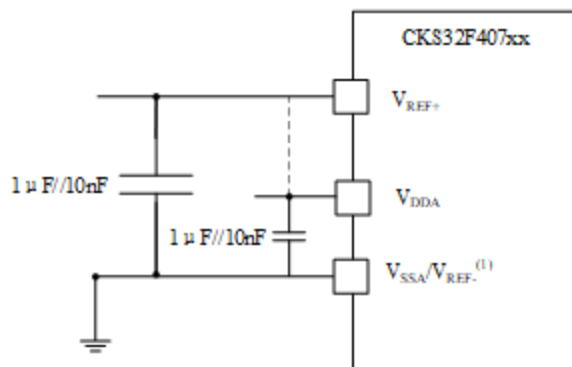


图 30 供电电源和参考电源去耦线路( $V_{REF+}$ 未与  $V_{DDA}$  相连)

1.  $V_{REF+}$  和  $V_{REF-}$  输入只出现在 100 脚以上的产品。

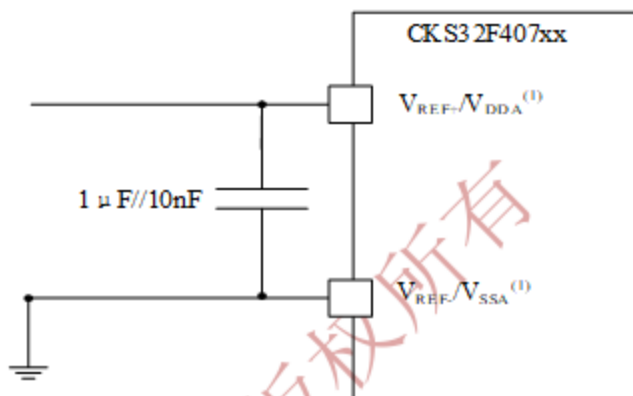


图 31 供电电源和参考电源去耦线路( $V_{REF+}$ 与  $V_{DDA}$  相连)

1.  $V_{REF+}$  和  $V_{REF-}$  输入只出现在 100 脚以上的产品。

### 5.3.22 温度传感器特性

表 63 温度传感器特性

符号	参数	最小值	典型值	最大值	单位
$T_L^{(1)}$	$V_{SENSE}$ 相对于温度的线性度	-	$\pm 1$	$\pm 2$	$^{\circ}\text{C}$
Avg_Slope <sup>(1)</sup>	平均斜率	-	2.5	-	mV/ $^{\circ}\text{C}$
$V_{25}^{(1)}$	在 25 $^{\circ}\text{C}$ 时的电压	-	0.76	-	V
$t_{START}^{(2)}$	建立时间	-	6	10	$\mu\text{s}$
$T_{S\_temp}^{(2)}$	当读取温度时，ADC 采样时间	10	-	-	$\mu\text{s}$

1. 由电气参数测试保证。

2. 由设计保证。

表 64 温度传感器标定值（建议使用 30 $^{\circ}$  的值作为校准值）



符号	参数	内存地址
TS_CAL1	在 30°C 温度下获得的 TS ADC 原始数据, $V_{DDA}=3.3V$	0x1FFF 7A2C – 0x1FFF 7A2D
TS_CAL2	在 85°C 温度下获得的 TS ADC 原始数据, $V_{DDA}=3.3V$	0x1FFF 7A2E – 0x1FFF 7A2F (该数值并不在量产中测得)

### 5.3.23 $V_{BAT}$ 检测特性

表 65  $V_{BAT}$  监测特性

符号	参数	最小值	典型值	最大值	单位
R	$V_{BAT}$ 电阻桥	-	50	-	k $\Omega$
Q	$V_{BAT}$ 测量比率	-	2	-	-
Er <sup>(1)</sup>	Q 错误	-1	-	+1	%
$T_{S\_vbat}$ <sup>(2)</sup>	读取 $V_{BAT}$ 时 ADC 采样时间 1 mV 准确性	5	-	-	$\mu s$

- 1.设计保证。
- 2.在应用中, 通过多次迭代可以确定最短的采样时间。

### 5.3.24 内置参考电压

符号	参数	条件	最小值	典型值	最大值	单位
$V_{REFINT}$	内置参考电压	$-40^{\circ}C < T_A < +105^{\circ}C$	1.18	1.21	1.24	V
$T_{S\_vrefint}$ <sup>(1)</sup>	当用 ADC 读取内部参考电压时的采样时间	-	10	-	-	$\mu s$
$V_{REFINT\_s}$ <sup>(2)</sup>	温度范围内内部参考电压分布	$V_{DD}=3V$	-	3	5	mV
$T_{Coef}$ <sup>(2)</sup>	温度系数	-	-	30	50	ppm/ $^{\circ}C$
$t_{START}$ <sup>(2)</sup>	启动时间	-	-	6	10	$\mu s$

- 1.在应用中, 通过多次迭代可以确定最短的采样时间。
- 2.设计保证。

表 66 内部参考电压校正

符号	参数	内存地址
$V_{REFIN\_CAL}$	在 30°C 温度下获得的 TS ADC 原始数据, $V_{DDA}=3.3V$	0x1FFF 7A2A – 0x1FFF 7A2B

### 5.3.25 DAC 电气参数

表 67 DAC 特性

符号	参数	最小值	典型值	最大值	单位	注释
$V_{DDA}$	模拟供电电压	1.8 <sup>(1)</sup>	-	3.6	V	
$V_{REF+}$	参考电压	1.8 <sup>(1)</sup>	-	3.6	V	$V_{REF+} \leq V_{DDA}$

V <sub>SSA</sub>	地	0	-	0	V	
R <sub>LOAD</sub> <sup>(2)</sup>	缓冲打开时的电阻负载	5	-	-	kΩ	
R <sub>O</sub> <sup>(2)</sup>	缓冲关闭时的输出阻抗	-	-	15	kΩ	当缓冲区关闭时,则最小电阻负载之间 DAC_OUT 和 VSS 得到 1%精度为 1.5MΩ
C <sub>LOAD</sub> <sup>(2)</sup>	电容负载	-	-	50	pF	最大容性负载 DAC_OUT 引脚(当缓冲打开)
DAC_OUT <sub>min</sub> <sup>(2)</sup>	缓冲打开时, DAC_OUT 输出最低电压	0.2	-	-	V	它给出了最大的输出 DAC 的远足。 它对应于 12 位输入代码 (0x0E0)到(0xF1C)在 V <sub>REF+</sub> = 3.6 V, (0x1C7) to (0xE38) , V <sub>ref+</sub> = 1.8 v
DAC_OUT <sub>max</sub> <sup>(2)</sup>	缓冲打开时, DAC_OUT 输出最高电压	-	-	V <sub>DDA</sub> -0.2	V	
DAC_OUT <sub>min</sub> <sup>(2)</sup>	缓冲关闭时, DAC_OUT 输出最低电压	-	0.5	-	mV	它给出了最大的输出 DAC 漂移
DAC_OUT <sub>max</sub> <sup>(2)</sup>	缓冲关闭时, DAC_OUT 输出最高电压	-	-	V <sub>REF</sub> ±1LSB	V	
I <sub>VREF+</sub> <sup>(4)</sup>	DAC 直流 V <sub>REF</sub> 电流静止的消耗模式(待机模式)	-	170	240	μA	在没有负载的情况下,最差代码(0x800)在 V <sub>REF+</sub> = 3.6 V 的直流消耗
		-	50	75		在没有负载的情况下,最差代码(0xF1C)在 V <sub>REF+</sub> = 3.6 V 的直流消耗
I <sub>DDA</sub> <sup>(4)</sup>	DAC 直流 V <sub>DDA</sub> 电流静止的消耗模式	-	280	380	μA	在没有负载的情况下,最差代码(0x800)在 V <sub>REF+</sub> = 3.6 V 的直流消耗
		-	475	625		在没有负载的情况下,最差代码(0xF1C)在 V <sub>REF+</sub> = 3.6 V 的直流消耗
DNL <sup>(4)</sup>	微分非线性两个之间的区别连续码	-	-	±0.5	LSB	10 位的 DAC 配置
		-	-	±2		12 位的 DAC 配置
INL <sup>(4)</sup>	积分非线性(区别代号 i 的测量值和代码 i 在 a 上的值 代码 0 之间的线最后代码 1023)	-	-	±1	LSB	10 位的 DAC 配置
		-	-	±4		12 位的 DAC 配置
Offset <sup>(4)</sup>	偏置误差(区别代码实测值 (0x800)和理想值=VREF+/2)	-	-	±10	mV	12 位的 DAC 配置
		-	-	±3	LSB	12 位的 DAC 配置, V <sub>REF+</sub> = 3.6 V
		-	-	±12	LSB	12 位的 DAC 配置, V <sub>REF+</sub> = 3.6 V
Gain error <sup>(4)</sup>	增益误差	-	-	±0.5	%	12 位的 DAC 配置
t <sub>SETTLING</sub> <sup>(4)</sup>	建立时间(满量程:为 10	-	3	6	μs	C <sub>LOAD</sub> ≤ 50pF, R <sub>LOAD</sub> ≥ 5 kΩ

	位输入代码转换在最低值和最高输入码 DAC_OUT 达到最终值的 $\pm 4$ LSB)					
THD <sup>(4)</sup>	缓冲打开时总谐波失真	-	-	-	dB	
更新速率 <sup>(2)</sup>	最大频率为正确 DAC_OUT 变化时输入的微小变化代码 (从代码 i 到 i+1LSB)	-	-	1	MS/s	
t <sub>WAKEUP</sub> <sup>(4)</sup>	从关闭状态醒来的时间 (设置 ENx 位 DAC 控制寄存器)	-	6.5	10	$\mu$ s	
PSRR+ <sup>(2)</sup>	电源抑制比 (到 VDDA) (静态 DC 测量)	-	-67	-40	dB	R <sub>LOAD</sub> =0 $\Omega$ , C <sub>LOAD</sub> =50pF

1.当设备在降低的温度范围内工作，并使用外部电源管理器时，V<sub>DD</sub>/V<sub>DDA</sub>最小值为 1.7 V

2.设计保证。

3.静态模式对应的状态是 DAC 保持稳定的输出水平，以确保不发生动态消耗。

4.电气参数测试保证。

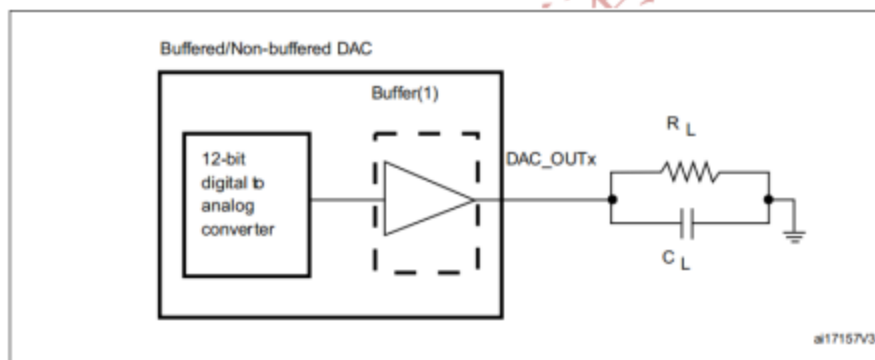


图 32 12 位缓冲/非缓冲 DAC

1.DAC 集成了一个输出缓冲器，可以用来降低输出阻抗，直接驱动外部负载，而无需使用外部运算放大器。可以通过在 DAC\_CR 寄存器中配置 BOFFx 位来绕过缓冲区。

### 5.3.26 FSMC 特性

除非另有说明，表 68 至表 78 中给出的 FSMC 接口参数是在环境温度、f<sub>HCLK</sub> 频率和表 13 中总结的 V<sub>DD</sub> 供电电压条件下进行的测试，配置如下：

- 输出速度设置为 OSPEEDRy[1:0] = 10
- 电容负载 C = 30pf
- 测量点在 CMOS 水平完成：0.5V<sub>DD</sub>。

#### 异步波形和时序

图 33 至图 36 显示了异步的波形，表 68 至表 71 给出了相应的时序。这些表格中的结果是按照下述 FSMC 配置得到：

- 地址建立时间(AddressSetup Time) = 1
- 地址保持时间(AddressHold Time) = 0x1

- 数据建立时间(DataSetup Time) = 0x1
- 总线转向时长(BusTurnAroundDuration) = 0x0

在所有计时表中,  $T_{HCLK}$  是 HCLK 时钟周期。

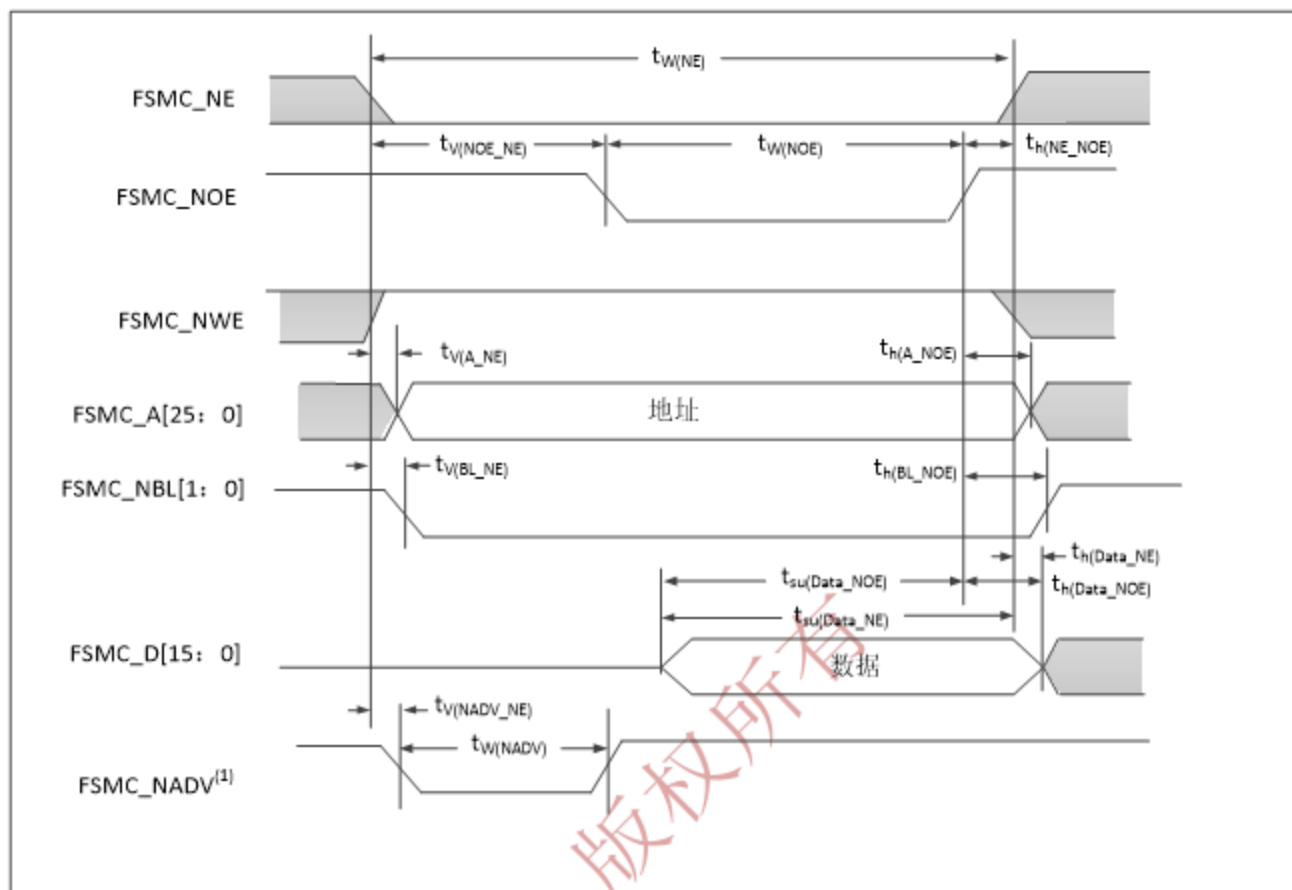


图 33 异步非总线复用的 SRAM/PSRAM/NOR 读操作波形

1. 只适于模式2/B、C和D。在模式1, 不使用FSMC\_NADV。

表 68 异步非总线复用的 SRAM/PSRAM/NOR 读操作时序<sup>(1)(2)</sup>

符号	参数	最小值	最大值	单位
$t_w(NE)$	FSMC_NE低时间	$2T_{HCLK}-0.5$	$2T_{HCLK}+1$	ns
$t_v(NOE\_NE)$	FSMC_NEx低至FSMC_NOE低	0.5	3	
$t_w(NOE)$	FSMC_NOE低时间	$2T_{HCLK}-2$	$2T_{HCLK}+2$	
$t_h(NE\_NOE)$	FSMC_NOE高至FSMC_NE高保持时间	0	-	
$t_v(A\_NE)$	FSMC_NEx低至FSMC_A有效	-	4.5	
$t_h(A\_NOE)$	FSMC_NOE高之后的地址保持时间	4	-	
$t_v(BL\_NE)$	FSMC_NEx低至FSMC_BL有效	-	0	
$t_h(BL\_NOE)$	FSMC_NOE高之后的FSMC_BL保持时间	0	-	
$t_{su}(Data\_NE)$	数据至FSMC_NEx高的建立时间	$T_{HCLK}+4$	-	
$t_{su}(Data\_NOE)$	数据至FSMC_NOEx高的建立时间	$T_{HCLK}+4$	-	
$t_h(Data\_NOE)$	FSMC_NOE高之后的数据保持时间	0	-	
$t_h(Data\_NE)$	FSMC_NEx高之后的数据保持时间	0	-	
$t_v(NADV\_NE)$	FSMC_NEx低至FSMC_NADV低	-	2	
$t_w(NADV)$	FSMC_NADV低时间	-	$T_{HCLK}$	

1.  $C_L = 30pF$ 。

## 2. 由电气参数测试保证。

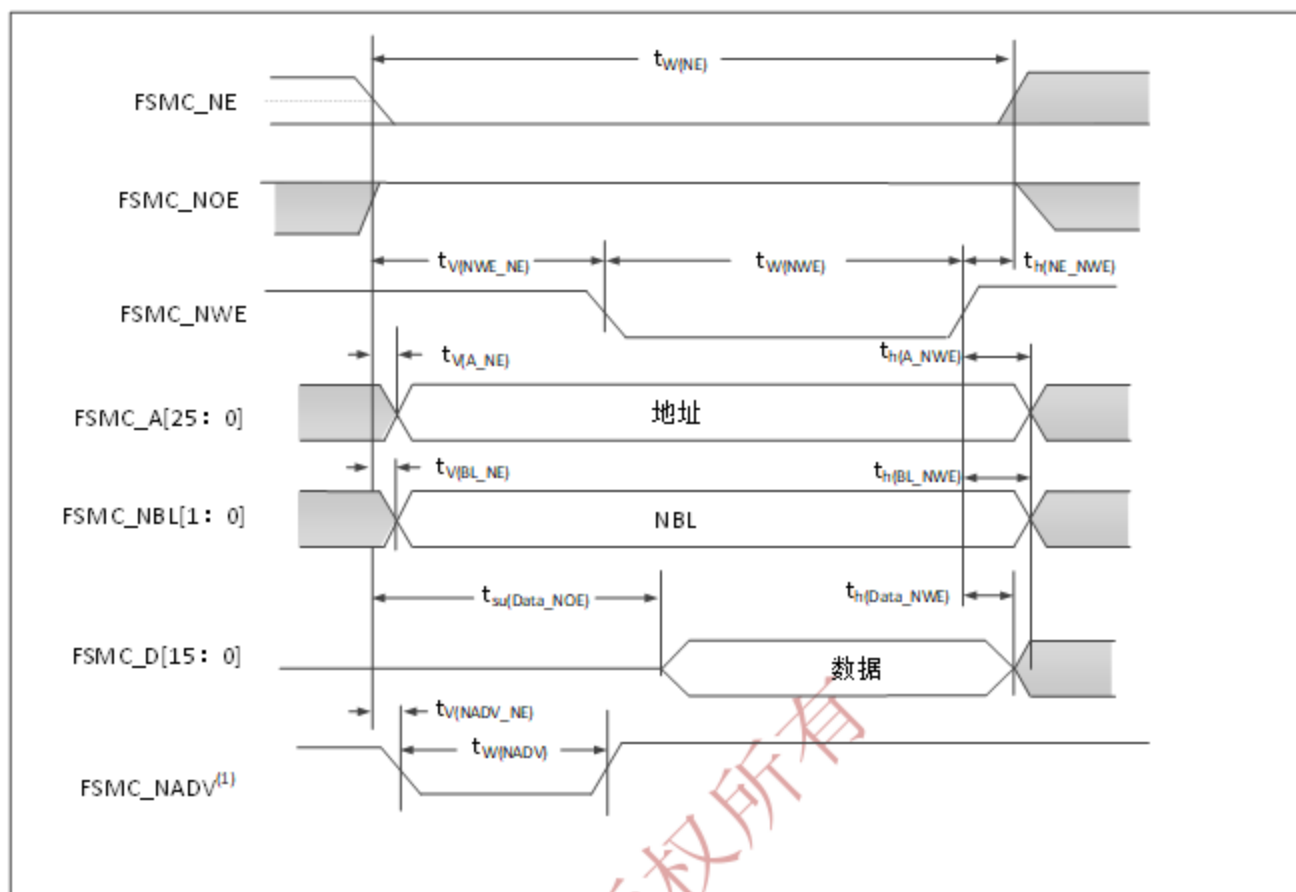


图 34 异步非总线复用的 SRAM/PSRAM/NOR 写操作波形

1. 只适于模式2/B、C和D。在模式1，不使用FSMC\_NADV。

表 69 异步非总线复用的 SRAM/PSRAM/NOR 写操作时序<sup>(1)(2)</sup>

符号	参数	最小值	最大值	单位
$t_{w(NE)}$	FSMC_NE低时间	$3T_{HCLK}$	$3T_{HCLK}+4$	ns
$t_{v(NWE\_NE)}$	FSMC_NEx低至FSMC_NOE低	$T_{HCLK}-0.5$	$T_{HCLK}+0.5$	
$t_{w(NWE)}$	FSMC_NWE低时间	$T_{HCLK}-1$	$T_{HCLK}+2$	
$t_{h(NE\_NWE)}$	FSMC_NWE高至FSMC_NE高保持时间	$T_{HCLK}-1$	-	
$t_{v(A\_NE)}$	FSMC_NEx低至FSMC_A有效	-	0	
$t_{h(A\_NWE)}$	FSMC_NWE高之后的地址保持时间	$T_{HCLK}-2$	-	
$t_{v(BL\_NE)}$	FSMC_NEx低至FSMC_BL有效	-	1.5	
$t_{h(BL\_NWE)}$	FSMC_NWE高之后的FSMC_BL保持时间	$T_{HCLK}-1$	-	
$t_{v(Data\_NE)}$	FSMC_NEx低至数据有效	-	$T_{HCLK}+3$	
$t_{h(Data\_NWE)}$	FSMC_NWE高之后的数据保持时间	$T_{HCLK}-1$	-	
$t_{v(NADV\_NE)}$	FSMC_NEx低至FSMC_NADV低	-	2	
$t_{w(NADV)}$	FSMC_NADV低时间	-	$T_{HCLK}+0.5$	

1.  $C_L = 30pF$ 。

2. 由电气参数测试保证。

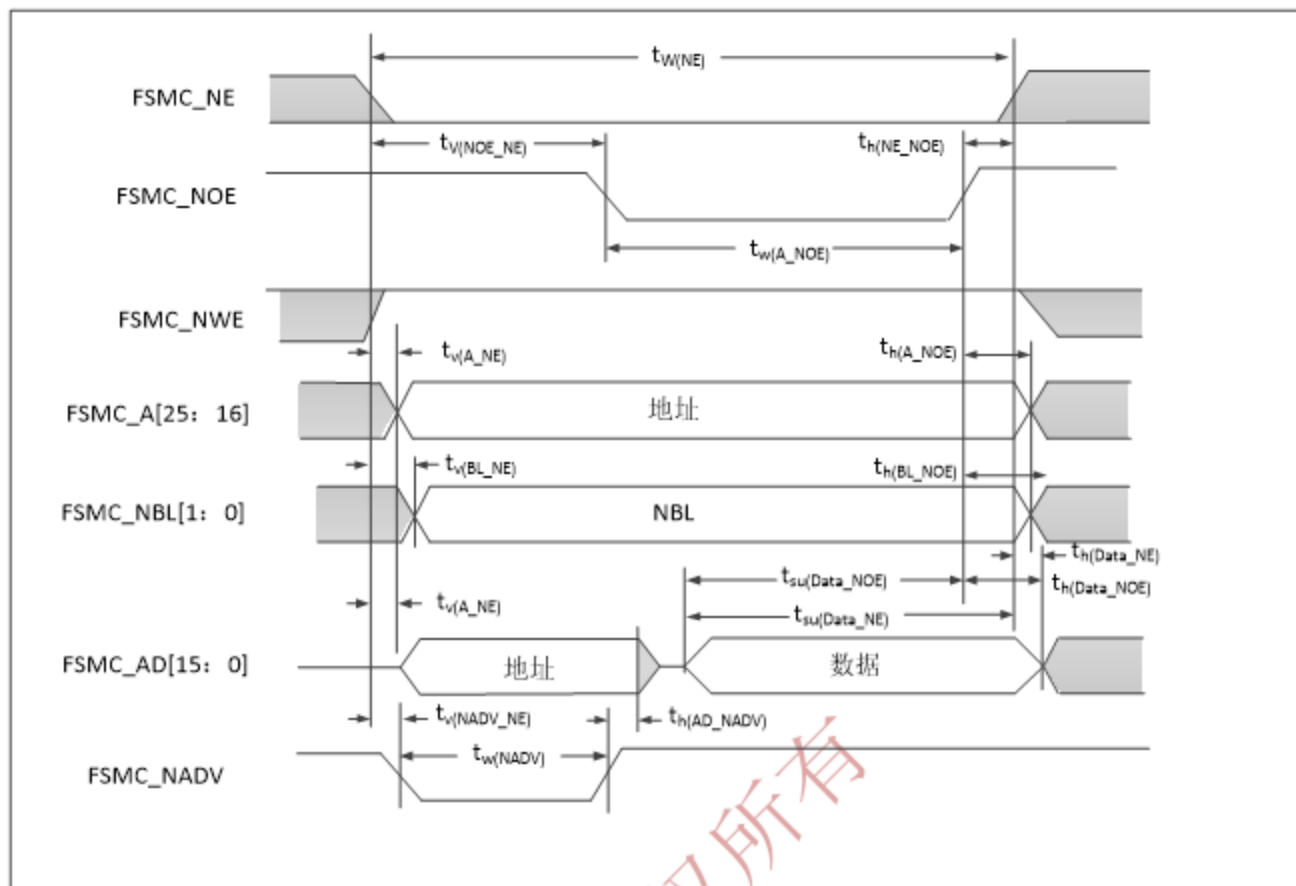


图 35 异步总线复用的 PSRAM/NOR 读操作波形

表 70 异步总线复用的 PSRAM/NOR 读操作时序<sup>(1)(2)</sup>

符号	参数	最小值	最大值	单位
$t_{w(NE)}$	FSMC_NE低时间	$3T_{HCLK} - 2$	$3T_{HCLK} + 1$	ns
$t_{v(NOE\_NE)}$	FSMC_NEx低至FSMC_NOE低	$2T_{HCLK} - 0.5$	$2T_{HCLK} + 0.5$	
$t_{w(NOE)}$	FSMC_NOE低时间	$T_{HCLK} - 1$	$T_{HCLK} + 1$	
$t_{h(NE\_NOE)}$	FSMC_NOE高至FSMC_NE高保持时间	0		
$t_{v(A\_NE)}$	FSMC_NEx低至FSMC_A有效	-	3	
$t_{h(NADV\_NE)}$	FSMC_NOE低至FSMC_NADV低	1	2	
$t_{w(NADV)}$	FSMC_NADV低时间	$T_{HCLK} - 2$	$T_{HCLK} + 1$	
$t_{h(AD\_NADV)}$	FSMC_NADV高之后FSMC_AD(地址)有效保持时间	$T_{HCLK}$	-	
$t_{h(A\_NOE)}$	FSMC_NOE高之后的地址保持时间	$T_{HCLK} - 1$	-	
$t_{h(BL\_NOE)}$	FSMC_NOE高之后的FSMC_BL保持时间	0	-	
$t_{v(BL\_NE)}$	FSMC_NEx低至FSMC_BL有效	-	2	
$t_{su(Data\_NE)}$	数据至FSMC_NEx高的建立时间	$T_{HCLK} + 4$	-	
$t_{su(Data\_NOE)}$	数据至FSMC_NOEx高的建立时间	$T_{HCLK} + 4$	-	
$t_{h(Data\_NE)}$	FSMC_NEx高之后的数据保持时间	0	-	
$t_{h(Data\_NOE)}$	FSMC_NOE高之后的数据保持时间	0	-	

1.  $C_L = 30pF$ 。

2. 由电气参数测试保证。

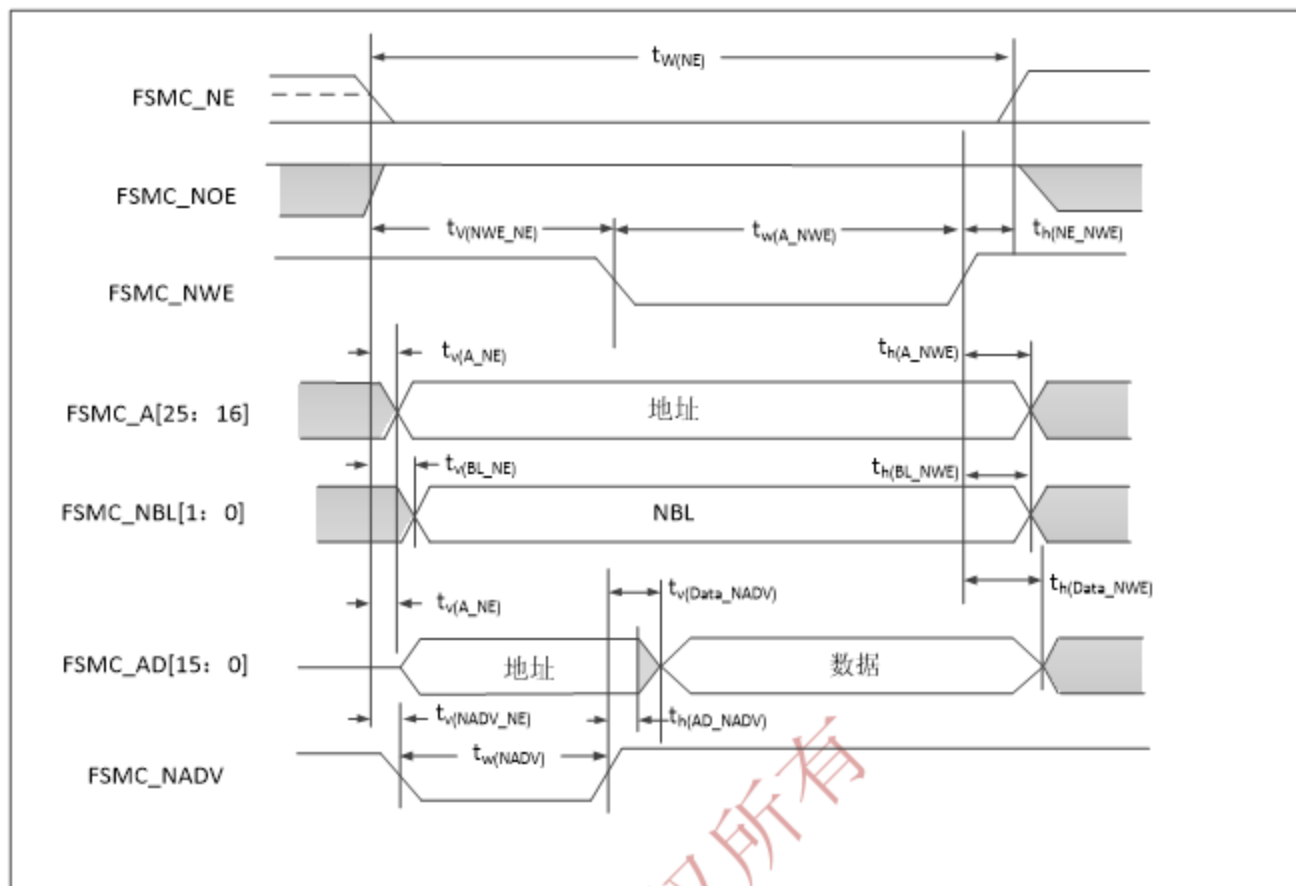


图 36 异步总线复用的 PSRAM/NOR 写操作波形

表 71 异步总线复用的 PSRAM/NOR 写操作时序<sup>(1)(2)</sup>

符号	参数	最小值	最大值	单位
$t_{w(NE)}$	FSMC_NE低时间	$4T_{HCLK} - 0.5$	$4T_{HCLK} + 3$	ns
$t_{v(NWE\_NE)}$	FSMC_NEx低至FSMC_NOE低	$T_{HCLK} - 0.5$	$T_{HCLK} + 0.5$	
$t_{w(NWE)}$	FSMC_NWE低时间	$2T_{HCLK} - 0.5$	$2T_{HCLK} + 3$	
$t_{h(NE\_NWE)}$	FSMC_NWE高至FSMC_NE高保持时间	$T_{HCLK}$	-	
$t_{v(A\_NE)}$	FSMC_NEx低至FSMC_A有效	-	0	
$t_{v(NADV\_NE)}$	FSMC_NWx低至FSMC_NADV低	1	2	
$t_{w(NADV)}$	FSMC_NADV低时间	$T_{HCLK} - 2$	$T_{HCLK} + 1$	
$t_{h(AD\_NADV)}$	FSMC_NADV高之后FSMC_AD(地址)有效保持时间	$T_{HCLK} - 2$	-	
$t_{h(A\_NWE)}$	FSMC_NWE高之后的地址保持时间	$T_{HCLK}$	-	
$t_{v(BL\_NE)}$	FSMC_NEx低至FSMC_BL有效	$T_{HCLK} - 2$	-	
$t_{h(BL\_NWE)}$	FSMC_NWE高之后的FSMC_BL保持时间	-	1.5	
$t_{v(Data\_NADV)}$	FSMC_NADV高至数据保持时间	-	$T_{HCLK} - 0.5$	
$t_{h(Data\_NWE)}$	FSMC_NWE高之后的数据保持时间	$T_{HCLK}$	-	

1.  $C_L = 30pF$ 。

2. 由电气参数测试保证。

**同步波形和时序**

图 38 至图 41 显示了异步的波形，表 73 至表 76 给出了相应的时序。这些表格中的结果是按照下述 FSMC 配置得到：

- BurstAccessMode = FSMC\_BurstAccessMode\_Enable，使能突发传输模式

- MemoryType = FSMC\_MemoryType\_CRAM, 存储器类型为 CRAM
  - WriteBurst = FSMC\_WriteBurst\_Enable, 使能突发写操作
  - CLKDivision = 1, (1 个存储器周期 = 2 个 HCLK 周期)
  - 使用 NOR 闪存时, DataLatency = 1; 使用 PSRAM 时, DataLatency = 0
- 在所有时序表中,  $T_{HCLK}$  为 HCLK 时钟周期 (最大值 FSMC\_CLK = 60 MHz)。

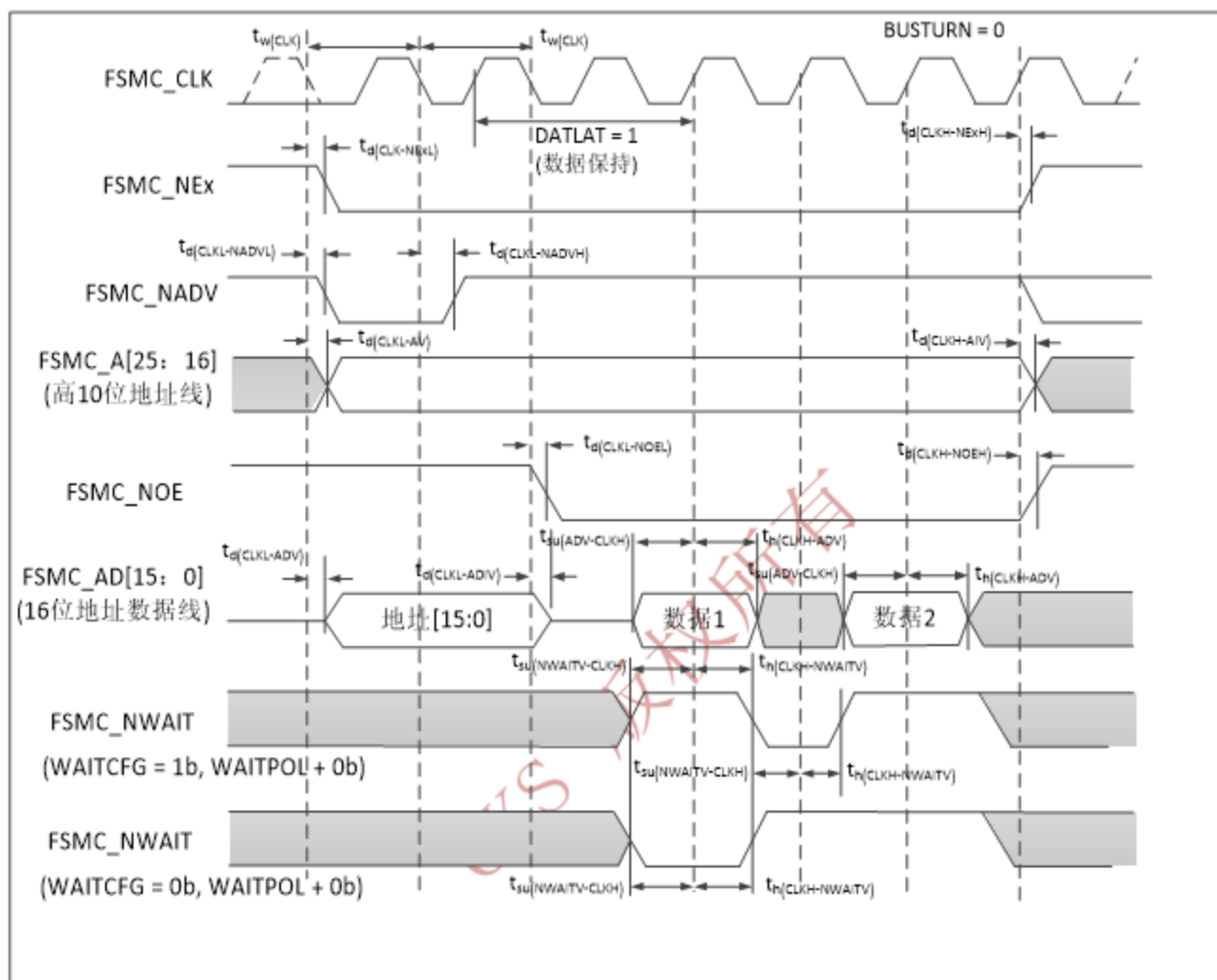


图 37 同步总线复用 NOR/PSRAM 读时序

表 72 同步总线复用的 PSRAM/NOR 读操作时序<sup>(1)(2)</sup>

符号	参数	最小值	最大值	单位
$t_w(\text{CLK})$	FSMC_CLK 周期	$2T_{HCLK}$	-	ns
$t_d(\text{CLKL\_NEXL})$	FSMC_CLK 低至 FSMC_NEX 低 ( $x = 0 \dots 2$ )	-	0	
$t_d(\text{CLKH\_NEXH})$	FSMC_CLK 高至 FSMC_NEX 高 ( $x = 0 \dots 2$ )	2	-	
$t_d(\text{CLKL\_NADV})$	FSMC_CLK 低至 FSMC_NADV 低	-	2	
$t_d(\text{CLKH\_NADV})$	FSMC_CLK 高至 FSMC_NADV 高	2	-	
$t_d(\text{CLKL\_AV})$	FSMC_CLK 低至 FSMC_A <sub>x</sub> 有效 ( $x = 16 \dots 25$ )	-	0	
$t_d(\text{CLKH\_AIV})$	FSMC_CLK 高至 FSMC_A <sub>x</sub> 无效 ( $x = 16 \dots 25$ )	0	-	
$t_d(\text{CLKL\_NOEL})$	FSMC_CLK 低至 FSMC_NOE 低	-	0	
$t_d(\text{CLKH\_NOEH})$	FSMC_CLK 高至 FSMC_NOE 高	2	-	
$t_d(\text{CLKL\_ADV})$	FSMC_CLK 低至 FSMC_AD[15:0] 有效	-	4.5	



$t_d(\text{CLKH\_ADIV})$	FSMC_CLK高至FSMC_AD[15: 0]无效	0	-
$t_{su}(\text{ADV\_CLKH})$	FSMC_CLK高之前FSMC_AD[15: 0]有效数据	6	-
$t_h(\text{ADV\_CLKH})$	FSMC_CLK高之后FSMC_AD[15: 0]有效数据	0	-
$t_{su}(\text{NWAITV-CLKH})$	FSMC_CLK高之前FSMC_NWAIT有效	4	-
$t_h(\text{CLKH-NWAITV})$	FSMC_CLK高之后FSMC_NWAIT有效	0	-

1.  $C_L = 30\text{pF}$ 。

2. 由电气参数测试保证。

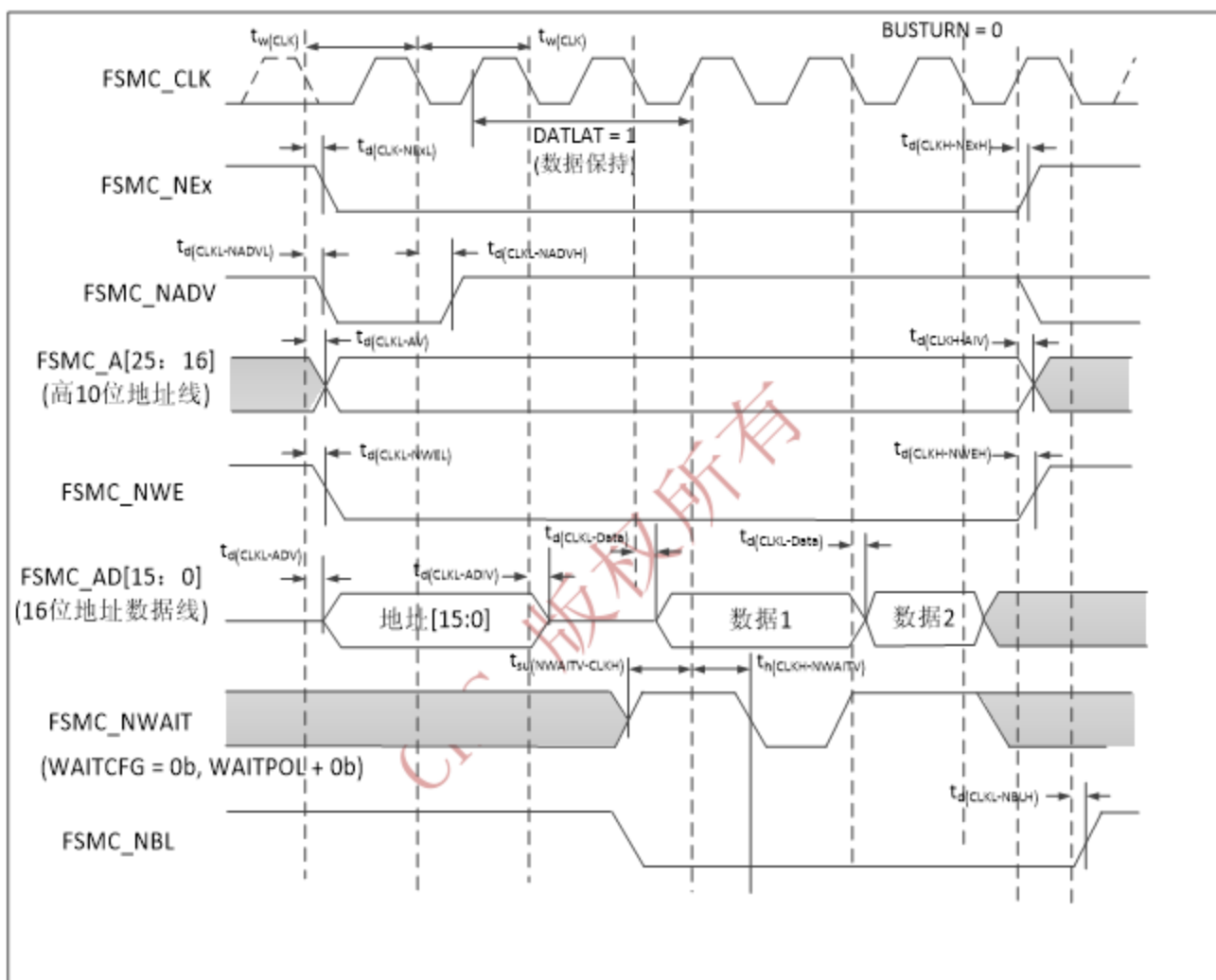


图 38 同步总线复用 PSRAM 写时序

表 73 同步总线复用的 PSRAM 写操作时序<sup>(1)(2)</sup>

符号	参数	最小值	最大值	单位
$t_w(\text{CLK})$	FSMC_CLK周期	$2T_{\text{HCLK}}$	-	ns
$t_d(\text{CLKL\_NExL})$	FSMC_CLK低至FSMC_NEx低( $x = 0 \dots 2$ )	-	0	ns
$t_d(\text{CLKH\_NExH})$	FSMC_CLK高至FSMC_NEx高( $x = 0 \dots 2$ )	2	-	ns
$t_d(\text{CLKL\_NADV})$	FSMC_CLK低至FSMC_NADV低	-	2	ns
$t_d(\text{CLKL\_NADVH})$	FSMC_CLK低至FSMC_NADV高	2	-	ns
$t_d(\text{CLKL\_AV})$	FSMC_CLK低至FSMC_Ax有效( $x = 16 \dots 25$ )	-	0	ns
$t_d(\text{CLKH\_AIV})$	FSMC_CLK高至FSMC_Ax无效( $x = 16 \dots 25$ )	0	-	ns
$t_d(\text{CLKL\_NWE})$	FSMC_CLK低至FSMC_NWE低	-	0	ns

$t_d(\text{CLKH\_NWEH})$	FSMC_CLK高至FSMC_NWE高	2	-	ns
$t_d(\text{CLKL\_ADV})$	FSMC_CLK低至FSMC_AD[15:0]有效	-	4.5	ns
$t_d(\text{CLKL\_DATA})$	FSMC_CLK低至FSMC_AD[15:0]无效	0	-	ns
$t_{su}(\text{NWAITV-CLKH})$	FSMC_CLK低之后FSMC_AD[15:0]有效	6	-	ns
$t_h(\text{CLKH-NWAITV})$	FSMC_CLK高之前FSMC_NWAIT有效	0	-	ns
$t_d(\text{CLKL\_NBLH})$	FSMC_CLK高之后FSMC_NWAIT有效	4	-	ns
	FSMC_CLK低之后FSMC_NBL高	0	-	ns

1.  $C_L = 30\text{pF}$ 。

2. 由电气参数测试保证。

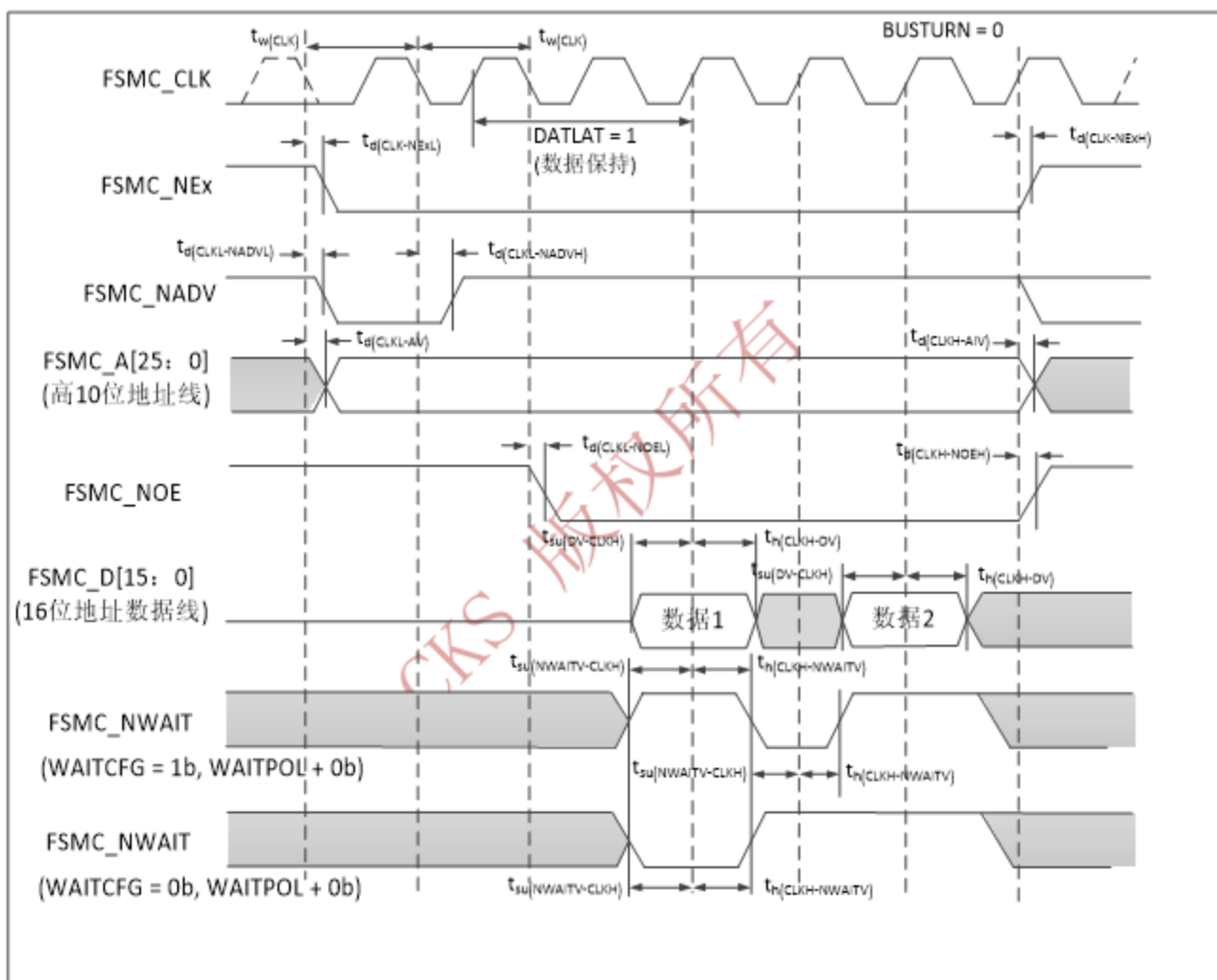


图 39 同步非总线复用 NOR/PSRAM 读时序

表 74 同步非总线复用 NOR/PSRAM 读时序<sup>(1)(2)</sup>

符号	参数	最小值	最大值	单位
$t_w(\text{CLK})$	FSMC_CLK周期	$2T_{\text{HCLK}}$	-	ns
$t_d(\text{CLKL\_NEXL})$	FSMC_CLK低至FSMC_NEX低( $x = 0 \dots 2$ )	-	0	ns
$t_d(\text{CLKH\_NEXH})$	FSMC_CLK高至FSMC_NEX高( $x = 0 \dots 2$ )	2	-	ns
$t_d(\text{CLKL\_NADVL})$	FSMC_CLK低至FSMC_NADV低	-	2	ns
$t_d(\text{CLKL\_NADVH})$	FSMC_CLK低至FSMC_NADV高	2	-	ns
$t_d(\text{CLKL\_AV})$	FSMC_CLK低至FSMC_A <sub>x</sub> 有效( $x = 0 \dots 25$ )	-	0	ns

$t_d(\text{CLKH\_AIV})$	FSMC_CLK高至FSMC_Ax无效( $x = 0 \dots 25$ )	2	-	ns
$t_d(\text{CLKL\_NOEL})$	FSMC_CLK低至FSMC_NOE低	-	4.5	ns
$t_d(\text{CLKH\_NOEH})$	FSMC_CLK高至FSMC_NOE高	0	-	ns
$t_{su}(\text{DV\_CLKH})$	FSMC_CLK高之前FSMC_D[15:0]有效数据	6	-	ns
$t_h(\text{CLKH-DV})$	FSMC_CLK高之后FSMC_D[15:0]有效数据	0	-	ns
$t_{su}(\text{NWAITV-CLKH})$	FSMC_CLK高之前FSMC_NWAIT有效	4	-	ns
$t_h(\text{CLKH-NWAITV})$	FSMC_CLK高之后FSMC_NWAIT有效	0	-	ns

1.  $C_L = 30\text{pF}$ 。

2. 由电气参数测试保证。

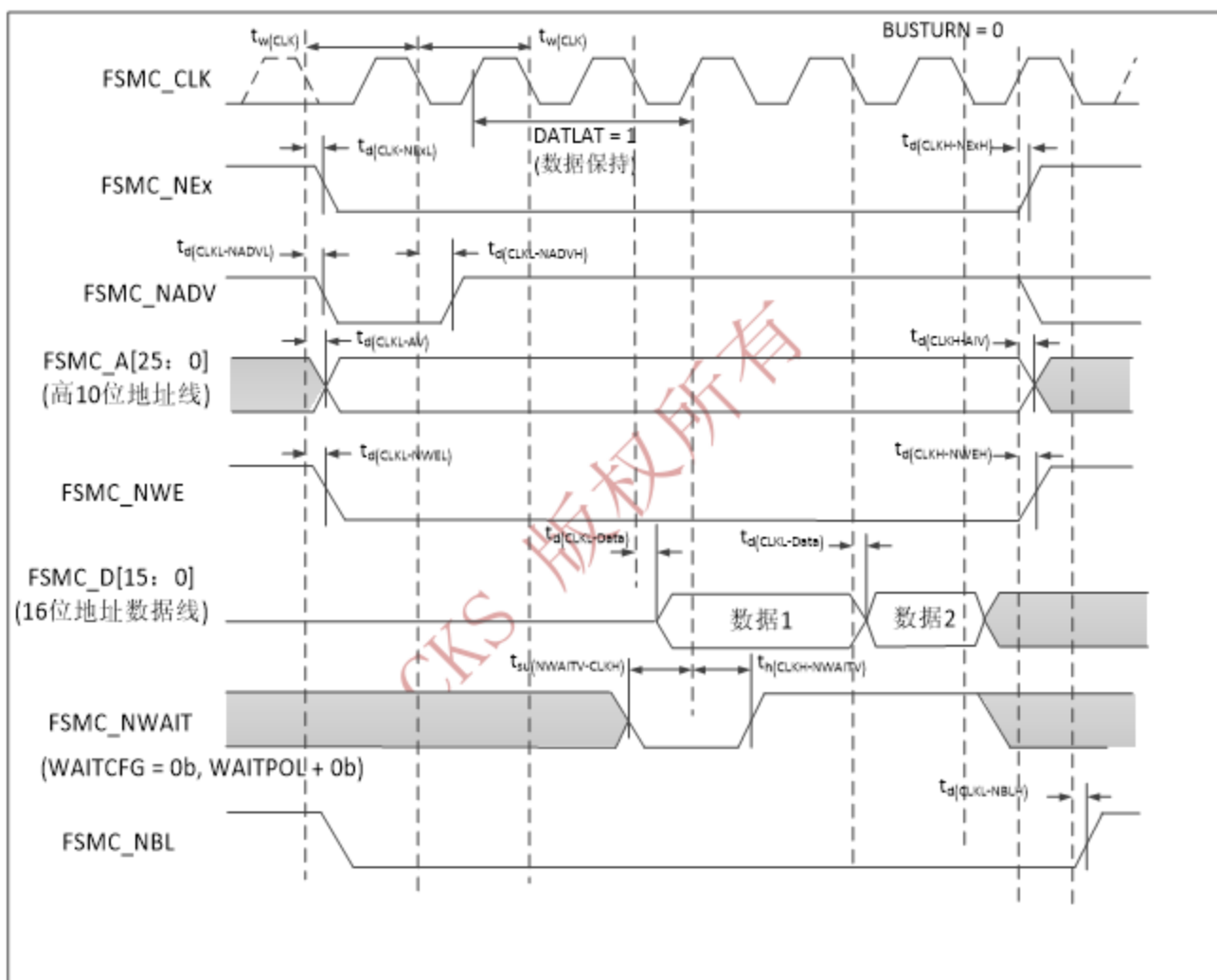


图 40 同步非总线复用 PSRAM 写时序

表 75 同步非总线复用 PSRAM 写时序<sup>(1)(2)</sup>

符号	参数	最小值	最大值	单位
$t_w(\text{CLK})$	FSMC_CLK周期	$2T_{\text{HCLK}}$	-	ns
$t_d(\text{CLKL\_NEXL})$	FSMC_CLK低至FSMC_NEX低( $x = 0 \dots 2$ )	-	2	ns
$t_d(\text{CLKH\_NEXH})$	FSMC_CLK高至FSMC_NEX高( $x = 0 \dots 2$ )	1	-	ns
$t_d(\text{CLKL\_NADVL})$	FSMC_CLK低至FSMC_NADV低	-	4	ns
$t_d(\text{CLKL\_NADVH})$	FSMC_CLK低至FSMC_NADV高	0	-	ns
$t_d(\text{CLKL\_AV})$	FSMC_CLK低至FSMC_Ax有效( $x = 0 \dots 25$ )	-	0	ns

$t_d(\text{CLKH\_AIV})$	FSMC_CLK高至FSMC_Ax无效(x = 0...25)	8	-	ns
$t_d(\text{CLKL\_NWE})$	FSMC_CLK低至FSMC_NWE低	-	1	ns
$t_d(\text{CLKH\_NWEH})$	FSMC_CLK高至FSMC_NWE高	0	-	ns
$t_d(\text{CLKL\_Data})$	FSMC_CLK低之后FSMC_D[15: 0]有效数据	0	6	ns
$t_{su}(\text{NWAITV\_CLKH})$	FSMC_CLK高之前FSMC_NWAIT有效	-	-	ns
$t_h(\text{CLKH\_NWAITV})$	FSMC_CLK高之后FSMC_NWAIT有效	2	-	ns
$t_d(\text{CLKL\_NBLH})$	FSMC_CLK低至FSMC_NBL高	1	-	ns

1.  $C_L = 30\text{pF}$ 。

2. 由电气参数测试保证。

### PC卡/CF卡控制器波形和时序

图42至图47显示了同步的波形，表77给出了相应的时序。这些表格中的结果是按照下述FSMC配置得到：

- COM.FSMC\_SetupTime = 0x04;
- COM.FSMC\_WaitSetupTime = 0x07;
- COM.FSMC\_HoldSetupTime = 0x04;
- COM.FSMC\_HiZSetupTime = 0x00;
- ATT.FSMC\_SetupTime = 0x04;
- ATT.FSMC\_WaitSetupTime = 0x07;
- ATT.FSMC\_HoldSetupTime = 0x04;
- ATT.FSMC\_HiZSetupTime = 0x00;
- IO.FSMC\_SetupTime = 0x04;
- IO.FSMC\_WaitSetupTime = 0x07;
- IO.FSMC\_HoldSetupTime = 0x04;
- IO.FSMC\_HiZSetupTime = 0x00;
- TCLRSetupTime = 0;
- TARSetupTime = 0;

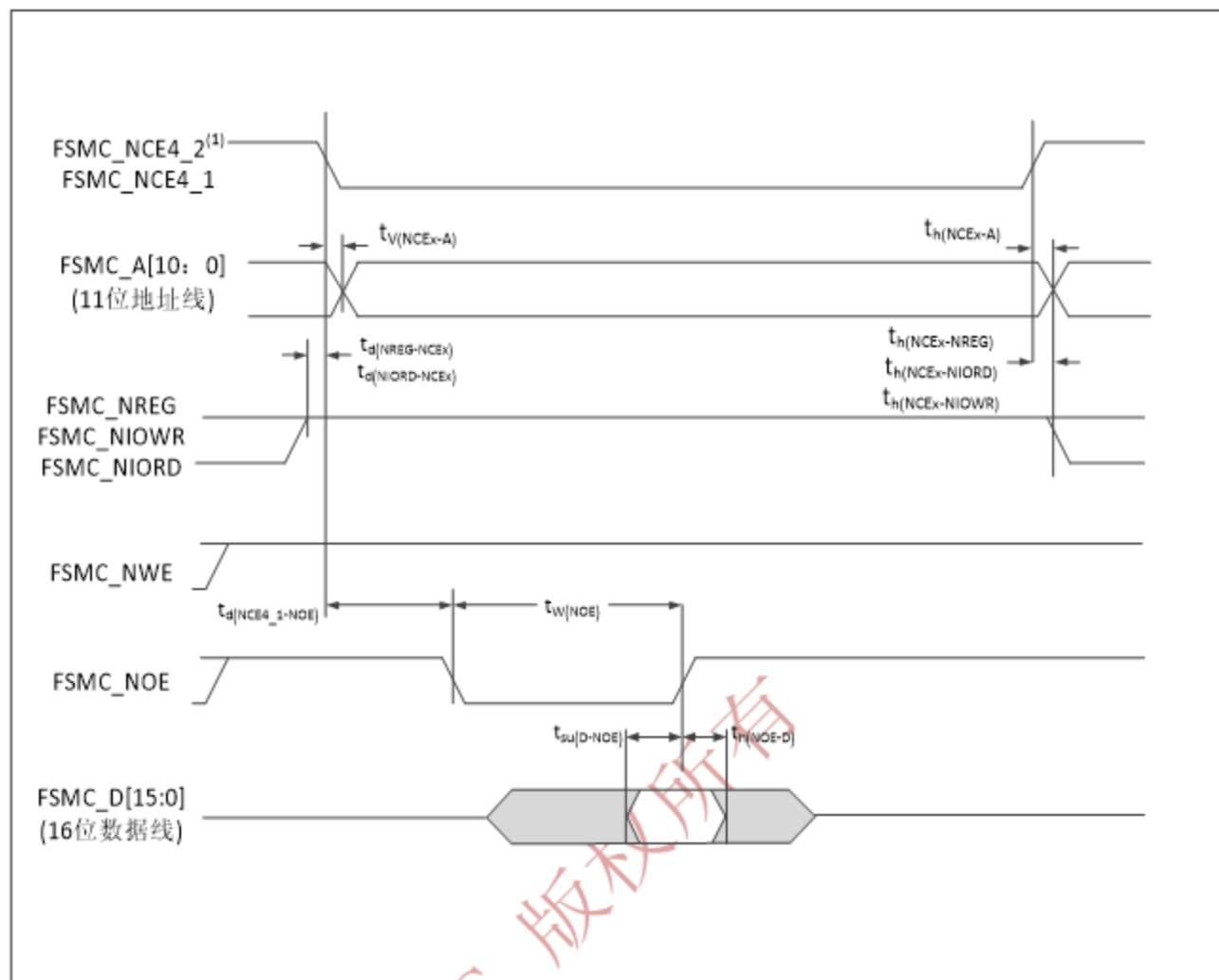


图 41 通用存储空间读操作的 PC 卡/CF 卡控制器波形

1.FSMC\_NCE4\_2保持低(8位操作时为无效状态)。

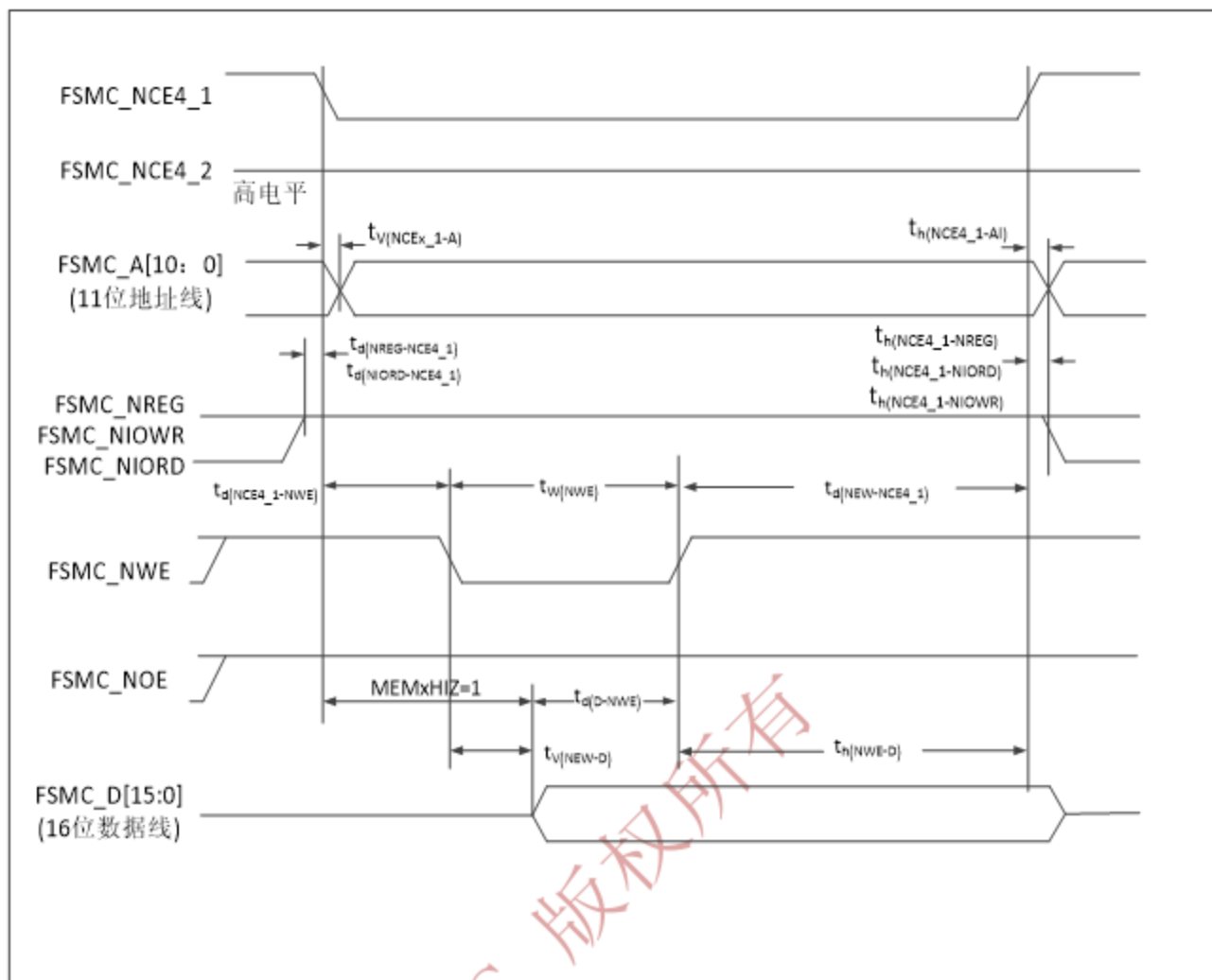


图 42 通用存储空间写操作的 PC 卡/CF 卡控制器波形

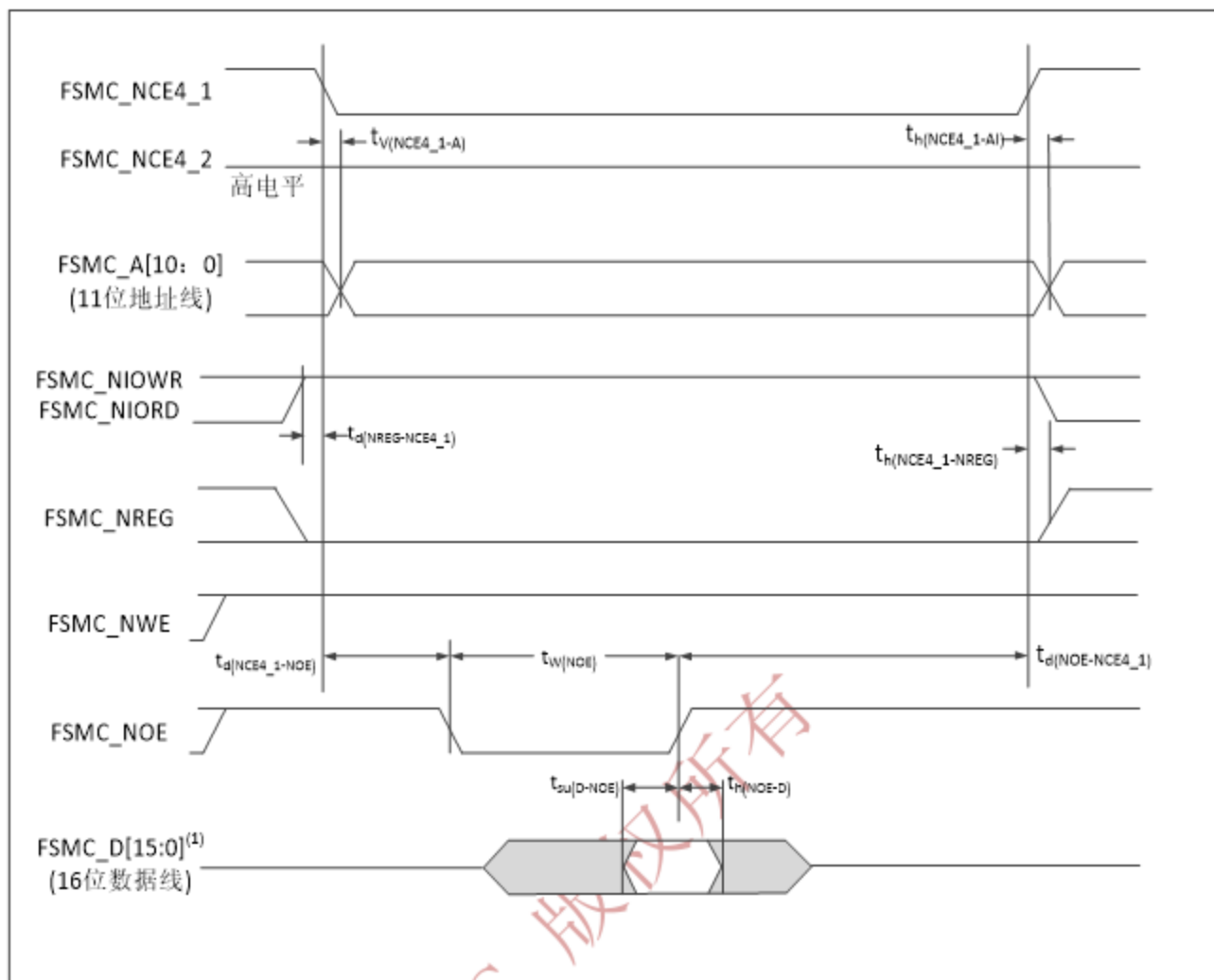


图 43 属性存储空间读操作的 PC 卡/CF 卡控制器波形

1.只使用数据位0~7(数据位8~15被丢弃)。

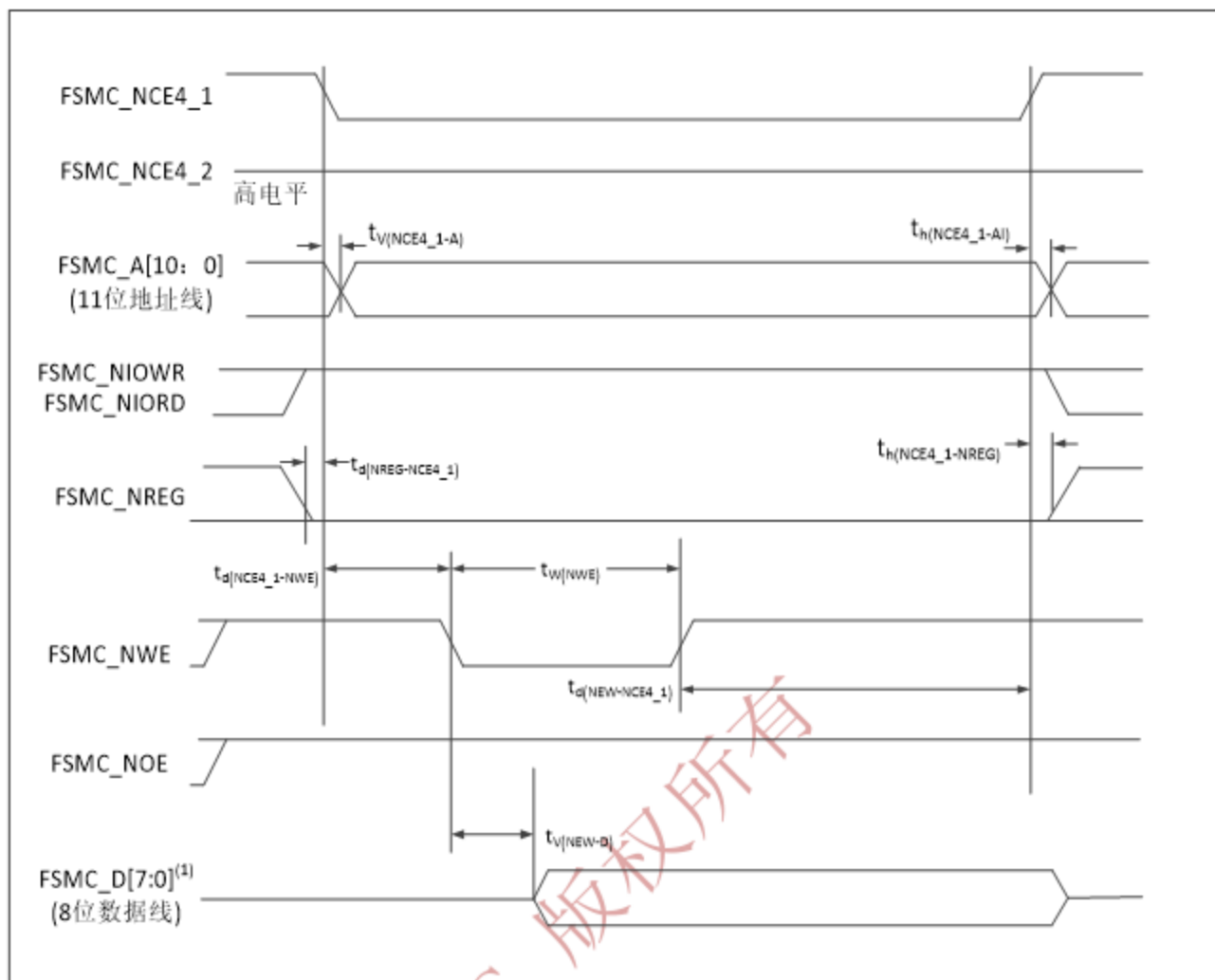


图 44 属性存储空间写操作的 PC 卡/CF 卡控制器波形

1. 只输出数据位 0~7 (数据位 8~15 保持为高阻)。



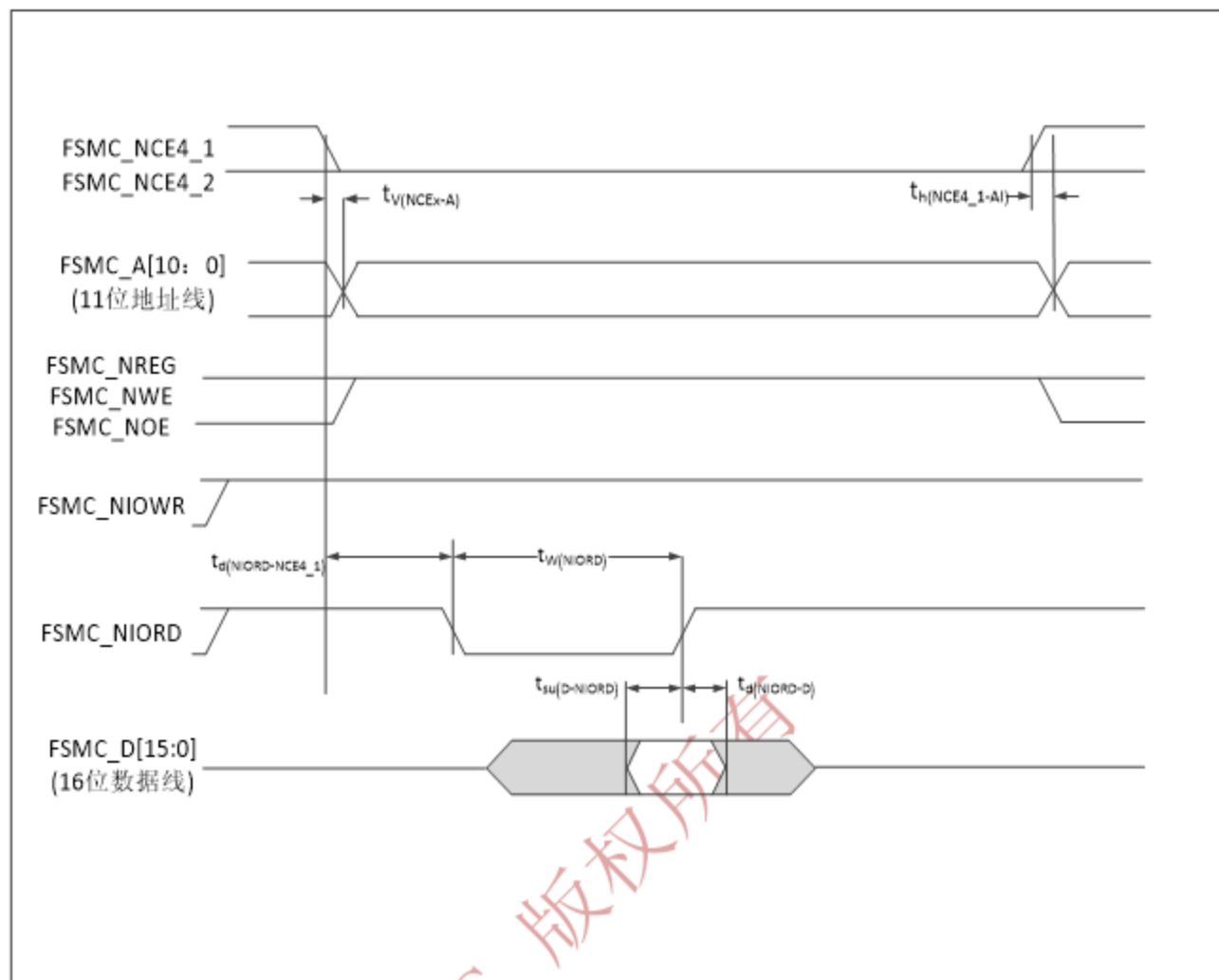


图 45 I/O 空间读操作的 PC 卡/CF 卡控制器波形

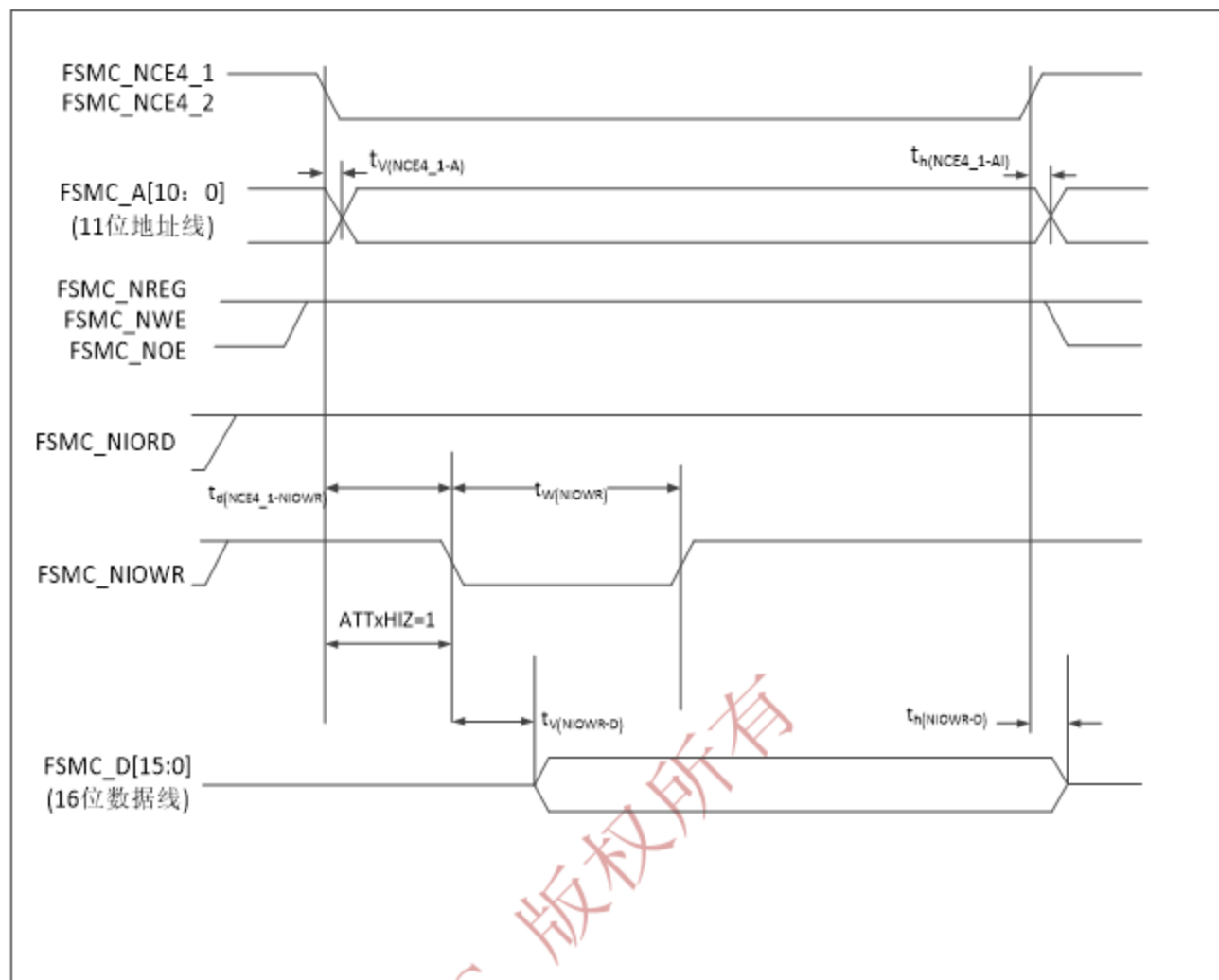


图 46 I/O 空间写操作的 PC 卡/CF 卡控制器波形

表 76 PC 卡/CF 卡读写周期参数<sup>(1)(2)</sup>

符号	参数	最小值	最大值	单位
$t_{v(NCEx-A)}$ $t_{v(NCE4_1-A)}$	FSMC_NCE $x$ ( $x = 4\_1/4\_2$ )低至FSMC_A $y$ ( $y = 0...10$ )有效 FSMC_NCE4_1低至FSMC_A $y$ ( $y = 0...10$ )有效		0	ns
$t_{h(NCEx-AI)}$ $t_{h(NCE4_1-AI)}$	FSMC_NCE $x$ ( $x = 4\_1/4\_2$ )高至FSMC_A $x$ ( $x = 0...10$ )无效 FSMC_NCE4_1高至FSMC_A $x$ ( $x = 0...10$ )无效	2.5		ns
$t_{d(NREG-NCEx)}$ $t_{d(NREG-NCE4_1)}$	FSMC_NCE $x$ 低至FSMC_NREG有效 FSMC_NCE4_1低至FSMC_NREG有效		5	ns
$t_{h(NCEx-NREG)}$ $t_{h(NCE4_1-NREG)}$	FSMC_NCE $x$ 高至FSMC_NREG无效 FSMC_NCE4_1高至FSMC_NREG无效	$T_{HCLK}+3$		ns
$t_{d(NCE4_1-NOE)}$	FSMC_NCE4_1低至FSMC_NOE低		$5T_{HCLK}+2$	ns
$t_{w(NOE)}$	FSMC_NOE低时间	$8T_{HCLK}-1.5$	$8T_{HCLK}+1$	ns
$t_{d(NOE-NCE4_1)}$	FSMC_NOE高至FSMC_NCE4_1高	$5T_{HCLK}+2$		ns

$t_{su(D-NOE)}$	FSMC_NOE高之前FSMC_D[15:0]数据有效	25		ns
$t_{h(NOE-D)}$	SMC_NOE高之后FSMC_D[15:0]数据有效	15		ns
$t_w(NWE)$	FSMC_NWE低时间	$8T_{HCLK}-1$	$8T_{HCLK}+2$	ns
$t_{d(NWE-NCE4\_1)}$	FSMC_NWE高至FSMC_NCE4_1高	$5T_{HCLK}+2$		ns
$t_{d(NCE4\_1-NWE)}$	FSMC_NCE4_1低至FSMC_NWE低		$5T_{HCLK}+1.5$	ns
$t_{v(NWE-D)}$	FSMC_NWE低至FSMC_D[15:0]有效		0	ns
$t_{h(NWE-D)}$	FSMC_NWE高至FSMC_D[15:0]无效	$11 T_{HCLK}$		ns
$t_{d(D-NWE)}$	FSMC_NWE高之前FSMC_D[15:0]有效	$13 T_{HCLK}$		ns
$t_w(NIOWR)$	FSMC_NIOWR低时间	$8T_{HCLK}+3$		ns
$t_{v(NIOWR-D)}$	FSMC_NIOWR低至FSMC_D[15:0]有效		$5T_{HCLK}+1$	ns
$t_{h(NIOWR-D)}$	FSMC_NIOWR高至FSMC_D[15:0]无效	$11 T_{HCLK}$		ns
$t_{d(NCE4\_1-NIOWR)}$	FSMC_NCE4_1低至FSMC_NIOWR有效		$5T_{HCLK}+3$	ns
$t_{h(NCEx-NIOWR)}$	FSMC_NCE <sub>x</sub> 高至FSMC_NIOWR无效	$5T_{HCLK}-5$		ns
$t_{h(NCE4\_1-NIOWR)}$	FSMC_NCE4_1高至FSMC_NIOWR无效			
$t_{d(NIORD-NCEx)}$	FSMC_NCE <sub>x</sub> 低至FSMC_NIORD有效		$5T_{HCLK}+2.5$	ns
$t_{d(NIORD-NCE4\_1)}$	FSMC_NCE4_1低至FSMC_NIORD有效			
$t_{h(NCEx-NIOWR)}$	FSMC_NCE <sub>x</sub> 高至FSMC_NIORD无效	$5T_{HCLK}-5$		ns
$t_{h(NCE4\_1-NIOWR)}$	FSMC_NCE4_1高至FSMC_NIORD无效			
$t_{su(D-NIORD)}$	FSMC_NIORD高之前FSMC_D[15:0]有效	4.5		ns
$t_{d(NIORD-D)}$	FSMC_NIORD高之后FSMC_D[15:0]有效	9		ns
$t_w(NIORD)$	FSMC_NIORD低时间	$8T_{HCLK}+2$		ns

1.  $V_{DD\_IO} = 3.3V, C_L = 15pF$

2. 由综合评估得出, 不在生产中测试

### NAND控制器波形和时序

显示了同步的波形, 给出了相应的时序。这些表格中的结果是按照下述FSMC配置得到:

- COM.FSMC\_SetupTime = 0x01;
- COM.FSMC\_WaitSetupTime = 0x03;
- COM.FSMC\_HoldSetupTime = 0x02;
- COM.FSMC\_HiZSetupTime = 0x01;
- ATT.FSMC\_SetupTime = 0x01;
- ATT.FSMC\_WaitSetupTime = 0x03;
- ATT.FSMC\_HoldSetupTime = 0x02;
- ATT.FSMC\_HiZSetupTime = 0x01;
- Bank = FSMC\_Bank\_NAND;
- MemoryDataWidth = FSMC\_MemoryDataWidth\_16b;
- ECC = FSMC\_ECC\_Enable;
- MemoryDataWidth = FSMC\_MemoryDataWidth\_16b;
- ECC = FSMC\_ECC\_Enable
- ECCPageSize = FSMC\_ECCPageSize\_512Bytes;

- TCLRSetupTime = 0;
- TARSetupTime = 0;

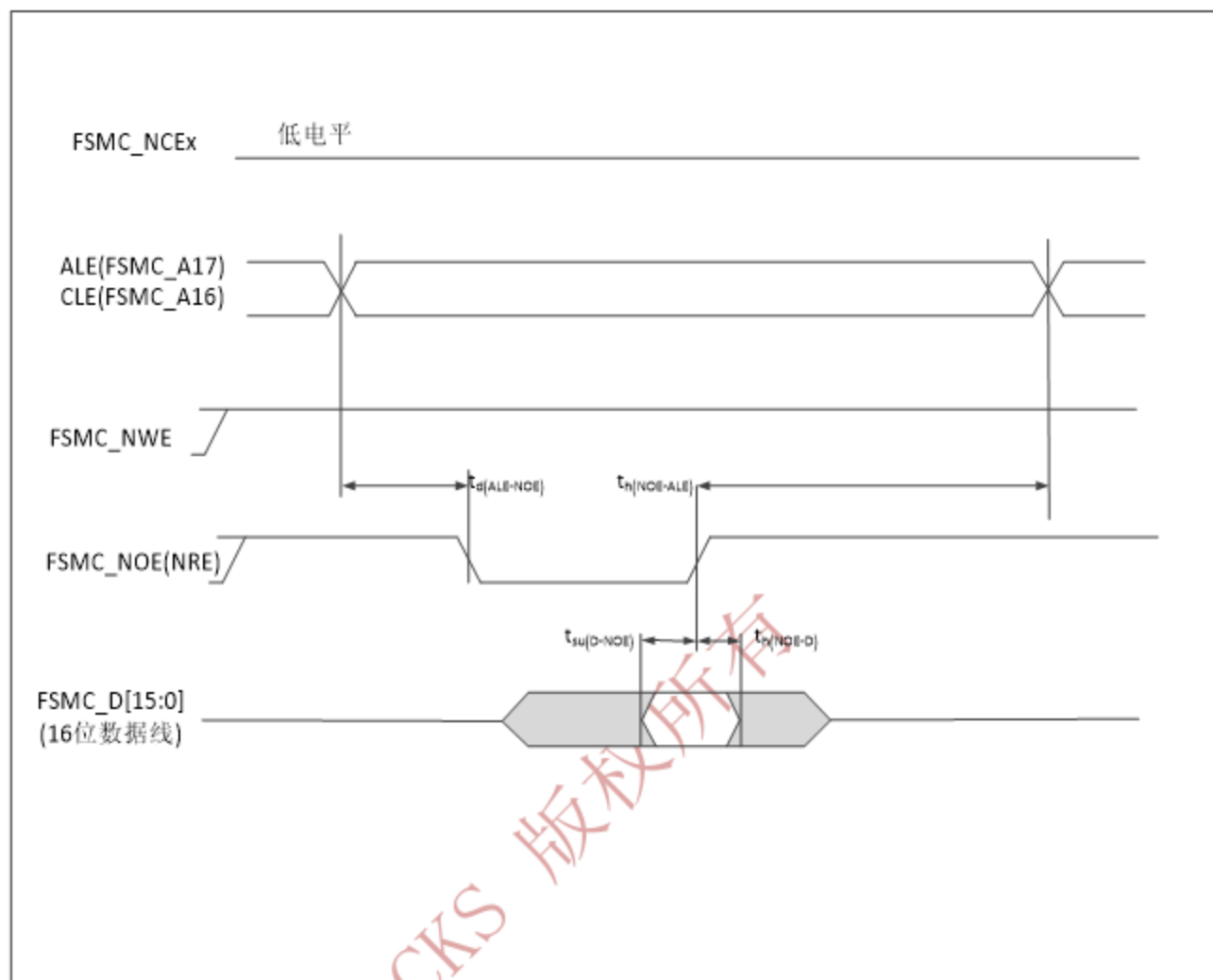


图 47 NAND 控制器读操作波形

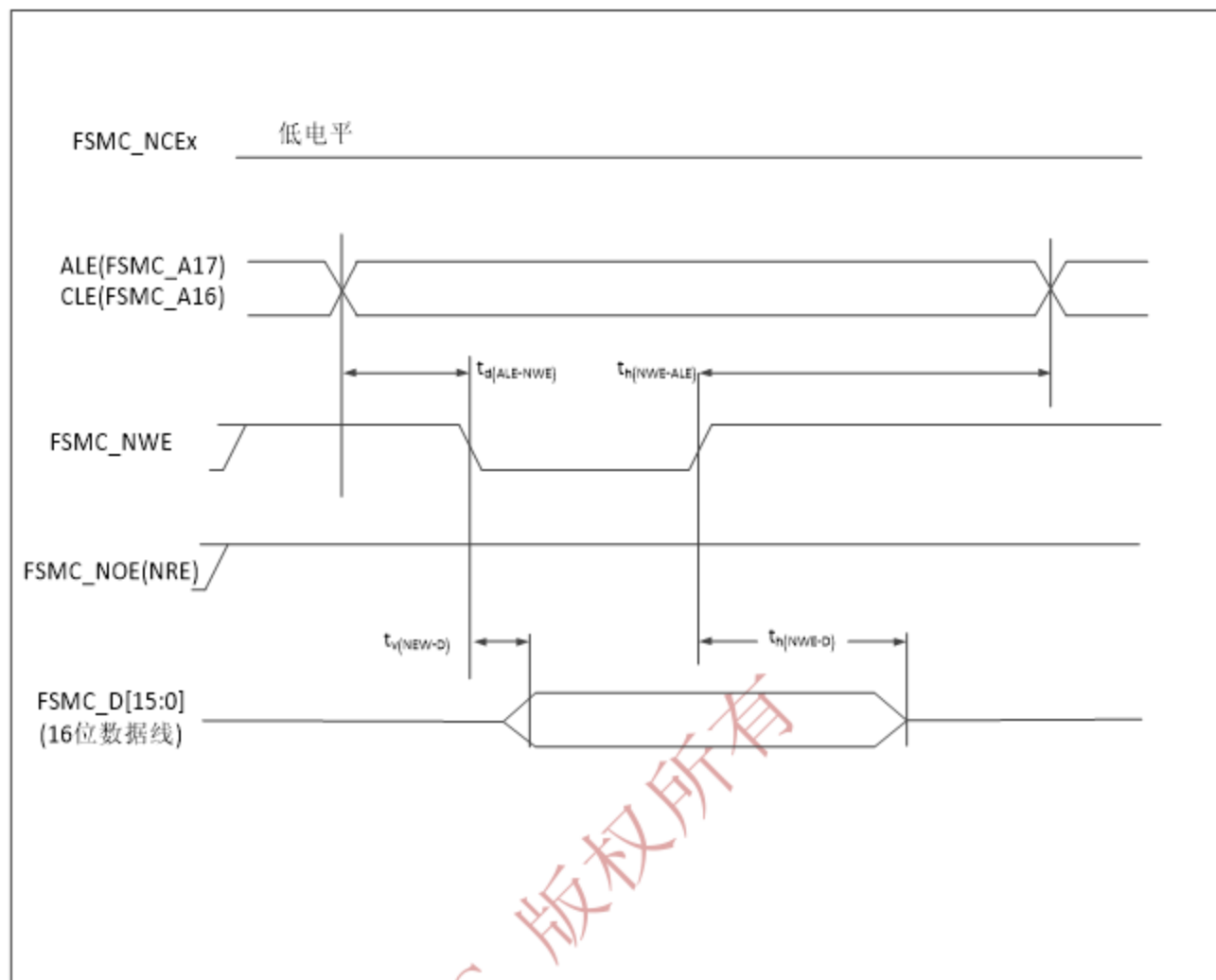


图 48 NAND 控制器写操作波形

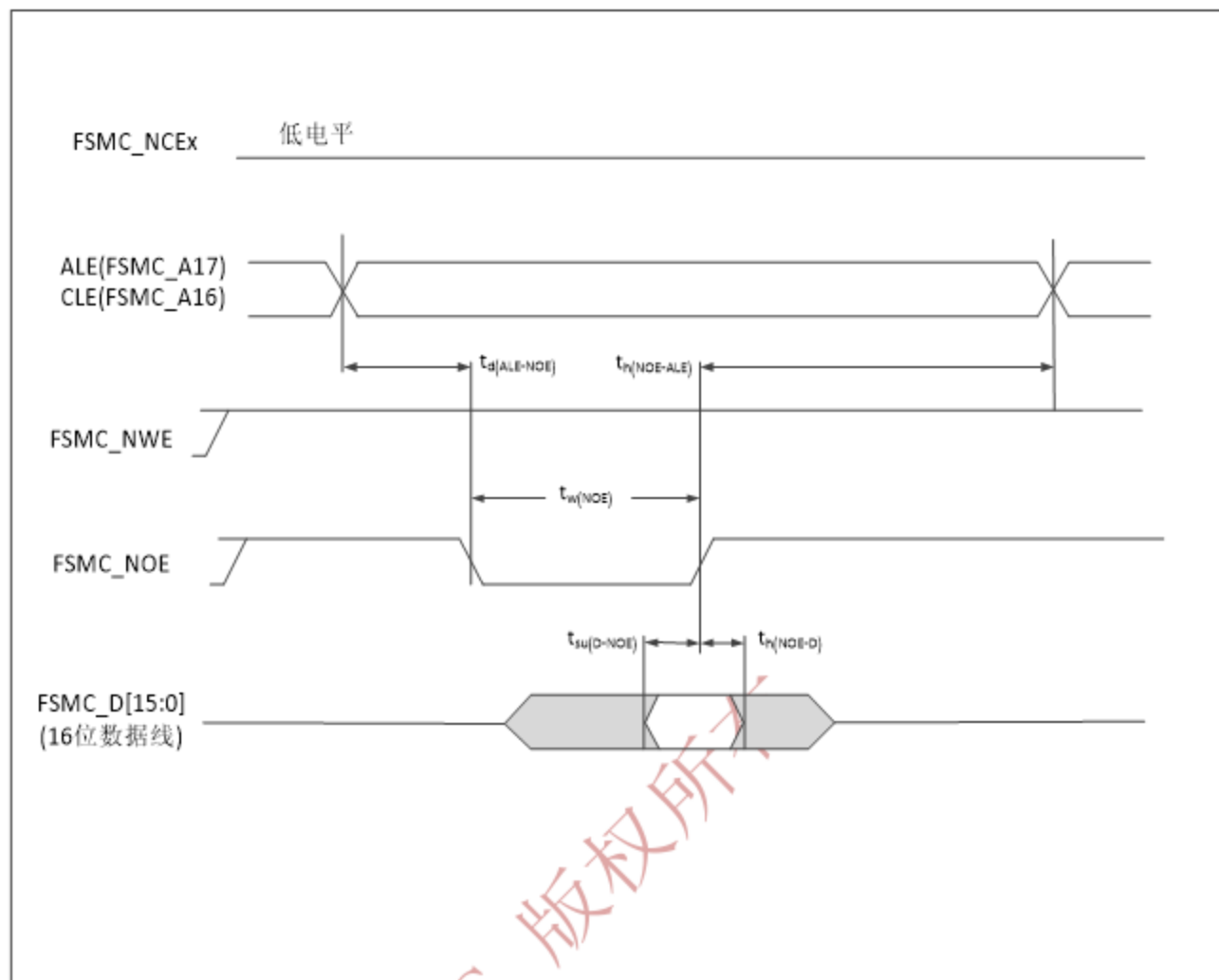


图 49 NAND 控制器在通用存储空间的读操作波形

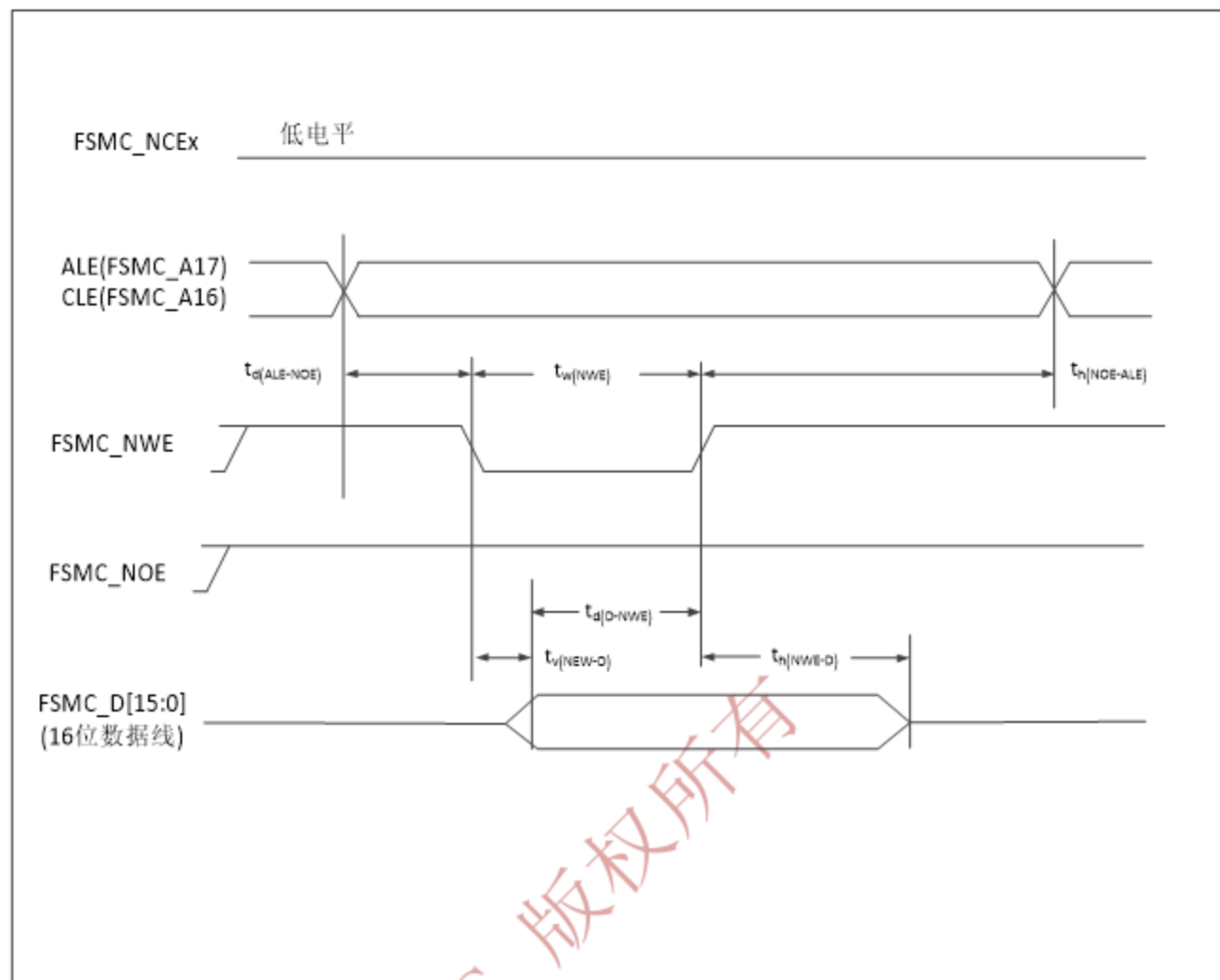


图 50 NAND 控制器在通用存储空间的写操作波形

表 77 NAND 闪存读写周期的时序特性<sup>(1)</sup>

符号	参数	最小值	最大值	单位
$t_{d(D-NWE)}^{(2)}$	FSMC_NWE高之前至FSMC_D[15:0]数据有效	$6T_{HCLK}+12$		ns
$t_{w(NOE)}^{(2)}$	FSMC_NOE低时间	$4T_{HCLK}-1.5$	$4T_{HCLK}+1.5$	ns
$t_{su(D-NOE)}^{(2)}$	FSMC_NOE高之前至FSMC_D[15:0]数据有效	25		ns
$t_{h(NOE-D)}^{(2)}$	FSMC_NOE高之后至FSMC_D[15:0]数据有效	14		ns
$t_{w(NWE)}^{(2)}$	FSMC_NWE低时间	$4T_{HCLK}-1$	$4T_{HCLK}+2.5$	
$t_{v(NWE-D)}^{(2)}$	FSMC_NWE低至FSMC_D[15:0]数据有效		0	
$t_{h(NWE-D)}^{(2)}$	FSMC_NWE高至FSMC_D[15:0]数据无效	$10T_{HCLK}+4$		
$t_{d(ALE-NWE)}^{(3)}$	FSMC_NWE低之前至FSMC_ALE有效		$3T_{HCLK}+1.5$	
$t_{h(NEW-ALE)}^{(3)}$	FSMC_NWE高至FSMC_ALE无效	$3T_{HCLK}+4.5$		
$t_{d(ALE-NOE)}^{(3)}$	FSMC_NOE低之前至FSMC_ALE有效		$3T_{HCLK}+2$	
$t_{h(NOE-ALE)}^{(3)}$	FSMC_NOE高至FSMC_ALE无效	$3T_{HCLK}+4.5$		

1.  $V_{DD,IO} = 3.3V, C_L = 15Pf$

1. 由综合评估得出,不在生产中测试。
2. 由设计保证,不在生产中测试。

### 5.3.27 DCMI 时序

除非另有说明,表 79 中给出的 DCMI 参数来源于在环境温度、 $f_{HCLK}$  频率和  $V_{DD}$  电源电压下进行的测试如表 13 所示,配置如下:

- PCK 极性: 下降
- VSYNC 和 HSYNC 极性: 高
- 数据格式: 14 位

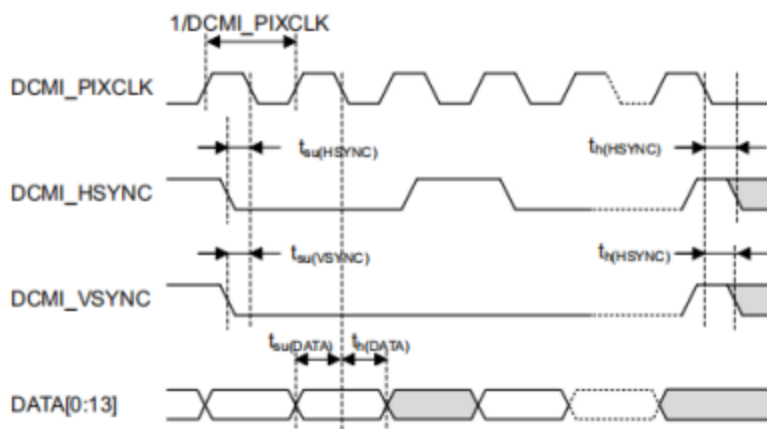


图 51 DCMI 时序  
表 78 DCMI 参数<sup>(1)</sup>

标志	参数	最小	最大	单位
-	频率比 DCMI_PIXCLK/ $f_{HCLK}$	-	0.4	-
DCMI_PIXCLK	像素时钟输入	-	54	MHz
$D_{pixel}$	像素时钟输入有效电平	30	70	%
$t_{s}(DATA)$	数据输入建立时间	2.5	-	ns
$T_{h}(DATA)$	数据保持时间	1	-	
$t_{su}(HSYNC)$ $t_{su}(VSYNC)$	HSYNC/VSYNC 输入建立时间	2	-	
$t_{h}(HSYNC)$ $t_{h}(VSYNC)$	HSYNC/VSYNC 输入保持时间	0.5	-	

1. 由电参数测试保证。

### 5.3.28 SD/SDIO MMC 卡主接口电气参数

除非特别说明,表 80 列出的参数是使用环境温度、 $f_{PCLKx}$  频率和  $V_{DD}$  供电电压符合表 13 的条件测量得到:

- 输出速率 OSPEEDRy[1:0] = 10
  - 负载电容  $C = 30pF$
  - 测量点在 CMOS 水平上完成:  $0.5V_{DD}$
- 有关输入/输出特性的更多细节,请参阅 5.3.16 节。



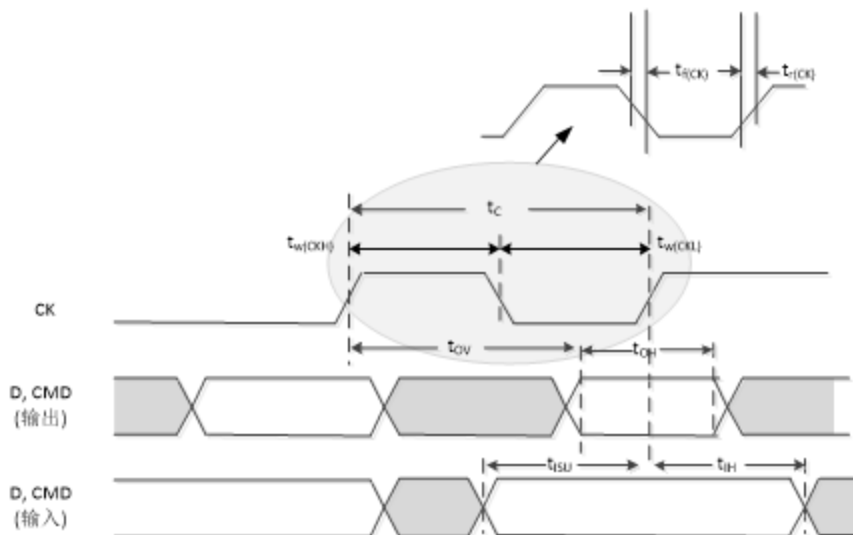


图 52 SDIO 高速模式

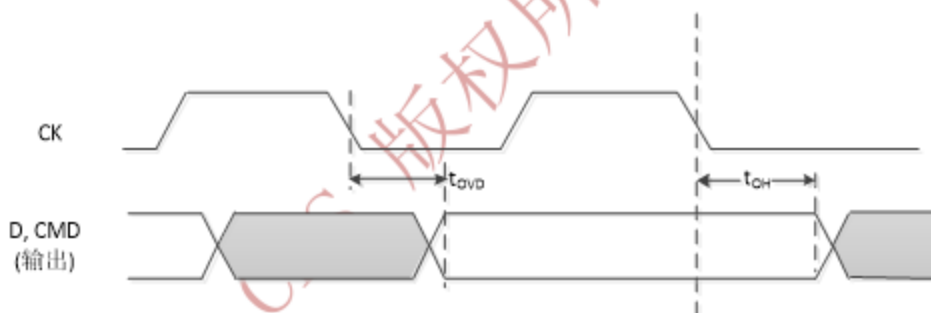


图 53 SD 默认模式

表 79 动态特性：SD/MMC 接口特性<sup>(1)</sup>

符号	参数	条件	最小	典型	最大	单位
$f_{pp}$	数据传输模式下的时钟频率	-	0	-	48	MHz
	SDIO_CK/ $f_{PCLK2}$ 频率比	-	-	-	8/3	
$t_{w(CLL)}$	时钟低时间	$f_{pp} = 48\text{MHz}$	8.5	9	-	ns
$t_{w(CLH)}$	时钟高时间	$f_{pp} = 48\text{MHz}$	8.3	10	-	ns
MMC 和 SD HS 模式，输入 CMD 和 D 相对于 CK 的关系						
$t_{SU}$	时钟上升时间	$f_{pp} = 48\text{MHz}$	3	-	-	ns
$t_{H}$	时钟下降时间	$f_{pp} = 48\text{MHz}$	0	-	-	ns
MMC 和 SD HS 模式，输出 CMD 和 D 相对于 CK 的关系						ns
$t_{OV}$	输入建立时间	$f_{pp} = 48\text{MHz}$	-	4.5	6	ns
$t_{OH}$	输入保持时间	$f_{pp} = 48\text{MHz}$	1	-	-	ns
SD 默认模式，输入 CMD 和 D 相对于 CK 的关系						

$t_{ISUD}$	输出有效时间	$f_{pp} = 24\text{MHz}$	1.5	-	-	ns
$t_{IHD}$	输出保持时间	$f_{pp} = 24\text{MHz}$	0.5	-	-	ns
SD 默认模式，输出 CMD 和 D 相对于 CK 的关系						
$t_{OVD}$	输出有效默认时间	$f_{pp} = 24\text{MHz}$	-	4.5	7	ns
$t_{OHD}$	输出保持默认时间	$f_{pp} = 24\text{MHz}$	0.5	-	-	ns

1. 由电气参数测试保证。

### 5.3.29 RTC 电气参数

标记	参数	条件	最小	最大
-	$f_{PCLK1}/\text{RTCCLK}$ 频率比例	任何到 RTC 寄存器的读写	4	-

## 6. 封装特性

### 6.1 LQFP64 封装信息

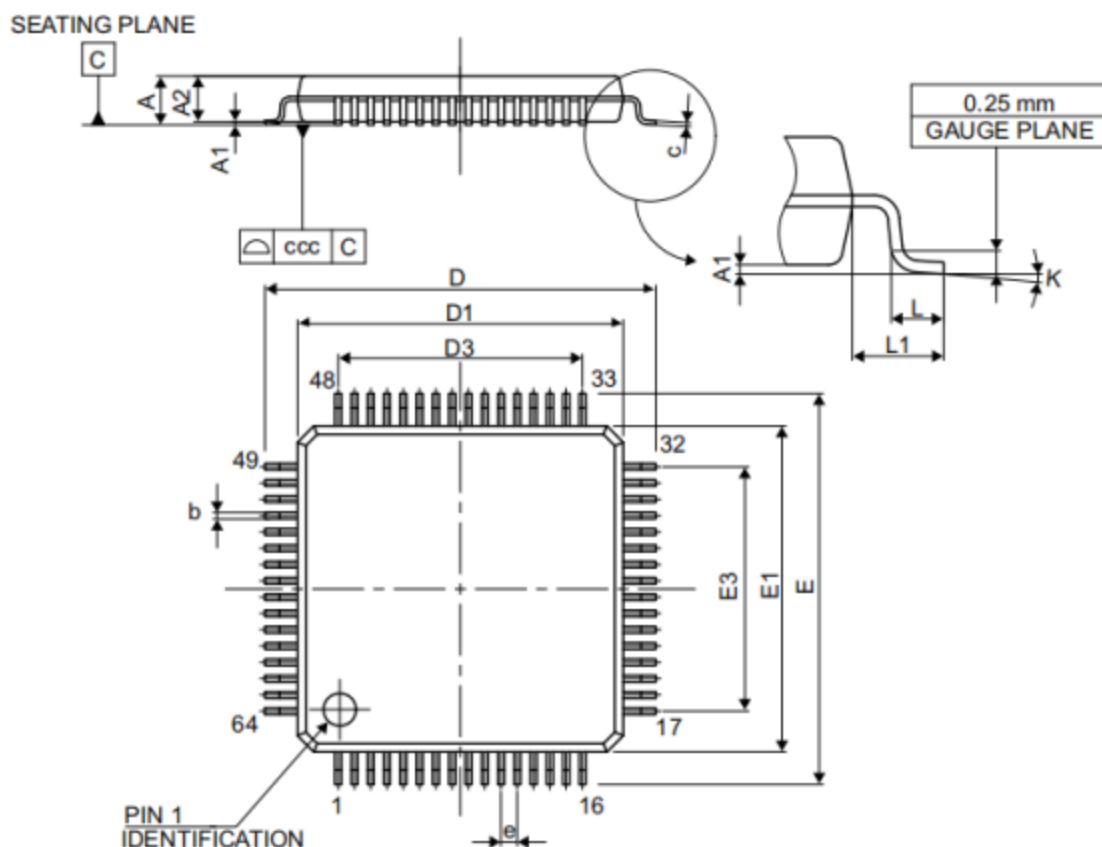


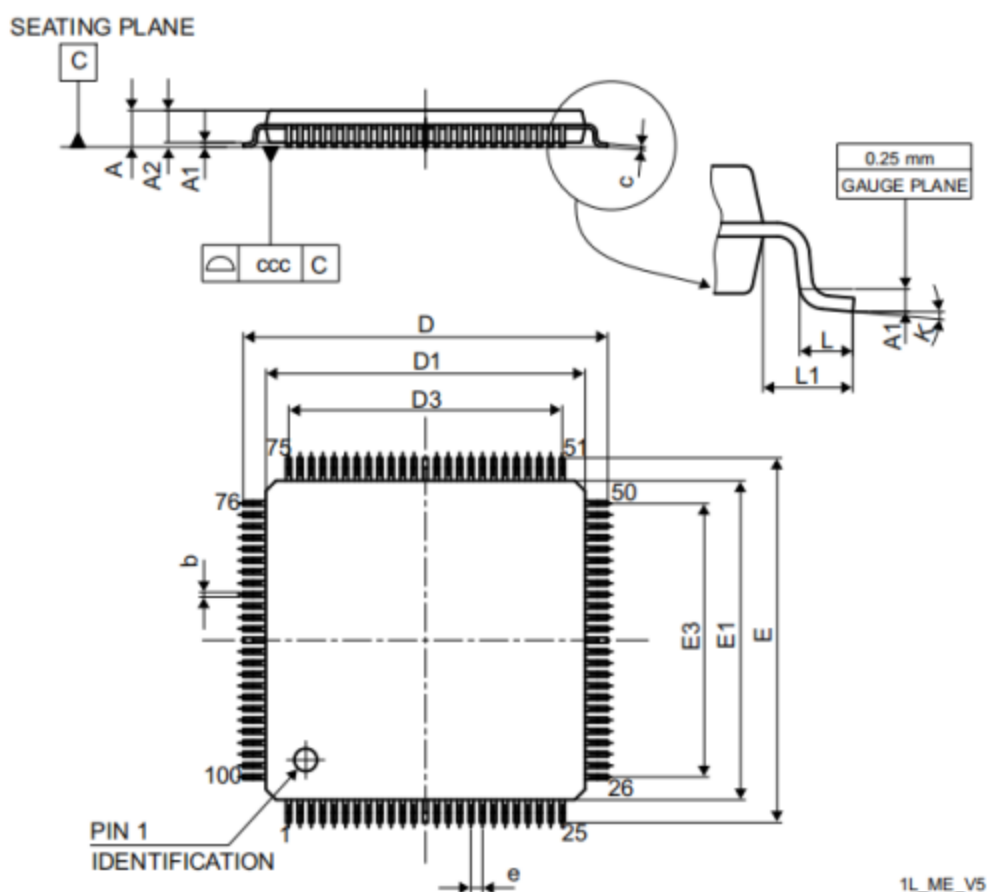
图 54 LQFP64，64 脚低剖面方形扁平封装图

1. 图不是按照比例绘制
2. 尺寸单位为毫米

表 80 LQFP64, 10 x 10, 64 脚低剖面方形扁平封装数据

标号	毫米		
	最小值	典型值	最大值
A	-	-	1.60
A1	0.05	-	0.15
A2	1.35	1.40	1.45
b	0.17	0.22	0.27
c	0.09	-	0.20
D	-	12.00	-
D1	-	10.00	-
D3	-	7.50	-
E	-	12.00	-
E1	-	10.00	-
E3	-	7.50	-
e	-	0.50	-
K	0°	3.5°	7°
L	0.45	0.60	0.75
L1	-	1.00	-
ccc	-	-	0.08

## 6.2 LQFP100 封装信息



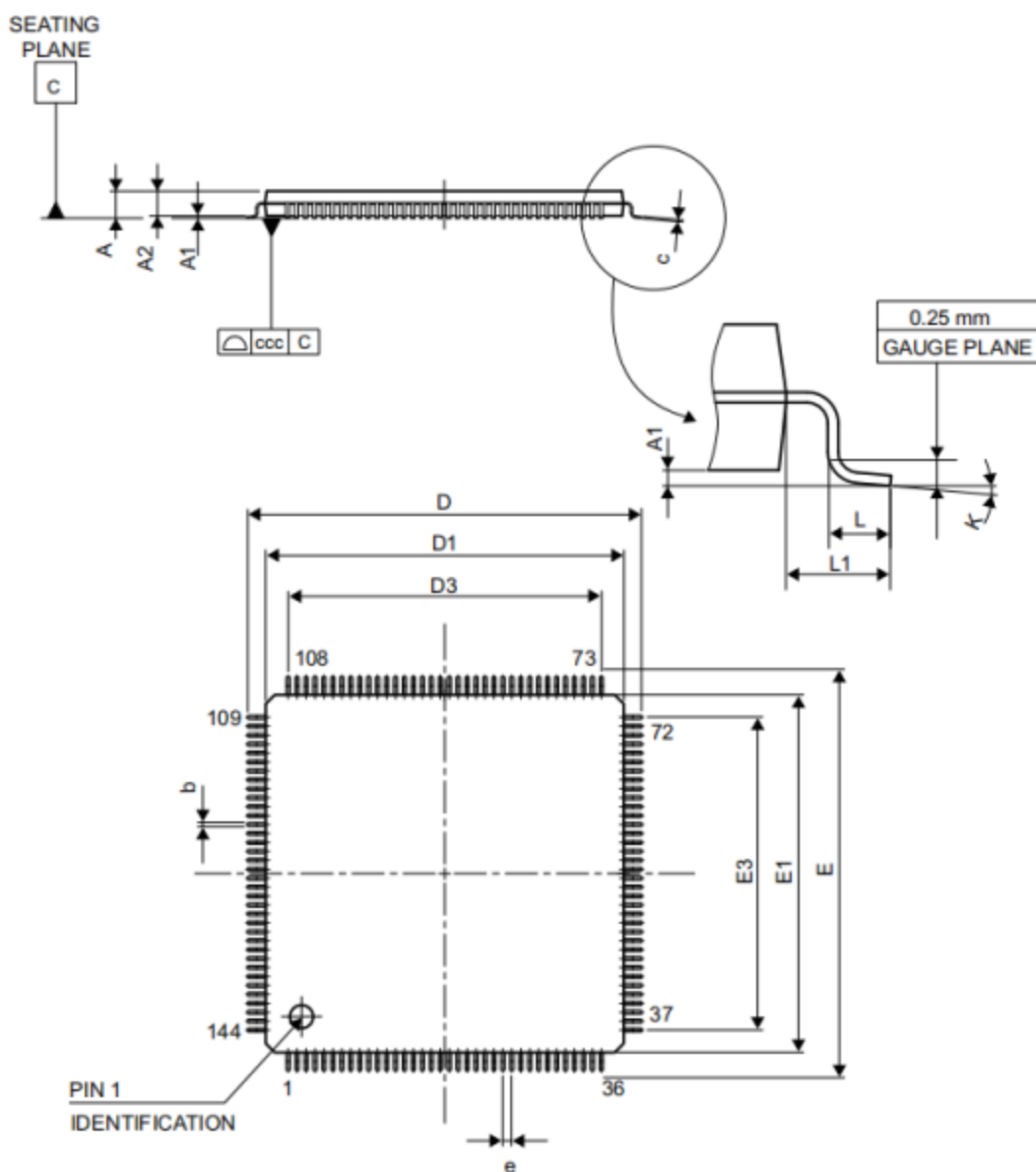
- 1.图不是按照比例绘制
- 2.尺寸单位为毫米

表 81 LQFP100, 14x14mm, 100 脚低剖面方形扁平封装数据

标号	毫米		
	最小值	典型值	最大值
A	-	-	1.60
A1	0.05	-	0.15
A2	1.35	1.40	1.45
b	0.17	0.22	0.27
c	0.09	-	0.20
D	15.80	16.00	16.20
D1	13.80	14.00	14.20
D3	-	12.00	-
E	15.80	16.00	16.20
E1	13.80	14.00	14.20
E3	-	12.00	-

e	-	0.50	-
L	0.45	0.60	0.75
L1	-	1.00	-
k	0°	3.5°	7°
ccc	-	-	0.08

### 6.3 LQFP144 封装信息



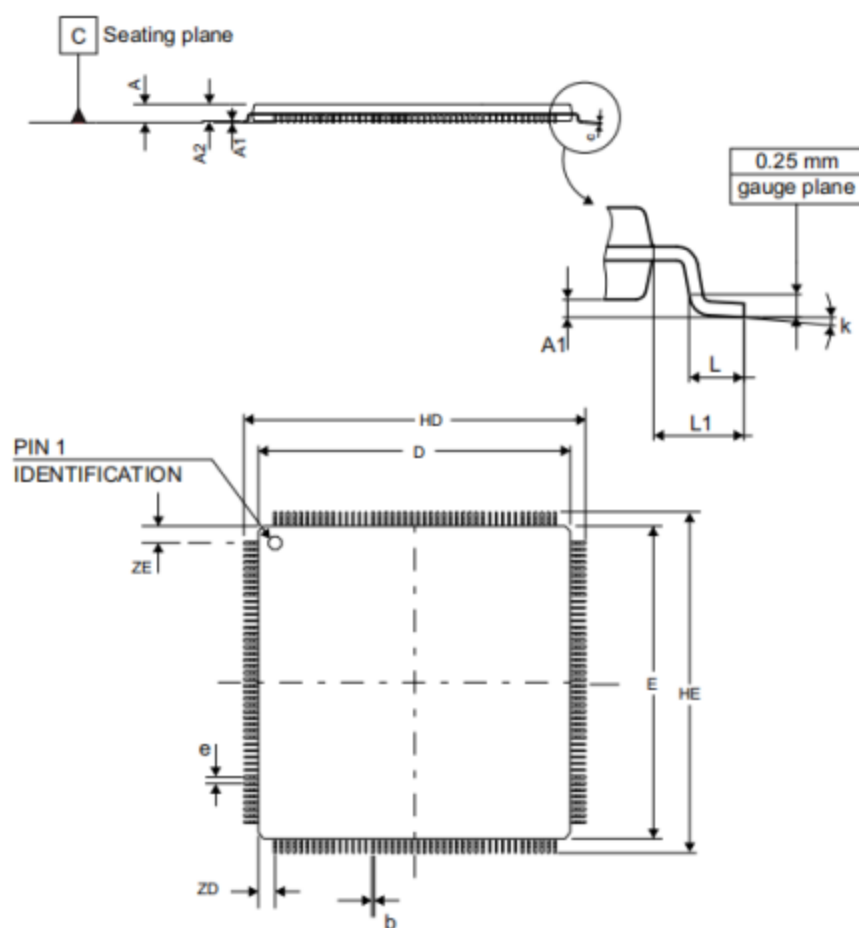
- 1.图不是按照比例绘制
- 2.尺寸单位为毫米

表 82 LQFP144, 144 脚低剖面方形扁平封装数据

标号	毫米		
	最小值	典型值	最大值

A	-	-	1.60
A1	0.05	-	0.15
A2	1.35	1.40	1.45
b	0.17	0.22	0.27
c	0.09	-	0.20
D	21.80	22.00	22.20
D1	19.80	20.00	20.20
D3	-	17.50	-
E	21.80	22.00	22.20
E1	19.80	20.00	20.20
E3	-	17.50	-
e	-	0.50	-
L	0.45	0.60	0.75
L1	-	1.00	-
k	0°	3.5°	7°
ccc	-	-	0.80

## 6.4 LQFP176 封装信息



- 1.图不是按照比例绘制
- 2.尺寸单位为毫米

表 83 LQFP176, 176 脚低剖面方形扁平封装数据

标号	毫米		
	最小值	典型值	最大值
A	-	-	1.60
A1	0.05	-	0.15
A2	1.35	1.40	1.45
b	0.17	0.22	0.27
c	0.09	-	0.20
D	23.90	-	24.10
HD	25.90	-	26.10
ZD	-	1.250	-
E	23.90	-	24.10
HE	25.90	-	26.10
ZE	-	1.25	-

e	-	0.50	-
L	0.45	0.60	0.75
L1	-	1.00	-
k	0°	3.5°	7°
ccc	-	-	0.08

## 7. 型号命名

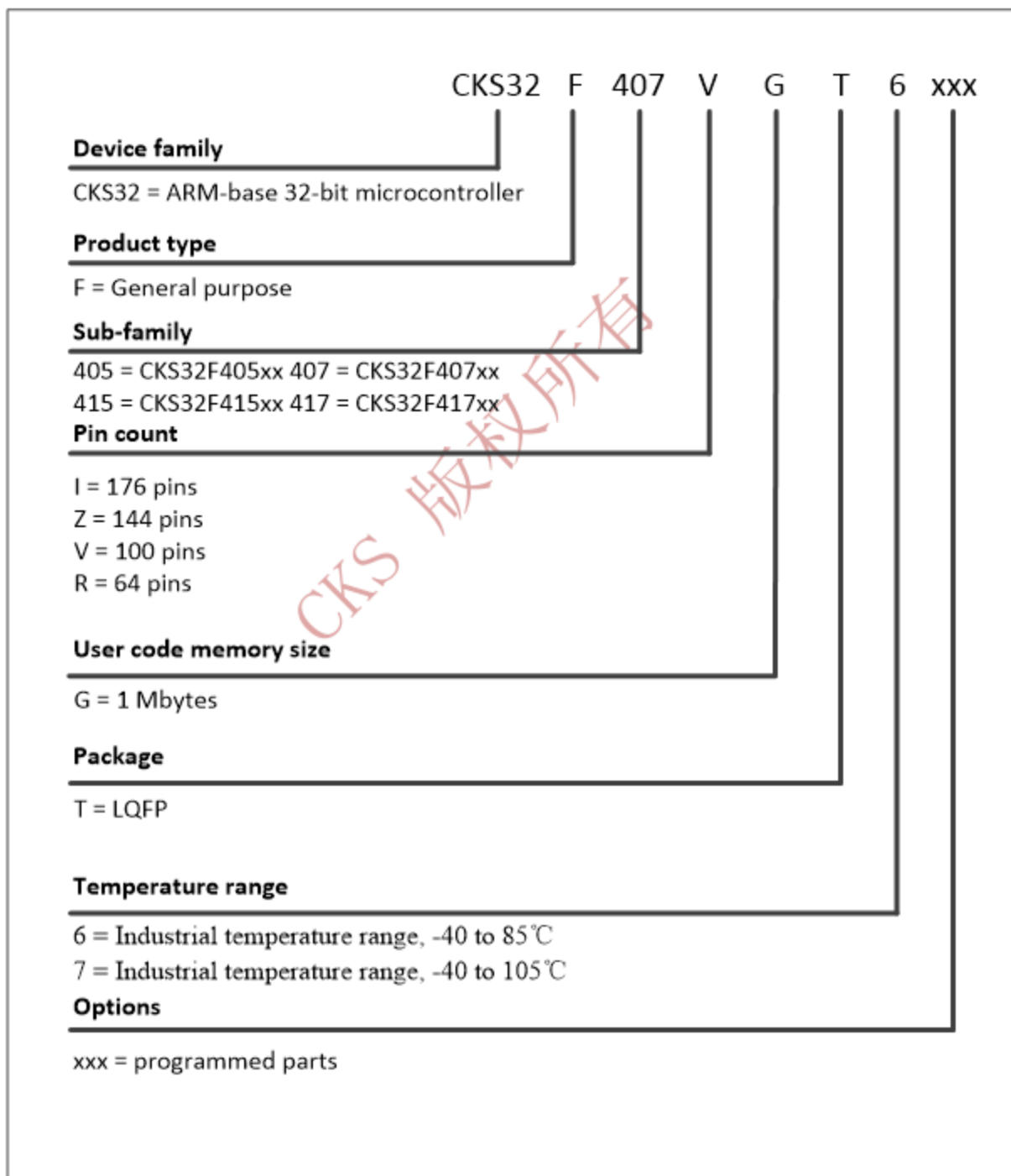


图 55 订货代码信息图示



## 8. 版本历史

表 84 版本历史

日期	版本	修改部分
2021.4.4	V0.1	初版
2021.7.29	V0.2	截图改成 visio 改排版 改错字
2021.9.22	V0.3	核对各个外设模块的图标
2021.10.9	V1.0	根据电参数测试结果汇入表格

CKS 版权所有