Инициализация и запуск AD1933 с помощью Master Control Port на ADAU1467.

Схема подключения.

MCLK = 12.288 МГц. В качестве генератора используется модуль DSPO 12.288 I2S LINK.

<u>RDC4-0027v1</u> - SigmaDSP ADAU1467. Модуль цифровой обработки звука. v1

<u>AD1933 DAC</u> - Аудио ЦАП. 8 дифференциальных выходов. Разрешение 24 бита, частота дискретизации 192кГц SigmaStudio



Сделаем настройки для работы модуля AD1933 AD с частотой дискретизации 96кГц и разрешением 24 бит. Шаг 1. Создаем проект в SigmaStudio с одной AD193х.

USB		
SPI 0x1 ADR0	-	AD193x
	-	IC 1
	-	
	-	
USB Interface		

В Register Control изменяем только две установки:

- 1. Enable Internal MCLK
- 2. Sample Rate 64/88,2/96 kHz

AD193x оставляем в Slave. Если хотите ещё что-то изменить делайте это сейчас.

Hardware Configuration							
PLL and Clock Control		DAC Control				Register Contents	
Power Down	OAC Clock Source     O     PLL Clock	Power Down	Master Mute	LRCLK Master Mode	BCLK Active Edge	PLL and Clock Control 0	b 10000000
Enable Internal MCLK	MCLK	Sample Rate	64/88.2/96 kHz	BCLK Master Mode	C Latch end-cycle	PLL and Clock Control 1	b 00001000
Disable on-chip Vref	ADC Clock Source	SDATA Delay (BCLK	32/44.1/48 kHz	LRCLK Polarity	BCLK Polarity	DAC Control 0	ь 00000010
PLL Lock Status	MCLK	Serial Format	128/176.4/192 kHz Stereo (Normal)	Left Low	Normal	DAC Control 0	ь 00000000
MCLK Pin Functionality (PLL	Active) 256*FS 🗸	Deemphasis Curve	Flat	•	0	DAC Control 0	ь 00000000
MCLK_O pin	Ext. Osc. enabled 🗸	Word Width	24 bit	OAC output polarity     ONormal	DBCLK pin	DAC Channel Mutes	ь 00000000
PLL Input	MCIK	BCLKs per frame	64	Inverted	Generate Internal	DAC 1 Left Volume	ь 00000000
						DAC 1 Right Volume	ь 00000000
ADC Control		DAC Volume Controls	5			DAC 2 Left Volume	ь 00000000
Channel Mutes	Power Down					DAC 2 Right Volume	ь 00000000
1L 1R 2L 2R	Enable Highpass Filter	6 -	-66 -	-666	66	DAC 3 Left Volume	ь 00000000
Output Sample Rate	32/44.1/48 kHz 👻		-2626 -	-262626	-2626	DAC 3 Right Volume	ь 00000000
Word Width	24 bits 👻	-36 -	-3636 -	-363636	-3636	DAC 4 Left Volume	ь 00000000
SDATA Delay (BCLK periods)	1 👻	-46 -	-4646 -	-464646	-4646	DAC 4 Right Volume	ь 00000000
Serial Format	Stereo 👻	-56 -	-5656 -	-565656	-5656	ADC Control 0	ь 00000000
BCLKs per frame	64 🗸		-6666 -	-666666		ADC Control 1	ь 00000000
BCLK Master Mode	LRCLK Master Mode	86 -	-8686 -	-868686		ADC Control 2	ь 00000000
BCLK Source	LRCLK Format	96	-9696 -	-969696			
<ul> <li>ABCLK pin</li> <li>Generate Internal</li> </ul>	<ul> <li>50/50 cycle</li> <li>Pulse</li> </ul>	0	0 0	0 0 0	0 0	Get Current Settings F	rom Chip
BCLK Polarity	LRCLK Polarity	Mute	Mute Mute	Mute Mute Mute	Mute Mute		
<ul> <li>Drive falling edge</li> <li>Drive rising edge</li> </ul>	<ul> <li>left low</li> <li>left high</li> </ul>	Channel 1L Char	nnel 1R Channel 2L Cha	nnel 2R Channel 3L Channel 3R	Channel 4L Channel 4R	Write Current Setting	to Chip

## Шаг 2.

Очистите окно Capture нажав иконку с крестиком.

Config I	Config IC 1 - AD193x Register Controls							
Capture								₽×
😹 🖬-								«
Mode	Time	Cell Name	Parameter Name	Address	Value	Data	Bytes	
Clear All Outp	ut Data 10 - 232ms		IC 1.DacCtrl2R	0x0004		0x41	1	
Block Write	16:37:10 - 237ms		IC 1.HWConfig	0x0000		0x00	1	
Block Write	16:37:10 - 237ms		IC 1.HWConfig	0x0001		0x72	1	
Block Write	16:37:10 - 237ms		IC 1.HWConfig	0x0002		0x00	1	
Block Write	16:37:10 - 237ms		IC 1.HWConfig	0x0003		0x00	1	
Block Write	16:37:10 - 237ms		IC 1.HWConfig	0x0004		0x41	1	
Block Write	16:37:10 - 237ms		IC 1.HWConfig	0x0005		0x00	1	
Plack Write	16.07.10 007mg		TO 1 HIMConfe	000006		0~00	4	

Вытяните скрытое окно Sequence. Стрелка в правом углу.

Config	IC 1 - AD193x R	egister Controls						-
Capture								φ ×
								× 🖌
Mode	Time	Cell Name	Parameter Name	Address	Value	Data	Bytes (	
								Display Sequence Window

Скомпилируете этот проект – нажмите Link Compile Connect. Окно Capture заполнится данными инициализации Address, Data. Создайте последовательность действий Add to sequence.

Capture													
💥 🔟 -										🛃 🕺 🖻 🛍 🕢 🤯			
Mode	Time	Cell Name	Parameter Name	Address	Value	Data	Bytes :	Mode 0	Mode	Address	Bytes	Data	
Block Write	17:3:59 - 680ms		IC 1.DacCtrl2R	0x0004		0x01	1		Write	4	1	0x01	
Block Write	17:3:59 - 680ms		IC 1.HWConfig	0x0000		0x80	1		Write	0	1	0x80	
Block Write	17:3:59 - 680ms		IC 1.HWConfig	0x0001		0,00	1		Write	1	1	0x08	
Block Write	17:3:59 - 680ms		IC 1.HWConfig	0x0002		0x02	1		Write	2	1	0x02	
Block Write	17:3:59 - 680ms		IC 1.HWConfig	0x0003		0x00	1		Write	3	1	0x00	
Block Write	17:3:59 - 680ms		IC 1.HWConfig	0x0004		0x01	1		Write	4	1	0x01	
Block Write	17:3:59 - 680ms		IC 1.HWConfig	0x0005		Copyt	o clipboard		Write	5	1	0x00	
Block Write	17:3:59 - 680ms		IC 1.HWConfig	0x0006					Write	6	1	0x00	
Block Write	17:3:59 - 680ms		IC 1.HWConfig	0x0007		Save a	s Text		Write	7	1	0x00	
Block Write	17:3:59 - 680ms		IC 1.HWConfig	0x0008		Save a	s Raw Data	→	Write	8	1	0x00	
Block Write	17:3:59 - 680ms		IC 1.HWConfig	0x0009		Add to	requence		Write	9	1	0x00	
Block Write	17:3:59 - 680ms		IC 1.HWConfig	0x000A		Audito	sequence		Write	10	1	0x00	
Block Write	17:3:59 - 680ms		IC 1.HWConfig	0x000B		Clear			Write	11	1	0x00	
Block Write	17:3:59 - 680ms		IC 1.HWConfig	0x000C		cicai			Write	12	1	0x00	
Block Write	17:3:59 - 680ms		IC 1.HWConfig	0x000D		Addres	is in Hex		Write	13	1	0x00	
Block Write	17:3:59 - 680ms		IC 1.HWConfig	0x000E		Dete in	Dimension		Write	14	1	0x00	
Block Write	17:3:59 - 680ms		IC 1.HWConfig	0x000F		Data in	Binary		Write	15	1	0x00	
Block Write	17:3:59 - 680ms		IC 1.HWConfig	0x0010		0x00	1		Write	16	1	0x00	
Block Write	17:3:59 - 680ms		IC 1.DacCtrl2R	0x0004		0x00	1		Write	4	1	0x00	

Сохраните последовательность в xml файл. Save Sequence File.



Больше нам этот проект не нужен. Можно закрыть.

## Шаг 3.

Создаем или открываем проект в SigmaStudio на ADAU1467. Он может быть любым, но в него должен быть добавлен алгоритм Master Control Port IO. Он никуда не подключается, просто есть. Этот алгоритм разрешает работу через встроенные в ADAU1467 порты I2C и SPI.



Настройки алгоритма. Нажмите синюю кнопку I2C SPI и установите настройки как на рисунке.

	Control Port Properties
Slave 0 V 📴 🔶	Properties         Target Bitrate:       1000 ÷       kHz       Sub-Address Bytes:       1 ÷       byte         Slave Select:       SS_M Pin       0 ÷       1 ÷       byte
ControlPort11	SPI       SPI Mode 0       SPI Mode 0       Ormand Length:       1       Write Instruction:       8       Write-Enable:
	Sequence File test1467_ad1933\1933_96_Slave.xml
	OK Cancel

Sequence File это тот xml-файл который записали на втором шаге.

AD1933 управляется только через порт SPI. Но к этому порту уже подключена микросхема памяти, EEPROM 25AA1024. Параллельных разъемов на модуле RDC4-0027 нет, поэтому придется подпаятся к микросхеме памяти. Нас интересуют только два вывода это общие для всех девайсов подключенных к SPI - MOSI (5) и SCLK (6).

Так как читать из AD нам нечего MISO не задействуем. В качестве Чип Селекта SS можно настроить любой GPIO на ADAU. Выбираем для настройки M16.

Шаг 4. Настройка ADAU1467.

Сначала настроим MP16 для работы в качестве выхода SS (чип селект). Вкладка MULTIPURPOSE. Enable MP function of the pin – выбираем MP function of the pin is selected.

Mode Setting For MPx – выбираем Slave select for the master control port

FTDM	1_OUT AUXADC MULTIPUR	POSE MULTIPURPOSE1 SPDIF SP	PDIF_RX_			
	MP5 MODE	MP6 MODE				
tion	Slave select channel selection	Slave select channel selection		MP15 MODE	MP16 MODE	MP17 MOI
	Slave select chanr 👻	Slave select chanr 👻	in.	Slave select channel selection	Slave select channel selection	Slave selec
	Debounce time setting	Debounce time setting		Slave select chanr 👻	Slave select chanr 👻	Slave sele
	No debounce 👻	No debounce 🗸		Debounce time setting	Debounce time setting	Debounce t
	Mode Setting for MPx	Mode Setting for MPx		No debounce 👻	No debounce 👻	No debour
	Input from pin 🛛 👻	Output without pul 💌		Mode Setting for MPx	Mode Setting for MPx	Mode Settin
pin	Enable MP function of the pin	Enable MP function of the pin		Input from pin 👻	master control port 📼	Input from
	Primary function or 👻	the pin is selected	1	Enable MP function of the pin	Input from pin	e MP
	MP12 MODE	Primary function of the pin is selected MP function of the pin is selected		Primary function o' 🔻	Output with pull-up	iary fu
tion	Slave select channel selection	Slave select channel selection		MP21 MODE	Digital microphone data or clock	к <u>змо</u> г
	Slave select chanr 👻	Slave select chanr 👻	n	Slave select channel selection	Output the panic manager flag	selec
	Debounce time setting	Debounce time setting		Slave select chanr 👻	Slave select of the master con	save sele
	No debounce 👻	No debounce 👻		Debounce time setting	Debounce time setting	Debounce t
				No dobouroo -	No debourses -	No dobour

Чтобы проект ADAU1467 тоже работал на частоте 96кГц. Нужно сделать ещё несколько настроек: Sample Rate установите в 96kHz. В Hardware Configuration / CLOCK\_CONTROL изменить делитель для CLK GEN1 - вместо 6 установить 3. Больше ничего менять не надо.

icił	,						
	i 🗉 🙃 🗉 🗧 🏞 🖧 🦓	🦧 😽   器   🖅 96 kHz	- i :6:				
-	×	-					
:	Hardware Configuration Schematic	c Block Schematic					
	CLOCK_CONTROL Read This Page	ROUTING_MATRIX SERIAL_PORTS	ASRC POWER_CLOCKING	PIN_DRIVE DIGITAL_MIC	FTDM_IN FTDM_OUT	AUXADC MULTIPURPOSE	MULTIPU
	PLL CLK SRC Clock source select PLL clock	PLL CIRL1 PLL input clock divider Divide by 4	PLL CIFLU PLL Feedback Divider 96.000	System Clock	CLK GEN1		► x 4
	PLLENABLE	MCLK OUT Frequency of CLKOUT Base_Fs x 256 (12.288 MHz for 48 I CLKOUT Enable	kHz) 🔻	÷1024	x N 1.000 x M 3.000	Read	x 2 x 1 ÷ 2 ÷ 4 ÷ 4 x 4
	PLL LOCK	START PULSE Start Pulse Selection		÷1024	× N 1.000 × M 9.000		x 2 x 1 ÷ 2 ÷ 4 x 4
	PLL WATCHDOG PLL watchdog enabled	Base_Fs (48 kHz for 48 kHz base samp	de rate) (Cl ▼	+1024	× N 0.000	Read	x 2 x 1 ÷ 2 ÷ 4
			reference Needs I tells the coming	a for the 3rd Clock Gen. N/M ratio	CLK GEN3 LOC look bit	ĸ	
				Rea	a	Read	
	Config IC 1 - ADAU1467 Re	egister Controls IC 2 - WinE2	PromLoader				
		-11					

Выходные порты I2S должны быть настроены в режим Master.

Hardware Configuration Schematic Block Sch	nematic		
CLOCK_CONTROL CORE_CONTROL ROUTING_MA	ATRIX SERIAL_PORTS	ASRC POWER_CLOCKING	PIN_DRIVE DIGITAL_N
Read This Page SDATA_OUTO Serial Output Port 0			
SERIAL BYTE 4 0 Word Length 24 bits • MSB Position I2S - BCLK delay by 1 •	BCLK BCLK Source BC BCLK Polarity	K is master	Pin 48
specifies Channels/frame and BCLK/channels 2 channels, 32 bit/channel	LRCLK Source	CLK is master  V50 duty cycle clock egative polarity	Pin 47 as LRCKL
SERIAL BYTE 4 1 Sampling Rate Fs  Selects the clock generator to use Clock generator 1 (48 kHz (FS) generator) Tristate unused output channels Drive every output channel	▼ Read		

Стройте свой проект и загружайте в ADAU1467.