基于ARM®32位的Cortex®-M4F微控制器+FPU，带256 K字节至1024 K字节内部闪存、sLib、USB、17个定时器、3个ADC、20个通信接口

功能

- **内核：带有FPU的ARM®32位的Cortex®-M4F CPU**
  - 最高240 MHz工作频率，带存储器保护单元(MPU)，内建单周期乘法和硬件除法
  - 内建浮点运算(FPU)，具有DSP指令集
- **存储器**
  - 从256 K字节至1024 K字节的内部闪存程序/数据存储器
  - sLib：将指定之主存储区设为执行代码安全库区，此区代码仅能调用无法读取
  - SPIM接口：额外提供高达16 M字节外部SPI闪存程序数据存储器接口
  - 高达96+128 K字节的SRAM
  - 带2个片选外部存储器控制器(XMC)，支持复用信号的NOR/PSRAM和NAND存储器
  - 并行LCD接口，兼容8080/6800模式
- **时钟、复位和电源管理**
  - 2.6至3.6伏供电和I/O引脚
  - 上电/断电复位(POR/PDR)、可编程电压监测器(PVD)
  - 4至25 MHz晶体振荡器
  - 内嵌经出厂调校的48 MHz RC振荡器(25 °C达1 %精度，-40 °C至+105 °C达2.5 %精度)，带自动时钟校准功能(ACC)
  - 内嵌带校准的40 kHz RC振荡器
  - 带校准功能的32 kHz晶体振荡器
- **低功耗**
  - 睡眠、停机、和待机模式
  - V_{BAT}为RTC和42个16位的后备寄存器供电
- **3个12位A/D转换器，0.5 µs转换时间(多达16个输入通道)**
  - 转换范围：0至3.6 V
  - 三组采样和保持功能
  - 温度传感器
- **2个12位D/A转换器**
- **DMA：14通道DMA控制器**
  - 支持的外设：定时器、ADC、DAC、SDIO、I²S、SPI、I²C、和USART
- **调试模式**
  - 串行线调试(SWD)和JTAG接口
  - Cortex®-M4F内嵌跟踪模块(ETM™)
- **多达80个快速I/O端口**
  - 37/51/80个多功能双向的I/O口，所有I/O口可以映像到16个外部中断；几乎所有I/O口可容忍5V输入信号
  - 所有I/O口均为快速I/O，寄存器访问速度最高f_{AHB}
- **多达17个定时器**
  - 多达8个16位定时器+2个32位定时器，每个定时器有多达4个用于输入捕获/输出比较/PWM或脉冲计数的通道和增量编码器输入
  - 多达2个16位带死区控制和紧急刹车，用于电机控制的PWM高级控制定时器
  - 2个看门狗定时器(独立的和窗口型的)
  - 系统时间定时器：24位自减型计数器
  - 2个16位基本定时器用于驱动DAC
- **多达20个通信接口**
  - 多达3个I²C接口(支持SMBus/PMBus)
  - 多达8个USART接口(支持ISO7816，LIN，IrDA接口和调制解调控制)
  - 多达4个SPI接口(50 M位/秒)，4个均可复用为I²S接口，其中I²S2/I²S3支持全双工
  - 多达2个CAN接口(2.0B主动)
  - USB2.0全速设备接口，支持无晶振(crystal-less)
  - 多达2个SDIO接口
- **CRC计算单元，96位的芯片唯一代码**
- **封装**
  - LQFP100 14 x 14 mm
  - LQFP64 10 x 10 mm
  - LQFP48 7 x 7 mm
  - QFN48 6 x 6 mm

表 1. 选型列表

内部闪存存储器	型号
1024 K字节	AT32F403ACGT7, AT32F403ACGU7, AT32F403ARGT7, AT32F403AVGT7
512 K字节	AT32F403ACET7, AT32F403ACEU7, AT32F403ARET7, AT32F403AVET7
256 K字节	AT32F403ACCT7, AT32F403ACCU7, AT32F403ARCT7, AT32F403AVCT7

目录

1 介绍 10

2 规格说明 11

2.1 器件一览 12

2.2 概述 13

2.2.1 ARM®Cortex®-M4F，配有 DSP 指令和 FPU 13

2.2.2 存储器保护单元(MPU) 15

2.2.3 闪存存储器 15

2.2.4 循环冗余校验(CRC)计算单元 15

2.2.5 内置 SRAM 15

2.2.6 外部存储器控制器(XMC) 15

2.2.7 LCD 并行接口 15

2.2.8 嵌套的向量式中断控制器(NVIC) 16

2.2.9 外部中断/事件控制器(EXTI) 16

2.2.10 时钟和启动 16

2.2.11 启动模式 18

2.2.12 供电方案 18

2.2.13 供电监控器 18

2.2.14 电压调压器 18

2.2.15 低功耗模式 19

2.2.16 直接存储器访问控制器(DMA) 19

2.2.17 实时时钟(RTC)和后备寄存器 19

2.2.18 定时器和看门狗 20

2.2.19 内部集成电路总线(I^2C) 22

2.2.20 通用同步/异步收发器(USART) 22

2.2.21 串行外设接口(SPI) 22

2.2.22 内部集成音频接口(I^2S) 22

2.2.23 安全数字输入/输出接口(SDIO) 22

2.2.24 控制器区域网络(CAN) 23

2.2.25 通用串行总线(USB) 23
2.2.26 通用输入输出口(GPIO) 23
2.2.27 重映像功能 23
2.2.28 模拟/数字转换器(ADC) 23
2.2.29 数字/模拟信号转换器(DAC) 24
2.2.30 温度传感器 24
2.2.31 串行线 JTAG 调试口(SWJ-DP) 24
2.2.32 内嵌跟踪模块(ETM™) 24

3 引脚定义 25

4 存储器映像 35

5 电气特性 36

5.1 测试条件 36
5.1.1 最小和最大数值 36
5.1.2 典型数值 36
5.1.3 典型曲线 36
5.1.4 负载电容 36
5.1.5 引脚输入电压 36
5.1.6 供电方案 37
5.1.7 电流消耗测量 37
5.2 绝对最大额定值 38
5.3 工作条件 39
5.3.1 通用工作条件 39
5.3.2 上电和掉电时的工作条件 39
5.3.3 内嵌复位和电源控制模块特性 40
5.3.4 内置的参照电压 41
5.3.5 供电电流特性 41
5.3.6 外部时钟源特性 50
5.3.7 内部时钟源特性 54
5.3.8 低功耗模式唤醒时间 55

5.3.9 PLL 特性 56
5.3.10 存储器特性 56
5.3.11 XMC 特性 57
5.3.12 EMC 特性 66
5.3.13 绝对最大值(电气敏感性) 67
5.3.14 I/O 端口特性 68
5.3.15 NRST 引脚特性 70
5.3.16 TMR 定时器特性 70
5.3.17 通信接口 71
5.3.18 12 位 ADC 特性 79
5.3.19 DAC 电气参数 83
5.3.20 温度传感器特性 84

6 封装特性 85

6.1 LQFP100 封装数据 85
6.2 LQFP64 封装数据 87
6.3 LQFP48 封装数据 89
6.4 QFN48 封装数据 91
6.5 热特性 93

7 订货代码 94

8 版本历史 95

表目录

表 1. 选型列表 1
表 2. AT32F403A 系列器件功能和配置 12
表 3. 启动加载程序(Bootloader)的型号支持和管脚配置 18
表 4. 定时器功能比较 20
表 5. USART/UART 功能比较 22
表 6. AT32F403A 系列引脚定义 28
表 7. XMC 引脚定义 33
表 8. 电压特性 38
表 9. 电流特性 38
表 10. 温度特性 38
表 11. 通用工作条件 39
表 12. 上电和掉电时的工作条件 39
表 13. 内嵌复位和电源控制模块特性 40
表 14. 内置的参照电压 41
表 15. 运行模式下的最大电流消耗 42
表 16. 睡眠模式下的最大电流消耗 43
表 17. 停机和待机模式下的典型和最大电流消耗 43
表 18. V_{BAT} 的典型和最大电流消耗 45
表 19. 运行模式下的典型电流消耗 46
表 20. 睡眠模式下的典型电流消耗 47
表 21. 内置外设的电流消耗 48
表 22. 高速外部用户时钟特性 50
表 23. 低速外部用户时钟特性 51
表 24. HSE 4~25 MHz 振荡器特性 52
表 25. LSE 振荡器特性(f_{LSE} = 32.768 kHz) 53
表 26. HSI 振荡器特性 54
表 27. LSI 振荡器特性 54
表 28. 低功耗模式的唤醒时间 55
表 29. PLL 特性 56
表 30. 内部闪存存储器特性 56

表 31. 内部闪存存储器寿命和数据保存期限 56
表 32. 异步总线复用的 PSRAM/NOR 读操作时序 58
表 33. 异步总线复用的 PSRAM/NOR 写操作时序 59
表 34. 同步总线复用 PSRAM/NOR 读时序 61
表 35. 同步总线复用 PSRAM 写时序 62
表 36. NAND 闪存读写周期的时序特性 65
表 37. EMS 特性 66
表 38. ESD 绝对最大值 67
表 39. 电气敏感性 67
表 40. I/O 静态特性 68
表 41. 输出电压特性 69
表 42. 输入交流特性 69
表 43. NRST 引脚特性 70
表 44. TMRx 特性 70
表 45. I^2C 接口特性 71
表 46. SCL 频率(f_{PCLK1} = 36 MHz，V_{DD} = 3.3 V) 72
表 47. SPI 和 SPIM 特性 73
表 48. I^2S 特性 75
表 49. SD/MMC 接口特性 77
表 50. USB 启动时间 78
表 51. USB 直流特性 78
表 52. USB 全速电气特性 78
表 53. ADC 特性 79
表 54. f_{ADC} = 14 MHz 时的最大 R_{AIN} 80
表 55. f_{ADC} = 28 MHz 时的最大 R_{AIN} 80
表 56. ADC 精度(V_{DDA} = 3.0~3.6 V, V_{REF+} = V_{DDA}, T_A = 25 °C) 81
表 57. ADC 精度(V_{DDA} = 2.6~3.6 V, T_A = -40~105 °C) 81
表 58. DAC 特性 83
表 59. 温度传感器特性 84
表 60. LQFP100 – 14 x 14 mm 100 脚薄型正方扁平封装机械数据 86
表 61. LQFP64 – 10 x 10 mm 64 脚薄型正方扁平封装机械数据 88

表 62. LQFP48 – 7 x 7 mm 48 脚薄型正方扁平封装机械数据 90
表 63. QFN48 – 6 x 6 mm 48 脚正方扁平无引线封装机械数据 92
表 64. 封装的热特性 93
表 65. AT32F403A 系列订货代码信息图示 94
表 66. 文档版本历史 95

图目录

图 1. AT32F403A 系列功能框图 14
图 2. 时钟树 17
图 3. AT32F403A 系列 LQFP100 引脚分布 25
图 4. AT32F403A 系列 LQFP64 引脚分布 26
图 5. AT32F403A 系列 LQFP48 引脚分布 27
图 6. AT32F403A 系列 QFN48 引脚分布 27
图 7. 存储器图 35
图 8. 引脚的负载条件 36
图 9. 引脚输入电压 36
图 10. 供电方案 37
图 11. 电流消耗测量方案 37
图 12. 上电复位和掉电复位的波形图 40
图 13. 停机模式下的典型电流消耗在不同的 V_{DD} 时与温度的对比 44
图 14. 待机模式下的典型电流消耗在不同的 V_{DD} 时与温度的对比 44
图 15. V_{BAT} 的典型电流消耗（LSE 和 RTC 开启）在不同的 V_{BAT} 电压时与温度的对比 45
图 16. 外部高速时钟源的交流时序图 50
图 17. 外部低速时钟源的交流时序图 51
图 18. 使用 8 MHz 晶体的典型应用 52
图 19. 使用 32.768 kHz 晶体的典型应用 53
图 20. HSI 振荡器精度与温度的对比 54
图 21. 异步总线复用 PSRAM/NOR 读操作波形 57
图 22. 异步总线复用 PSRAM/NOR 写操作波形 58
图 23. 同步总线复用 PSRAM/NOR 读时序 60
图 24. 同步总线复用 PSRAM 写时序 61
图 25. NAND 控制器读操作波形 63
图 26. NAND 控制器写操作波形 64
图 27. NAND 控制器在通用存储空间的读操作波形 64
图 28. NAND 控制器在通用存储空间的写操作波形 64
图 29. 建议的 NRST 引脚保护 70
图 30. I^2C 总线交流波形和测量电路 72

图 31. SPI 时序图 – 从模式和 CPHA = 0 74
图 32. SPI 时序图 – 从模式和 CPHA = 1 74
图 33. SPI 时序图 – 主模式 74
图 34. I^2S 从模式时序图(Philips 协议) 75
图 35. I^2S 主模式时序图(Philips 协议) 76
图 36. SDIO 高速模式 77
图 37. SD 默认模式 77
图 38. USB 时序：数据信号上升和下降时间定义 78
图 39. ADC 精度特性 81
图 40. 使用 ADC 典型的连接图 82
图 41. 供电电源和参考电源去藕线路(V_{REF+}未与 V_{DDA} 相连) 82
图 42. 供电电源和参考电源去藕线路(V_{REF+}与 V_{DDA} 相连) 82
图 43. V_{SENSE} 对温度理想曲线图 84
图 44. LQFP100 – 14 x 14 mm 100 脚薄型正方扁平封装图 85
图 45. LQFP100 – 14 x 14 mm 标记(封装俯视图) 86
图 46. LQFP64 – 10 x 10 mm 64 脚薄型正方扁平封装图 87
图 47. LQFP64 – 10 x 10 mm 标记(封装俯视图) 88
图 48. LQFP48 – 7 x 7 mm 48 脚薄型正方扁平封装图 89
图 49. LQFP48 – 7 x 7 mm 标记(封装俯视图) 90
图 50. QFN48 – 6 x 6 mm 48 脚正方扁平无引线封装图 91
图 51. QFN48 – 6 x 6 mm 标记(封装俯视图) 92

1 介绍

本文给出了AT32F403A系列产品的订购信息和器件的机械特性。

AT32F403A系列数据手册，必须结合AT32F403A系列参考手册一起阅读。有关内部闪存存储器的编程、擦除和保护等信息，也可在AT32F403A系列参考手册中取得。

有关Cortex®-M4核心的相关信息，请参考Cortex-M4技术参考手册，可以在ARM公司的网站下载：http://infocenter.arm.com

2 规格说明

AT32F403A系列使用高性能的ARM®Cortex®-M4F 32位的RISC内核，工作频率为240 MHz，Cortex®-M4F内核带有单精度浮点运算单元(FPU)，支持所有ARM®单精度数据处理指令和数据类型。它还具有一组DSP指令和提高应用安全性的一个存储器保护单元(MPU)。

AT32F403A系列内置高速存储器(高达1024 K字节的内存和96+128 K字节的SRAM)，并可使用外部存储器(高达16 M字节的SPI闪存)，丰富的增强I/O端口和联接到两条APB总线的外设。内置存储器可设置任意范围程序区受sLib保护，成为执行代码安全库区。

器件包含3个12位的ADC、2个12位的DAC、8个通用16位定时器、2个通用32位定时器和多达2个PWM定时器，还包含标准和先进的通信接口：多达3个I^2C接口、4个SPI接口(复用为I^2S接口)、2个SDIO接口、8个USART/UART接口、1个USB接口、和2个CAN接口。

AT32F403A系列工作于-40 °C至+105 °C的温度范围，供电电压2.6 V至3.6 V，省电模式保证低功耗应用的要求。

2.1 器件一览

AT32F403A系列产品提供包括从48脚至100脚的4种不同封装形式；根据不同的封装形式，其成员之间是完全地脚对脚兼容，软件和功能上也兼容，仅器件中的外设配置不尽相同。下面给出了该系列产品中所有外设的基本介绍。

表 2. AT32F403A 系列器件功能和配置

型号		AT32F403AxxU7			AT32F403AxxT7								
		CC	CE	CG	CC	CE	CG	RC	RE	RG	VC	VE	VG
频率 (MHz)		240											
内部闪存(1)	ZW (K 字节)(2)	256	256	256	256	256	256	256	256	256	256	256	256
	NZW (K 字节)(2)	0	256	768	0	256	768	0	256	768	0	256	768
	加总 (K 字节)	256	512	1024	256	512	1024	256	512	1024	256	512	1024
SRAM (K 字节)		96 + 128(2)											
定时器	高级	2			2			2			2		
	32 位通用	2			2			2			2		
	16 位通用	8			8			8			8		
	基本	2			2			2			2		
	SysTick	1			1			1			1		
	IWDG	1			1			1			1		
	WWDG	1			1			1			1		
	RTC	1			1			1			1		
通信接口	I^2C	3			3			3			3		
	SPI/I^2S	4/4 (2 个全双工)			4/4 (2 个全双工)			4/4 (2 个全双工)			4/4 (2 个全双工)		
	USART+UART	3+4(3)			3+4(3)			4+4			4+4		
	SDIO	1(4)			1(4)			2			2		
	USB Device	1			1			1			1		
	CAN	2			2			2			2		
模拟模块	12 位 ADC 转换器/通道数	3											
		10			10			16			16		
	12 位 DAC 转换器/通道数	2											
		2			2			2			2		
GPIO		37			37			51			80		
XMC		-			-			1(5)			1		
SPIM(6)		1 通道 / 寻址范围高达 16 M 字节											
工作温度		-40 °C 至+105 °C											
封装形式		QFN48 6 x 6 mm			LQFP48 7 x 7 mm			LQFP64 10 x 10 mm			LQFP100 14 x 14 mm		

(1) ZW = 零等待(zero wait-state)，可达SYSCLK 240 MHz
NZW = 非零等待(non-zero wait-state)

(2) 透过选择字节设置支持内部闪存存储器和SRAM分配使用。以AT32F403AVGT7为例，内部闪存存储器和SRAM可以设置为以下两种配置：
- ZW: 256 K字节，NZW: 768 K字节，RAM: 96 K字节；
- ZW: 128 K字节，NZW: 896 K字节，RAM: 224 K字节。

(3) 无UART8；USART6因缺少CK引脚，只能作UART使用。

(4) 仅有SDIO2，最高支持4位(D0~D3)模式。

(5) 仅支持推动8位模式LCD屏。

(6) SPIM = 外部SPI Flash memory扩展(程序执行/数据储存/程序与数据可加密)。

2.2 概述

2.2.1 ARM®Cortex®-M4F，配有 DSP 指令和 FPU

带有FPU内核的ARM Cortex®-M4F是最新一代的嵌入式ARM处理器，它为实现MCU的需要提供了低成本的平台、缩减的引脚数目、降低的系统功耗，同时提供卓越的计算性能和先进的中断系统响应。

带有FPU内核的ARM Cortex®-M4F处理器是一款32位的RISC处理器，具有优异的代码效率，采用通常8位和16位器件的存储器空间即可发挥ARM®内核的高性能。

该处理器支持一组DSP指令，能够实现有效的信号处理和复杂的算法执行。

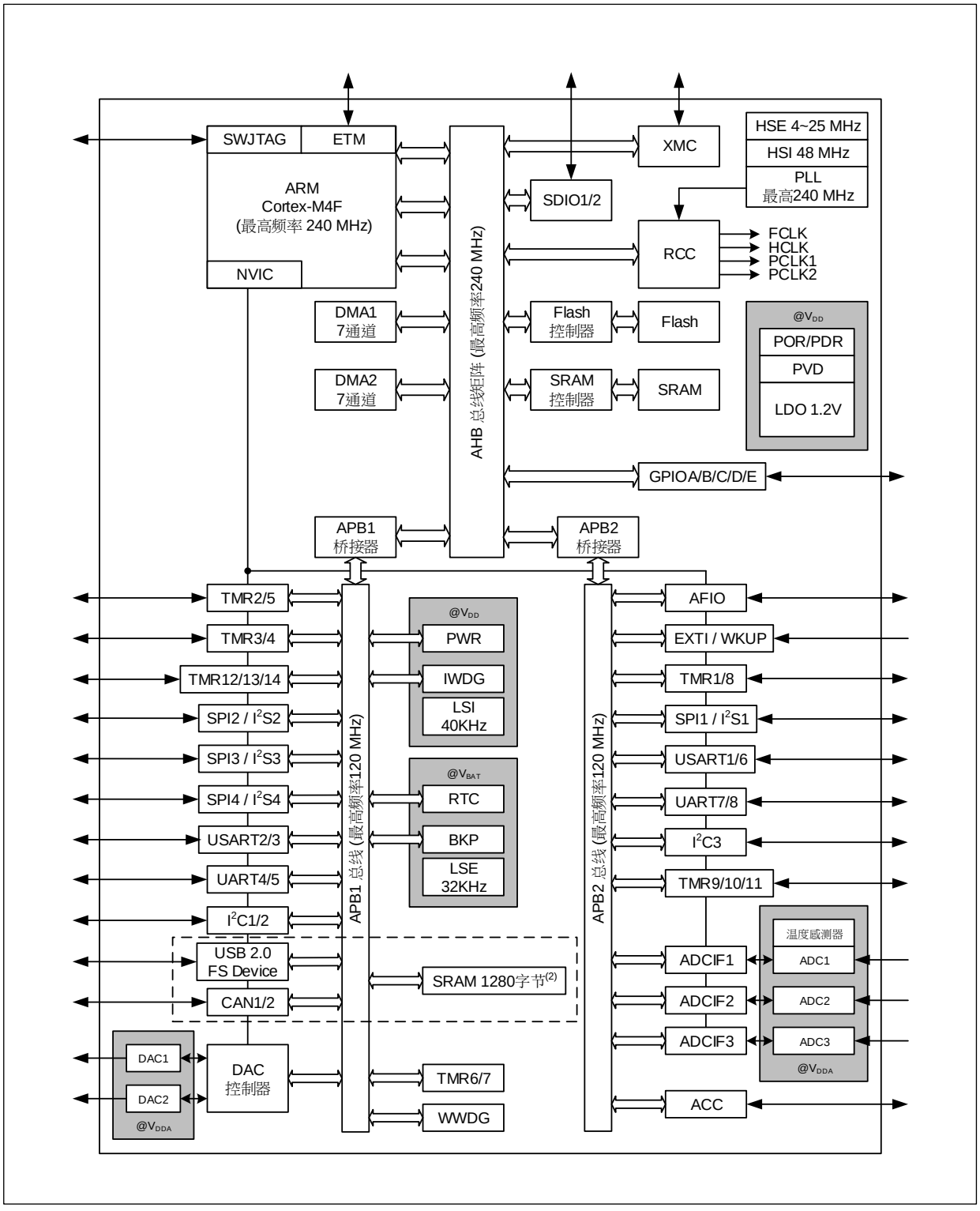
它的单精度FPU(浮点单元)通过使用元语言开发工具，可加速开发，防止饱和。

AT32F403A系列与所有的ARM工具和软件兼容。

*图1*是该系列产品的功能框图。

注： *配有FPU的Cortex®-M4F内核与Cortex®-M3内核二进制兼容。*

图 1. AT32F403A 系列功能框图



(1) 工作温度：-40 °C至+105 °C. 结温达125 °C。

2.2.2 存储器保护单元(MPU)

存储器保护单元(MPU)用于管理CPU 对存储器的访问，防止一个任务意外损坏另一个激活任务所使用的存储器或资源。此存储区被组织为最多8个保护区，还可依次再被分为最多8个子区。保护区大小可为32字节至可寻址存储器的整个4 G字节。

若应用中有一些关键的或认证的代码必须受到保护，以免被其它任务的错误行为影响，则MPU尤其有用。它通常由RTOS(实时操作系统)管理。若程序访问的存储器位置被MPU禁止，则RTOS可检测到它并采取行动。在RTOS环境中，内核可基于执行的进程，动态更新MPU区的设置。

MPU是可选的，若应用不需要则可绕过。

2.2.3 闪存存储器

内置高达1024 K字节的内部闪存存储器，用于存放程序和数据。内置存储器可指定任意一范围程序区受sLib保护，成为仅能执行无法被读取的执行代码安全库区。sLib是基于保护方案商代码安全之下，又顾及其客户便于进行二次开发而设计的。

额外提供外部SPI闪存程序数据存储器接口SPIM (SPI Memory)，可访问最大容量高达16 M字节作为扩充的闪存存储器区块3 (Bank 3)使用。另外增加密文保护功能可透过选择字节存取决定数据是否加密，可由寄存器控制加密范围。

2.2.4 循环冗余校验(CRC)计算单元

CRC(循环冗余校验)计算单元使用一个固定的多项式发生器，从一个32位的数据字产生一个CRC码。在众多的应用中，基于CRC的技术被用于验证数据传输或存储的一致性。在EN/IEC60335-1标准的范围内，它提供了一种检测闪存存储器错误的手段，CRC计算单元可以用于实时地计算软件的签名，并与在链接和生成该软件时产生的签名对比。

2.2.5 内置 SRAM

高达224 K字节的内置SRAM，CPU能以零等待周期访问(读/写)。

2.2.6 外部存储器控制器(XMC)

AT32F403A系列集成了外部存储器控制器XMC模块。它具有2个片选输出，支持复用信号的NOR/PSRAM存储器和16位或8位NAND闪存存储器。

功能介绍：

- 写入FIFO；
- 代码可以在复用信号的NOR/PSRAM片外存储器运行。

2.2.7 LCD 并行接口

XMC可以配置成与多数图形LCD控制器的无缝连接，它支持Intel 8080和Motorola 6800的模式，并能够灵活地与特定的LCD接口。使用这个LCD并行接口可以很方便地构建简易的图形应用环境，或使用专用加速控制器的高性能方案。

2.2.8 嵌套的向量式中断控制器(NVIC)

AT32F403A系列产品内置嵌套的向量式中断控制器，可管理16个优先级，处理带FPU的Cortex®-M4F内核的最多75个可屏蔽中断通道及16个中断线。

- 紧耦合的NVIC能够达到低延迟的中断响应处理
- 中断向量入口地址直接进入内核
- 紧耦合的NVIC接口
- 允许中断的早期处理
- 处理晚到的较高优先级中断
- 支持中断尾部链接功能
- 自动保存处理器状态
- 中断返回时自动恢复，无需额外指令开销

该模块以最小的中断延迟提供灵活的中断管理功能。

2.2.9 外部中断/事件控制器(EXTI)

外部中断/事件控制器包含19个边沿检测器，用于产生中断/事件请求。每个中断线都可以独立地配置它的触发事件(上升沿或下降沿或双边沿)，并能够单独地被屏蔽；有一个挂起寄存器维持所有中断请求的状态。EXTI可以检测到脉冲宽度小于内部APB2的时钟周期。多达80个通用I/O口连接到16个外部中断线。

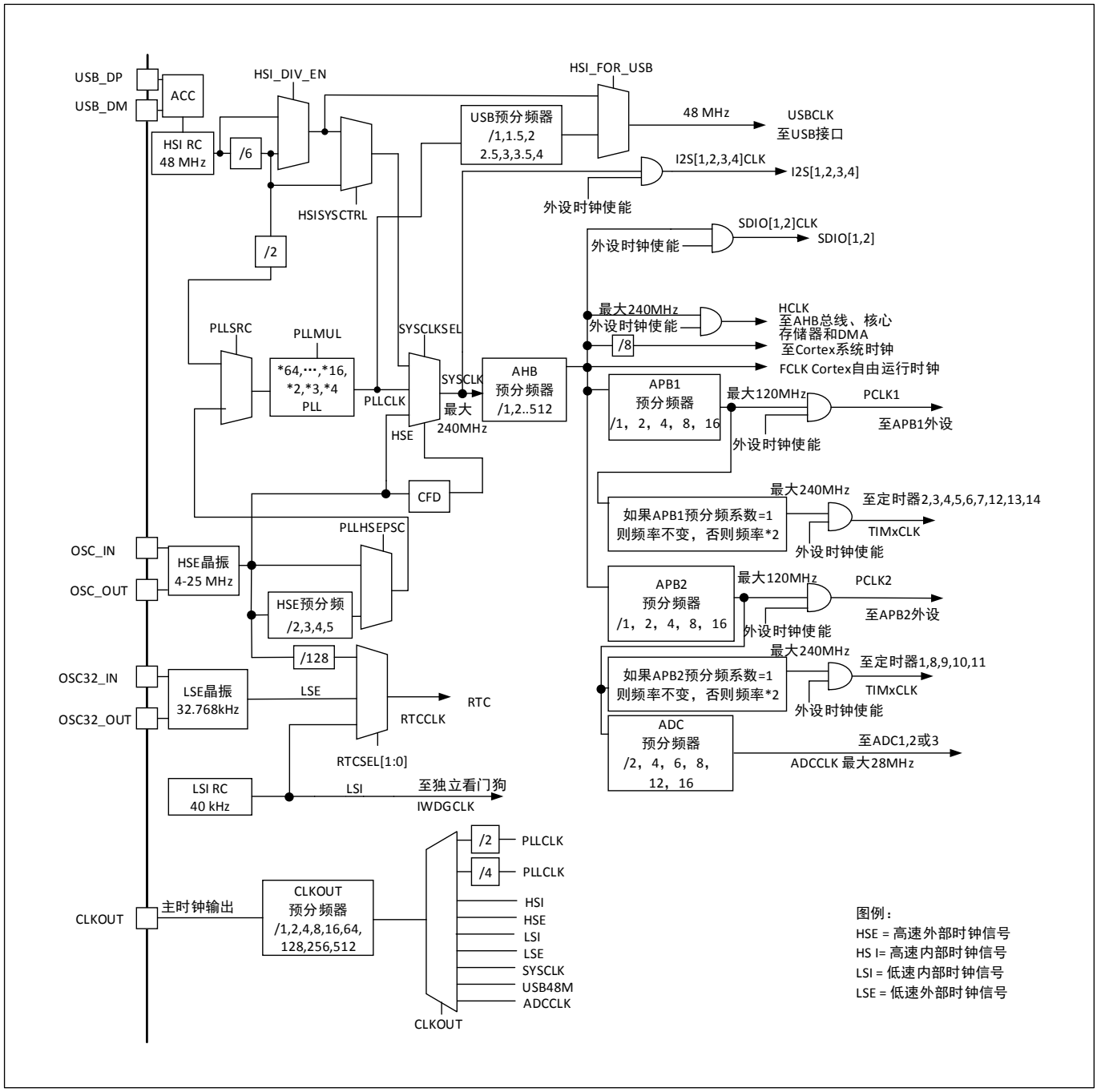
2.2.10 时钟和启动

系统时钟的选择是在启动时进行，复位时内部48 MHz的RC振荡器经6分频后(8 MHz)被选为默认的CPU时钟，随后可以选择外部的、具失效监控的4~25 MHz时钟；当检测到外部时钟失效时，它将被隔离，系统将自动地切换到内部的RC振荡器，如果使能了中断，软件可以接收到相应的中断。同样，在需要时可以采取对PLL时钟完全的中断管理(如当一个间接使用的外部振荡器失效时)。

多个预分频器用于配置AHB的频率、APB(APB1和APB2)区域。AHB的最高频率是240 MHz，APB的最高频率为120 MHz。参考*图2*的时钟驱动框图。

另外，AT32F403A系列产品内嵌一个特别的模块，HSI 48 MHz的RC振荡器可被自动时钟校准(ACC)模块校准，可保证在整个芯片可操作温度范围内HSI的最佳准确度。

图 2. 时钟树



(1) 当使用USB功能且其时钟源来自PLL时，CPU的频率必须是48 MHz, 72 MHz, 96 MHz, 120 MHz, 144 MHz, 168 MHz, 或192 MHz；当USB时钟源直接来自HSI 48 MHz时，CPU的频率可以是48 MHz到192 MHz中的任意频率。

2.2.11 启动模式

在启动时，通过对启动引脚设置可以选择三种启动模式中的一种：

- 从程序内部闪存存储器启动。对于AT32F403AxG，用户可以选择从任意一个内部闪存储块启动。默认选择区块1 (Bank 1)，也可以设置选择字节从而选择区块2 (Bank 2)。
- 从系统存储器启动。
- 从内部SRAM启动。

启动加载程序(Bootloader)存放于系统存储器中，可以通过USART1，USART2，或USB对闪存重新编程。若设置SPIM_IO0/1管脚与USB复用，无法通过USB无法对闪存存储器区块3 (Bank 3)编程。*表3*提供启动加载程序(Bootloader)对AT32F403A的型号支持和管脚配置。

表 3. 启动加载程序(Bootloader)的型号支持和管脚配置

外设	适用型号	对应管脚
USART1	全部型号	PA9: USART1_TX PA10: USART1_RX
USART2	AT32F403AVGT7	PD5: USART2_TX (重映射) PD6: USART2_RX (重映射)
	AT32F403AVGT7 以外其他型号	PA2: USART2_TX PA3: USART2_RX
USB	全部型号	PA11: USB_DM PA12: USB_DP

2.2.12 供电方案

- V_{DD} = 2.6 ~ 3.6 V：V_{DD}引脚为I/O引脚和内部调压器供电。
- V_{DDA} = 2.6 ~ 3.6 V：为ADC和DAC供电。V_{DDA}和V_{SSA}必须分别连接到V_{DD}和V_{SS}。
- V_{BAT} = 1.8 ~ 3.6 V：当关闭V_{DD}时，(通过内部电源切换器)为RTC、外部32 kHz振荡器和后备寄存器供电。

关于如何连接电源引脚的详细信息，参见*图10*供电方案。

2.2.13 供电监控器

本产品内部集成了上电复位(POR)/掉电复位(PDR)电路，该电路始终处于工作状态，保证系统在供电超过2.6 V时工作；当V_{DD}低于设定的阀值($V_{POR/PDR}$)时，置器件于复位状态，而不必使用外部复位电路。

器件中还有一个可编程电压监测器(PVD)，它监视V_{DD}供电并与阀值V_{PVD}比较，当V_{DD}低于或高于阀值V_{PVD}时产生中断，中断处理程序可以发出警告信息或将微控制器转入安全模式。PVD功能需要通过程序开启。关于$V_{POR/PDR}$和V_{PVD}的值参考*表13*。

2.2.14 电压调压器

调压器有两个操作模式：主模式(MR)和关断模式

- 主模式(MR)用于正常的运行操作和CPU的停机模式
- 关断模式用于CPU的待机模式：调压器的输出为高阻状态，内核电路的供电切断，调压器处于零消耗状态。(但寄存器和SRAM的内容将丢失。)

该调压器在复位后始终处于工作状态，在待机模式下关闭处于高阻输出。

2.2.15 低功耗模式

AT32F403A系列产品支持三种低功耗模式，可以在要求低功耗、短启动时间和多种唤醒事件之间达到最佳的平衡。

- 睡眠模式

  在睡眠模式，只有CPU停止，所有外设处于工作状态并可在发生中断/事件时唤醒CPU。

- 停机模式

  在保持SRAM和寄存器内容不丢失的情况下，停机模式可以达到最低的电能消耗。在停机模式下，停止所有内部1.2 V部分的供电，PLL, HSI的RC振荡器和HSE晶体振荡器被关闭，调压器被置于主模式。

  可以通过任一配置成EXTI的信号把微控制器从停机模式中唤醒，EXTI信号可以是16个外部I/O口之一、PVD的输出、RTC闹钟、USB的唤醒信号。

- 待机模式

  在待机模式下可以达到最低的电能消耗。内部的电压调压器被关闭，因此所有内部1.2 V部分的供电被切断。PLL, HSI的RC振荡器和HSE晶体振荡器也被关闭。进入待机模式后，SRAM和寄存器的内容将消失，但后备寄存器的内容仍然保留，待机电路仍工作。

  从待机模式退出的条件是：NRST上的外部复位信号、IWDG复位、WKUP引脚上的一个上升边沿或RTC的闹钟到时。

注： *在进入停机或待机模式时，RTC、IWDG和对应的时钟不会被停止。*

2.2.16 直接存储器访问控制器(DMA)

灵活的14路通用DMA (DMA1上有7个通道，DMA2上有7个通道)可以管理存储器到存储器、设备到存储器和存储器到设备的数据传输。2个DMA控制器支持环形缓冲区的管理，避免了控制器传输到达缓冲区结尾时所产生的中断。

每个通道都有专门的硬件DMA请求逻辑，同时可以由软件触发每个通道。传输的长度、传输的源地址和目标地址都可以通过软件单独设置。

DMA可以用于主要的外设：SPI, I^2C, USART，通用、基本和高级控制定时器TMRx, DAC, I^2S, SDIO和ADC。

2.2.17 实时时钟(RTC)和后备寄存器

RTC和后备寄存器通过一个开关供电，在V_{DD}有效时该开关选择V_{DD}供电，否则由V_{BAT}引脚供电。后备寄存器(42个16位的寄存器)保存84个字节的用户应用数据。RTC和后备寄存器不会被系统或电源复位源复位；当从待机模式唤醒时，也不会被复位。

实时时钟具有一组连续运行的计数器，可以通过适当的软件提供日历时钟功能，还具有闹钟中断和阶段性中断功能。RTC的驱动时钟可以是一个使用外部晶体的32.768 kHz的振荡器、内部低功耗RC振荡器或高速的外部时钟经128分频。内部低功耗RC振荡器的典型频率为40 kHz。为补偿天然晶体的偏差，RTC时钟可以经64分频输出到侵入检测引脚TAMPER上对RTC的时钟进行校准。RTC具有一个32位的可编程计数器，使用比较寄存器可以进行长时间的测量。有一个20位的预分频器用于时基时钟，默认情况下时钟为32.768 kHz时，它将产生一个1秒长的时间基准。

2.2.18 定时器和看门狗

AT32F403A系列产品包含最多2个高级控制定时器、10个普通定时器和2个基本定时器，以及2个看门狗定时器和1个系统嘀嗒定时器。

下表比较了高级控制定时器、普通定时器和基本定时器的功能：

表 4. 定时器功能比较

定时器	计数器分辨率	计数器类型	预分频系数	产生 DMA 请求	捕获/比较通道	互补输出
TMR1, TMR8	16 位	向上，向下，向上/下	1~65536 之间的任意整数	可以	4	有
TMR2, TMR5	32 位	向上，向下，向上/下	1~65536 之间的任意整数	可以	4	没有
TMR3, TMR4	16 位	向上，向下，向上/下	1~65536 之间的任意整数	可以	4	没有
TMR9, TMR12	16 位	向上	1~65536 之间的任意整数	不可以	2	没有
TMR10, TMR11, TMR13, TMR14	16 位	向上	1~65536 之间的任意整数	不可以	1	没有
TMR6, TMR7	16 位	向上	1~65536 之间的任意整数	可以	0	没有

高级控制定时器(TMR1和TMR8)

两个高级控制定时器(TMR1和TMR8)可以被看成是分配到6个通道的三相PWM发生器，它具有带死区插入的互补PWM输出，还可以被当成完整的通用定时器。四个独立的通道可以用于：

- 输入捕获
- 输出比较
- 产生PWM(边缘或中心对齐模式)
- 单脉冲输出

配置为16位标准定时器时，它与TMRx定时器具有相同的功能。配置为16位PWM发生器时，它具有全调制能力(0~100%)。

在调试模式下，计数器可以被冻结，同时PWM输出被禁止，从而切断由这些输出所控制的开关。

很多功能都与标准的TMR定时器相同，内部结构也相同，因此高级控制定时器可以通过定时器链接功能与TMR定时器协同操作，提供同步或事件链接功能。

通用定时器(TMRx)

AT32F403A系列产品中，内置了多达10个可同步运行的定时器。

- **TMR2, TMR3, TMR4和TMR5**

  AT32F403A系列内置了多达4个通用定时器(TMR2, TMR3, TMR4和TMR5)。TMR2和TMR5是基于一个32位动加载递加/递减计数器和一个16位的预分频器。而TMR3和TMR4是基于一个16位动加载递加/递减计数器和一个16位的预分频器。这些定时器都提供4个独立的信道，每个信道都可用于输入捕获、输出比较、PWM和单脉冲模式输出，在最大的封装配置中可提供最多16个输入捕获、输出比较或PWM通道。

它们还能通过定时器链接功能与高级控制定时器共同工作，提供同步或事件链接功能。在调试模式下，计数器可以被冻结。任一标准定时器都能用于产生PWM输出。每个定时器都有独立的DMA请求机制。

这些定时器还能够处理增量编码器的信号，也能处理1至3个霍尔传感器的数字输出。

- **TMR9和TMR12**

  TMR9和TMR12都有一个16位的自动加载递加计数器、一个16位的预分频器和2个独立的信道，每个信道都可用于输入捕获、输出比较、PWM和单脉冲模式输出，它们可以与全功能通用定时器(TMR2，TMR3，TMR4和TMR5)同步。它们也可以用作简单的定时器。

- **TMR10, TMR11, TMR13和TMR14**

  这些定时器都有一个16位的自动加载递加计数器、一个16位的预分频器和1个独立的信道，每个信道都可用于输入捕获、输出比较、PWM和单脉冲模式输出，它们可以与全功能通用定时器(TMR2，TMR3，TMR4和TMR5)同步。它们也可以用作简单的定时器。

基本定时器(TMR6和TMR7)

这2个定时器主要是用于产生DAC触发信号，也可当成通用的16位时基计数器。

独立看门狗(IWDG)

独立的看门狗是基于一个12位的递减计数器和一个8位的预分频器，它由一个内部独立的40 kHz的RC振荡器提供时钟；因为这个RC振荡器独立于主时钟，所以它可运行于停机和待机模式。它可以被当成看门狗用于在发生问题时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。通过选择字节可以配置成是软件或硬件启动看门狗。在调试模式下，计数器可以被冻结。

窗口看门狗(WWDG)

窗口看门狗内有一个7位的递减计数器，并可以设置成自由运行。它可以被当成看门狗用于在发生问题时复位整个系统。它由主时钟驱动，具有早期预警中断功能；在调试模式下，计数器可以被冻结。

系统时基定时器(SysTick)

这个定时器是专用于实时操作系统，也可当成一个标准的递减计数器。它具有下述特性：

- 24位的递减计数器
- 自动重加载功能
- 当计数器为0时能产生一个可屏蔽系统中断
- 可编程时钟源

2.2.19 内部集成电路总线(I²C)

多达3个I²C总线接口，能够工作于多主模式或从模式，支持标准和快速模式。

I²C接口支持7位或10位寻址，7位从模式时支持双从地址寻址。内置了硬件CRC发生器/校验器。

它们可以使用DMA操作并支持SMBus总线2.0版/PMBus总线。

2.2.20 通用同步/异步收发器(USART)

AT32F403A系列产品中，内置了4个通用同步/异步收发器(USART1, USART2, USART3和USART6)，和4个通用异步收发器(UART4, UART5, UART7和UART8)。

这8个接口提供异步通信、支持IrDA SIR ENDEC传输编解码、多处理器通信模式、单线半双工通信模式和LIN主/从功能。

这8个接口接口通信速率均可达7.5兆位/秒。

USART1, USART2和USART3接口具有硬件的CTS和RTS信号管理。USART1, USART2, USART3和USART6接口兼容ISO7816的智能卡模式和类SPI通信模式。所有接口都可以使用DMA操作。

表 5. USART/UART 功能比较

USART/UART 功能	USART1	USART2	USART3	UART4	UART5	USART6	UART7	UART8
调制解调器的硬件流控	支持	支持	支持	-	-	-	-	-
使用 DMA 连续通信	支持	支持	支持	支持	支持	支持	支持	支持
多处理器通信	支持	支持	支持	支持	支持	支持	支持	支持
同步模式	支持	支持	支持	-	-	支持	-	-
智能卡模式	支持	支持	支持	-	-	支持	-	-
单线半双工通	支持	支持	支持	支持	支持	支持	支持	支持
红外 IrDA SIR 编解碼	支持	支持	支持	支持	支持	支持	支持	支持
LIN 模式	支持	支持	支持	支持	支持	支持	支持	支持

2.2.21 串行外设接口(SPI)

多达4个SPI接口，在从或主模式下，全双工和半双工的通信速率可达50兆位/秒。3位的预分频器可产生8种主模式频率，可配置成每帧8位或16位。硬件的CRC产生/校验支持基本的SD卡、MMC、和SDHC模式。

所有的SPI接口都可以使用DMA操作。

2.2.22 内部集成音频接口(I²S)

4个标准的I²S接口(与SPI复用)可以在主或从模式下工作于半双工，以及I2S2和I2S3全双工模式。这4个接口可以配置为16位或32位传输，亦可配置为输入或输出通道，支持音频采样频率从8 kHz到192 kHz。当任一个I²S接口配置为主模式，它的主时钟可以以256倍采样频率输出给外部的DAC或CODEC(解码器)。

2.2.23 安全数字输入/输出接口(SDIO)

2个SD/SDIO/MMC主机接口，可以支持MMC卡系统规范4.2版中的3个不同的数据总线模式：1位(默认)、4位和8位。在8位模式下，该接口可以使数据传输速率达到50 MHz，该接口兼容SD存储卡规范2.0版。

SDIO存储卡规范2.0版支持两种数据总线模式：1位(默认)和4位。

目前的芯片版本只能一次支持一个SD/SDIO/MMC4.2版的卡，但可以同时支持多个MMC4.1版或之前版本的卡。

除了SD/SDIO/MMC/eMMC，这个接口完全与CE-ATA数字协议版本1.1兼容。

2.2.24 控制器区域网络(CAN)

2个CAN接口兼容规范2.0A和2.0B(主动)，位速率高达1兆位/秒。它可以接收和发送11位标识符的标准帧，也可以接收和发送29位标识符的扩展帧。每个CAN具有3个发送邮箱，2个具3级深度的接收FIFO，和14个可调节的滤波器。

2.2.25 通用串行总线(USB)

AT32F403A系列产品内嵌一个兼容全速USB的设备控制器，遵循全速USB设备(12兆位/秒)标准，端点可由软件配置，具有待机/唤醒功能。USB专用的48 MHz时钟由内部主PLL产生或直接来自48 MHz HSI时钟源。

2.2.26 通用输入输出口(GPIO)

每个GPIO引脚都可以由软件配置成输出(推挽或开漏)、输入(带或不带上拉或下拉)或复用的外设功能端口。多数GPIO引脚都与数字或模拟的复用外设共享。除了具有模拟输入功能的端口，所有的GPIO引脚都有大电流通过能力。

在需要的情况下，I/O引脚的外设功能可以通过一个特定的操作锁定，以避免意外的写入I/O寄存器。

2.2.27 重映像功能

此功能使用户可以在选定的器件下实现最多数量的外设功能。那些复用的外设功能不仅仅可以通过默认的引脚实现，还可以通过其他那些可重映射的引脚实现。这使得引脚的选择更加灵活，制板更加方便。

具体请参考*表6*，列出了所有那些可以重映像的外设功能，以及重映像到的引脚。请参考AT32F403A参考手册来获得软件配置的详细信息。

2.2.28 模拟/数字转换器(ADC)

AT32F403A系列产品，内嵌3个12位的模拟/数字转换器(ADC)，共享多达16个外部通道，可以实现单次或扫描转换。在扫描模式下，自动进行在选定的一组模拟输入上的转换。

ADC接口上的其它逻辑功能包括：

- 同步的采样和保持
- 交叉的采样和保持
- 单次采样

ADC可以使用DMA操作。

模拟看门狗功能允许非常精准地监视一路、多路或所有选中的通道，当被监视的信号超出预置的阀值时，将产生中断。

由标准定时器(TMRx)和高级控制定时器(TMR1和TMR8)产生的事件，可以分别内部级联到ADC的开始触发和注入触发，应用程序能使A/D转换与时钟同步。

2.2.29 数字/模拟信号转换器(DAC)

两个12位带缓冲的DAC通道可以用于转换2路数字信号成为2路模拟电压信号并输出。这项功能内部是通过集成的电阻串和反向的放大器实现。

这个双数字接口支持下述功能：

- 两个DAC转换器：各有一个输出通道
- 8位或12位单调输出
- 12位模式下的左右数据对齐
- 同步更新功能
- 产生噪声波
- 产生三角波
- 双DAC通道独立或同步转换
- 每个信道都可使用DMA功能
- 外部触发进行转换
- 输入参考电压V_{REF+}

AT32F403A系列产品中有8个触发DAC转换的输入。DAC通道可以由定时器的更新输出触发，更新输出也可连接到不同的DMA通道。

2.2.30 温度传感器

温度传感器产生一个随温度线性变化的电压，转换范围在2.6 V ≤ V_{DDA} ≤ 3.6 V之间。温度传感器在内部被连接到ADC1_IN16的输入通道上，用于将传感器的输出转换到数字数值。

2.2.31 串行线 JTAG 调试口(SWJ-DP)

内嵌ARM的SWJ-DP接口，这是一个由JTAG和串行线调试端口结合而成，可以实现要连接到目标的串行线调试接口或JTAG接口。

JTAG的TMS和TCK信号分别与SWDIO和SWCLK共享引脚，TMS脚上的一个特殊的信号序列用于在JTAG-DP和SW-DP间切换。

2.2.32 内嵌跟踪模块(ETM™)

使用ARM®的内嵌跟踪模块(ETM™)，AT32F403A系列通过很少的ETM™引脚连接到外部跟踪端口分析(TPA)设备，从CPU核心中以高速输出压缩的数据流，为开发人员提供了清晰的指令运行与数据流动的信息。TPA设备可以通过USB或其它高速通道连接到调试主机，实时的指令和数据流向能够被调试主机上的调试软件记录下来，并按需要的格式显示出来。TPA硬件可以从开发工具供应商处购得，并能与第三方的调试软件兼容。

3 引脚定义

图 3. AT32F403A 系列 LQFP100 引脚分布

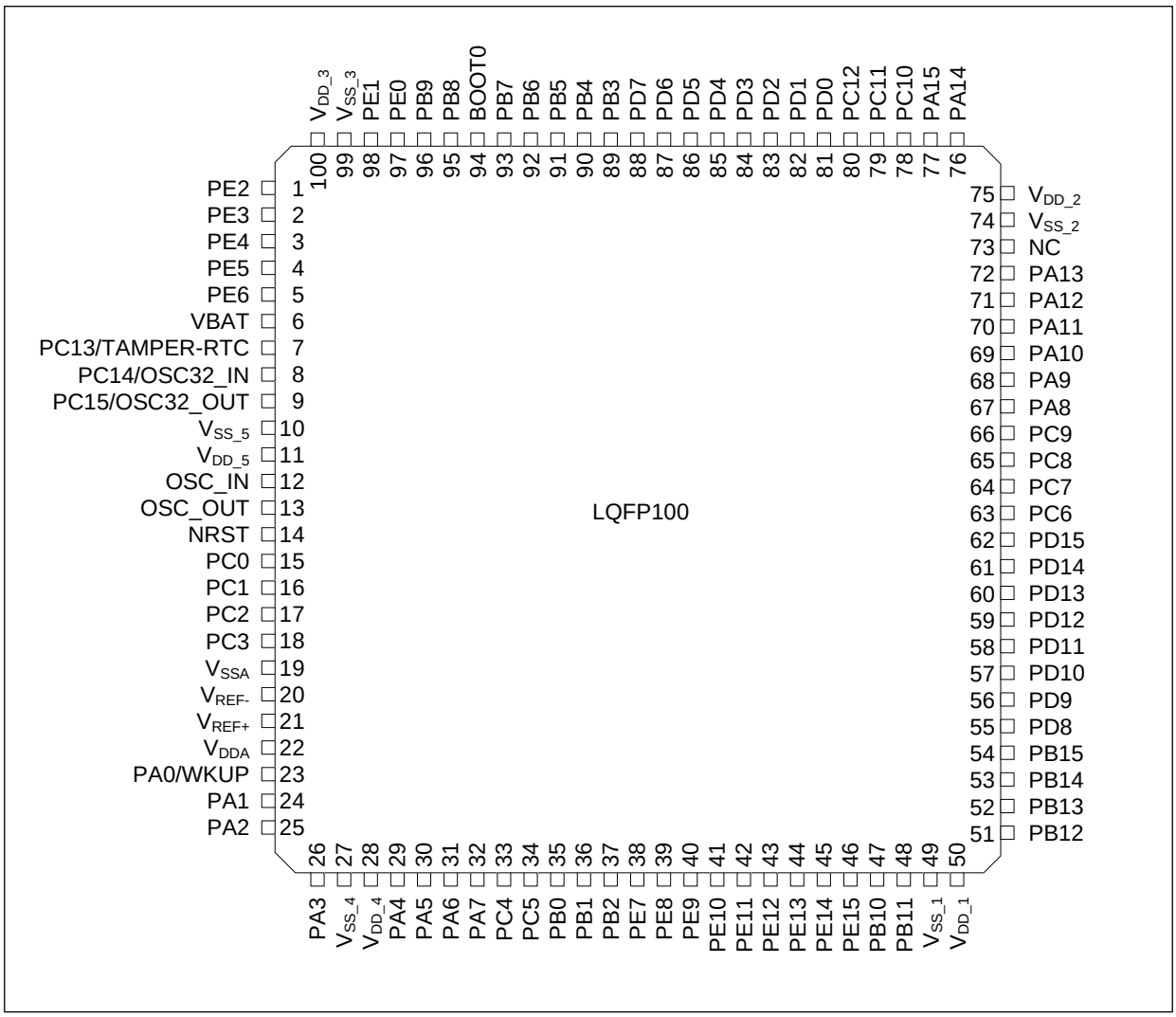


图 4. AT32F403A 系列 LQFP64 引脚分布

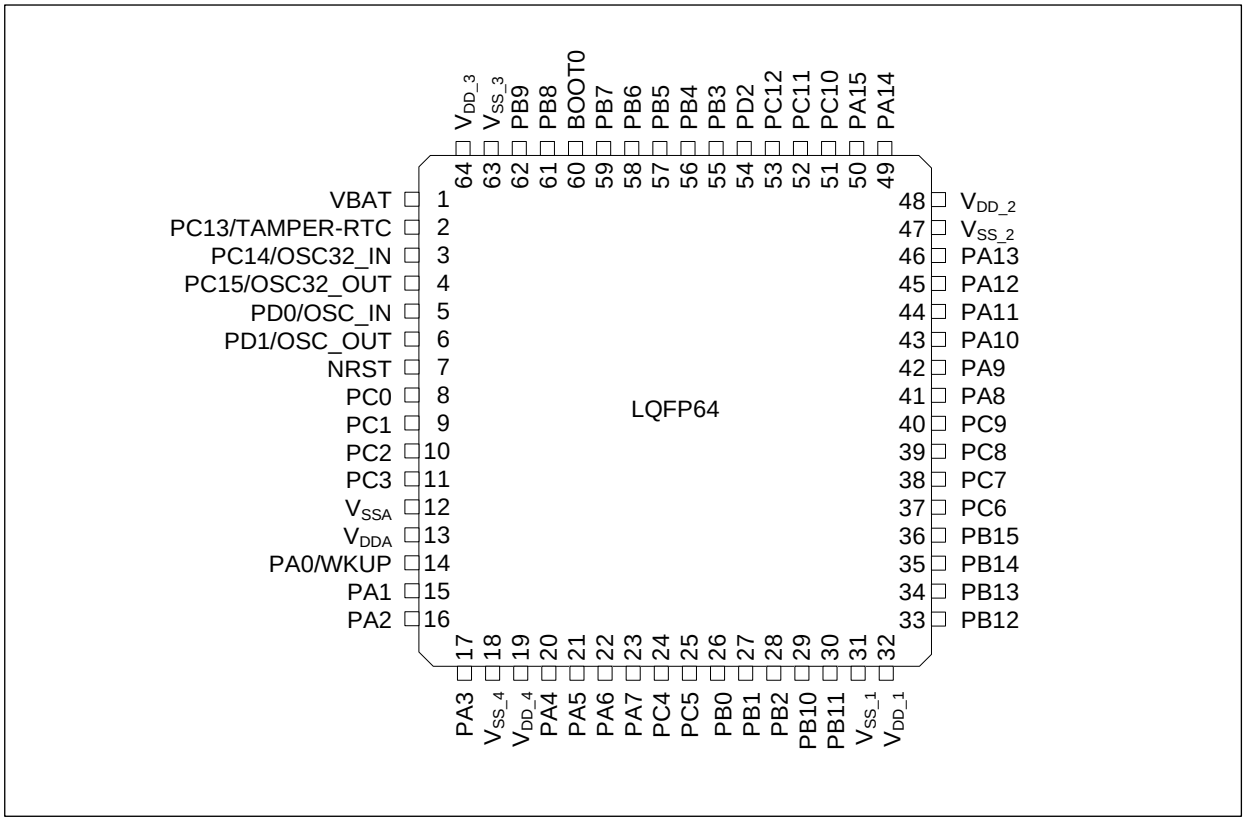


图 5. AT32F403A 系列 LQFP48 引脚分布

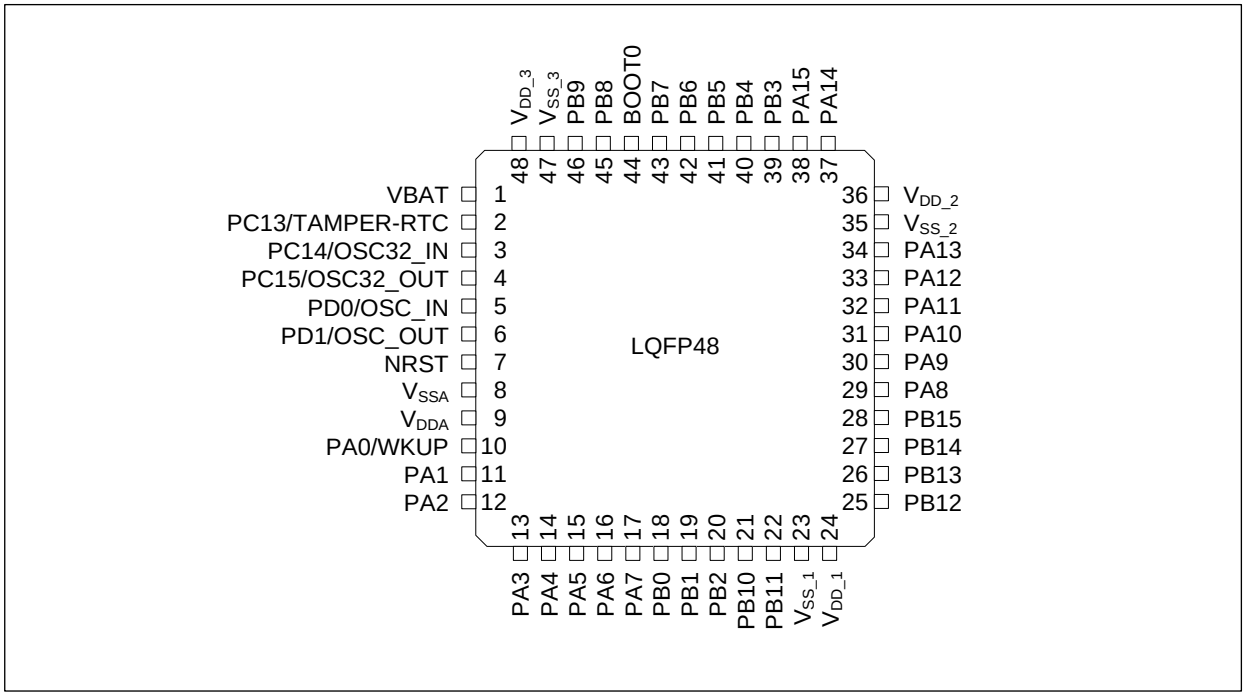
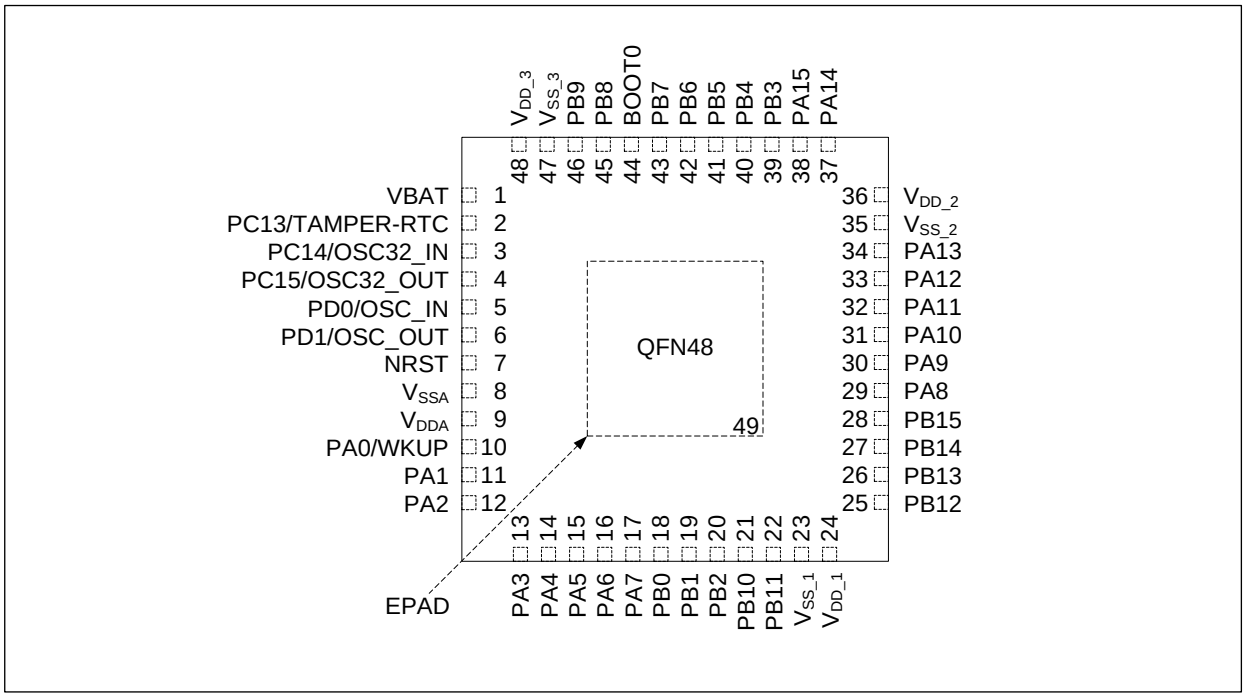


图 6. AT32F403A 系列 QFN48 引脚分布



下表为AT32F403A系列引脚定义，”-”表示对应封装下没有该引脚。复用功能按照优先级从高到低排列，基本原则模拟信号高于数字信号，输出数字信号高于输入数字信号。

表 6. AT32F403A 系列引脚定义

引脚号			引脚名称	种类(1)	IO电平(2)	主功能(3)	复用功能(4)	
LQFP48 QFN48	LQFP64	LQFP100					默认功能	重映射
-	-	1	PE2	I/O	FT	PE2	SPI4_SCK(7) / I2S4_CK(7) / XMC_A23 / TRACECK	-
-	-	2	PE3	I/O	FT	PE3	XMC_A19 / TRACED0	-
-	-	3	PE4	I/O	FT	PE4	SPI4_NSS(7) / I2S4_WS(7) / XMC_A20 / TRACED1	-
-	-	4	PE5	I/O	FT	PE5	SPI4_MISO(7) / XMC_A21 / TRACED2	TMR9_CH1
-	-	5	PE6	I/O	FT	PE6	SPI4_MOSI(7) / I2S4_SD(7) / XMC_A22 / TRACED3	TMR9_CH2
1	1	6	V_{BAT}	S	-	V_{BAT}	-	-
2	2	7	TAMPER-RTC / PC13(5)	I/O	TC	PC13(6)	TAMPER-RTC	-
3	3	8	OSC32_IN / PC14(5)	I/O	TC	PC14(6)	OSC32_IN	-
4	4	9	OSC32_OUT / PC15(5)	I/O	TC	PC15(6)	OSC32_OUT	-
-	-	10	V_{SS_5}	S	-	V_{SS_5}	-	-
-	-	11	V_{DD_5}	S	-	V_{DD_5}	-	-
-	-	12	OSC_IN	I	-	OSC_IN	-	-
-	-	13	OSC_OUT	O	-	OSC_OUT	-	-
5	5	-	OSC_IN / PD0(8)	I/O	TC	OSC_IN	-	PD0(8)
6	6	-	OSC_OUT / PD1(8)	I/O	TC	OSC_OUT	-	PD1(8)
7	7	14	NRST	I/O	-	NRST	-	-
-	8	15	PC0	I/O	FTa	PC0	ADC123_IN10 / SDIO2_D0(7)	-
-	9	16	PC1	I/O	FTa	PC1	ADC123_IN11 / SDIO2_D1(7)	-
-	10	17	PC2	I/O	FTa	PC2	ADC123_IN12 / SDIO2_D2(7)	UART8_TX / XMC_NWE
-	11	18	PC3	I/O	FTa	PC3	ADC123_IN13 / SDIO2_D3(7) / XMC_A0	UART8_RX
8	12	19	V_{SSA}	S	-	V_{SSA}	-	-
-	-	20	V_{REF-}	S	-	V_{REF-}	-	-
-	-	21	V_{REF+}	S	-	V_{REF+}	-	-
9	13	22	V_{DDA}	S	-	V_{DDA}	-	-
10	14	23	PA0-WKUP	I/O	TC	PA0	ADC123_IN0 / WKUP / USART2_CTS(7) / TMR2_CH1(7) / TMR2_ETR(7) / TMR5_CH1 / TMR8_ETR	UART4_TX
11	15	24	PA1	I/O	FTa	PA1	ADC123_IN1 / USART2_RTS(7) / TMR2_CH2(7) / TMR5_CH2	UART4_RX

引脚号			引脚名称	种类(1)	IO电平(2)	主功能(3)	复用功能(4)	
LQFP48 QFN48	LQFP64	LQFP100					默认功能	重映射
12	16	25	PA2	I/O	FTa	PA2	ADC123_IN2 / USART2_TX(7) / TMR2_CH3(7) / TMR5_CH3 / TMR9_CH1(7)	SDIO2_CK / XMC_D4
13	17	26	PA3	I/O	FTa	PA3	ADC123_IN3 / USART2_RX(7) / TMR2_CH4(7) / TMR5_CH4 / TMR9_CH2(7)	I2S2_MCK / SDIO2_CMD / XMC_D5
-	18	27	V_{SS_4}	S	-	V_{SS_4}	-	-
-	19	28	V_{DD_4}	S	-	V_{DD_4}	-	-
14	20	29	PA4	I/O	FTa	PA4	DAC_OUT1 / ADC12_IN4 / USART2_CK(7) / SPI1_NSS(7) / I2S1_WS(7) / SDIO2_D4	USART6_TX / SPI3_NSS / I2S3_WS / SDIO2_D0 / XMC_D6
15	21	30	PA5	I/O	FTa	PA5	DAC_OUT2 / ADC12_IN5 / SPI1_SCK(7) / I2S1_CK(7) / SDIO2_D5	USART6_RX / SDIO2_D1 / XMC_D7
16	22	31	PA6	I/O	FTa	PA6	ADC12_IN6 / SPI1_MISO(7) / SDIO2_D6 / TMR3_CH1(7) / TMR8_BKIN / TMR13_CH1	I2S2_MCK / SDIO2_D2 / TMR1_BKIN
17	23	32	PA7	I/O	FTa	PA7	ADC12_IN7 / SPI1_MOSI(7) / I2S1_SD(7) / SDIO2_D7 / TMR3_CH2(7) / TMR8_CH1N / TMR14_CH1	SDIO2_D3 / TMR1_CH1N
-	24	33	PC4	I/O	FTa	PC4	ADC12_IN14 / SDIO2_CK(7) / XMC_NE4	-
-	25	34	PC5	I/O	FTa	PC5	ADC12_IN15 / SDIO2_CMD(7)	XMC_NOE
18	26	35	PB0	I/O	FTa	PB0	ADC12_IN8 / I2S1_MCK(7) / TMR3_CH3(7) / TMR8_CH2N	TMR1_CH2N
19	27	36	PB1	I/O	FTa	PB1	ADC12_IN9 / SPIM_SCK / TMR3_CH4(7) / TMR8_CH3N	TMR1_CH3N
20	28	37	PB2	I/O	FT	PB2 / BOOT1	-	-
-	-	38	PE7	I/O	FT	PE7	UART7_RX(7) / XMC_D4(7)	TMR1_ETR
-	-	39	PE8	I/O	FT	PE8	UART7_TX(7) / XMC_D5(7)	TMR1_CH1N
-	-	40	PE9	I/O	FT	PE9	XMC_D6(7)	TMR1_CH1
-	-	41	PE10	I/O	FT	PE10	XMC_D7(7)	TMR1_CH2N
-	-	42	PE11	I/O	FT	PE11	XMC_D8	SPI4_SCK / I2S4_CK / TMR1_CH2
-	-	43	PE12	I/O	FT	PE12	XMC_D9	SPI4_NSS / I2S4_WS / TMR1_CH3N
-	-	44	PE13	I/O	FT	PE13	XMC_D10	SPI4_MISO / TMR1_CH3
-	-	45	PE14	I/O	FT	PE14	XMC_D11	SPI4_MOSI / I2S4_SD / TMR1_CH4
-	-	46	PE15	I/O	FT	PE15	XMC_D12	TMR1_BKIN
21	29	47	PB10	I/O	FT	PB10	USART3_TX(7) / I2C2_SCL	I2S3_MCK / SPIM_IO0 / TMR2_CH3
22	30	48	PB11	I/O	FT	PB11	USART3_RX(7) / I2C2_SDA	SPIM_IO1 / TMR2_CH4
23	31	49	V_{SS_1}	S	-	V_{SS_1}	-	-
24	32	50	V_{DD_1}	S	-	V_{DD_1}	-	-

引脚号			引脚名称	种类(1)	IO电平(2)	主功能(3)	复用功能(4)	
LQFP48 QFN48	LQFP64	LQFP100					默认功能	重映射
25	33	51	PB12	I/O	FT	PB12	USART3_CK(7) / CAN2_RX(7) / I2C2_SMBA / SPI2_NSS / I2S2_WS / TMR1_BKIN(7)	XMC_D13
26	34	52	PB13	I/O	FT	PB13	USART3_CTS(7) / CAN2_TX(7) / SPI2_SCK / I2S2_CK / TMR1_CH1N(7)	-
27	35	53	PB14	I/O	FT	PB14	USART3_RTS(7) / SPI2_MISO / I2S2ext_SD / TMR1_CH2N(7) / TMR12_CH1	XMC_D0
28	36	54	PB15	I/O	FT	PB15	SPI2_MOSI / I2S2_SD / TMR1_CH3N(7) / TMR12_CH2	-
-	-	55	PD8	I/O	FT	PD8	XMC_D13(7)	USART3_TX
-	-	56	PD9	I/O	FT	PD9	XMC_D14	USART3_RX
-	-	57	PD10	I/O	FT	PD10	XMC_D15	USART3_CK
-	-	58	PD11	I/O	FT	PD11	XMC_A16	USART3_CTS
-	-	59	PD12	I/O	FT	PD12	XMC_A17	USART3_RTS / TMR4_CH1
-	-	60	PD13	I/O	FT	PD13	XMC_A18	TMR4_CH2
-	-	61	PD14	I/O	FT	PD14	XMC_D0(7)	TMR4_CH3
-	-	62	PD15	I/O	FT	PD15	XMC_D1(7)	TMR4_CH4
-	37	63	PC6	I/O	FT	PC6	USART6_TX(7) / I2S2_MCK(7) / SDIO1_D6 / TMR8_CH1	XMC_D1 / TMR3_CH1
-	38	64	PC7	I/O	FT	PC7	USART6_RX(7) / I2S3_MCK(7) / SDIO1_D7 / TMR8_CH2	TMR3_CH2
-	39	65	PC8	I/O	FT	PC8	USART6_CK / I2S4_MCK(7) / SDIO1_D0 / TMR8_CH3	TMR3_CH3
-	40	66	PC9	I/O	FT	PC9	I2C3_SDA(7) / SDIO1_D1 / TMR8_CH4	TMR3_CH4
29	41	67	PA8	I/O	FT	PA8	CLKOUT / USART1_CK / I2C3_SCL / USB_SOF / SPIM_NSS / TMR1_CH1(7)	-
30	42	68	PA9	I/O	FT	PA9	USART1_TX(7) / I2C3_SMBA / TMR1_CH2(7)	-
31	43	69	PA10	I/O	FT	PA10	USART1_RX(7) / TMR1_CH3(7)	I2S4_MCK
32	44	70	PA11	I/O	TC	PA11	USB_DM / USART1_CTS / CAN1_RX(7) / SPIM_IO0(7) / TMR1_CH4(7)	-
33	45	71	PA12	I/O	TC	PA12	USB_DP / USART1_RTS / CAN1_TX(7) / SPIM_IO1(7) / TMR1_ETR(7)	-
34	46	72	PA13	I/O	FT	JTMS-SWDIO	-	PA13
-	-	73	未连接					
35	47	74	V_{SS_2}	S	-	V_{SS_2}	-	-
36	48	75	V_{DD_2}	S	-	V_{DD_2}	-	-

引脚号			引脚名称	种类(1)	IO电平(2)	主功能(3)	复用功能(4)	
LQFP48 QFN48	LQFP64	LQFP100					默认功能	重映射
37	49	76	PA14	I/O	FT	JTCK-SWCLK	-	PA14
38	50	77	PA15	I/O	FT	JTDI	SPI3_NSS(7) / I2S3_WS(7)	PA15 / SPI1_NSS / I2S1_WS / TMR2_CH1 / TMR2_ETR
-	51	78	PC10	I/O	FT	PC10	UART4_TX(7) / SDIO1_D2	USART3_TX / SPI3_SCK / I2S3_CK
-	52	79	PC11	I/O	FT	PC11	UART4_RX(7) / SDIO1_D3	USART3_RX / SPI3_MISO / I2S3ext_SD / XMC_D2
-	53	80	PC12	I/O	FT	PC12	UART5_TX(7) / SDIO1_CK	USART3_CK / SPI3_MOSI / I2S3_SD / XMC_D3
-	-	81	PD0	I/O	FT	PD0	XMC_D2(7)	CAN1_RX
-	-	82	PD1	I/O	FT	PD1	XMC_D3(7)	CAN1_TX
-	54	83	PD2	I/O	FT	PD2	UART5_RX(7) / SDIO1_CMD / TMR3_ETR	XMC_NWE
-	-	84	PD3	I/O	FT	PD3	XMC_CLK	USART2_CTS
-	-	85	PD4	I/O	FT	PD4	XMC_NOE(7)	USART2_RTS
-	-	86	PD5	I/O	FT	PD5	XMC_NWE(7)	USART2_TX
-	-	87	PD6	I/O	FT	PD6	XMC_NWAIT	USART2_RX
-	-	88	PD7	I/O	FT	PD7	XMC_NE1 / XMC_NCE2	USART2_CK
39	55	89	PB3	I/O	FT	JTDO	SPI3_SCK(7) / I2S3_CK(7)	PB3 / UART7_RX / SPI1_SCK / I2S1_CK / TRACESWO / TMR2_CH2
40	56	90	PB4	I/O	FT	NJTRST	SPI3_MISO(7) / I2S3ext_SD(7)	PB4 / SPI1_MISO / I2C3_SDA / UART7_TX / TMR3_CH1
41	57	91	PB5	I/O	FT	PB5	SPI3_MOSI(7) / I2S3_SD(7) / I2C1_SMBA(7)	SPI1_MOSI / I2S1_SD / CAN2_RX / TMR3_CH2
42	58	92	PB6	I/O	FT	PB6	I2C1_SCL(7) / SPIM_IO3 / TMR4_CH1(7)	USART1_TX / I2S1_MCK / SPI4_NSS / I2S4_WS / CAN2_TX
43	59	93	PB7	I/O	FT	PB7	I2C1_SDA(7) / XMC_NADV(9) / SPIM_IO2(9) / TMR4_CH2(7)	USART1_RX / SPI4_SCK / I2S4_CK
44	60	94	BOOT0	I	-	BOOT0	-	-
45	61	95	PB8	I/O	FT	PB8	SDIO1_D4 / TMR4_CH3(7) / TMR10_CH1	UART5_RX / SPI4_MISO / I2C1_SCL / CAN1_RX
46	62	96	PB9	I/O	FT	PB9	SDIO1_D5 / TMR4_CH4(7) / TMR11_CH1	UART5_TX / SPI4_MOSI / I2S4_SD / I2C1_SDA / CAN1_TX
-	-	97	PE0	I/O	FT	PE0	UART8_RX(7) / XMC_NBL0 / TMR4_ETR	-
-	-	98	PE1	I/O	FT	PE1	UART8_TX(7) / XMC_NBL1	-
47	63	99	V_{SS_3}	S	-	V_{SS_3}	-	-
48	64	100	V_{DD_3}	S	-	V_{DD_3}	-	-
-/49	-	-	EPAD	S	-	V_{SS}	-	-

(1) I = 输入，O = 输出，S = 电源。

(2) TC = 标准电平，FT = 一般5V电平容忍，FTa = 带模拟功能5V电平容忍。FTa引脚设置为输入浮空、输入上拉、或输入下拉时，具有5V电平容忍特性；设置为模拟模式时，不具5V电平容忍特性，此时输入电平必须小于V_{DD} + 0.3V.

(3) 有些功能仅在部分型号芯片中支持。

(4) 如果有多个外设功能映射到了同一个I/O口，为了避免外设的冲突，在同一时间，只能通过外设时钟的使能位(在相应的RCC外设时钟使能寄存器中)使能一个外设。

(5) PC13, PC14和PC15引脚通过电源开关进行供电，而这个电源开关只能够吸收有限的电流(3 mA)。因此这三个引脚作为输出引脚时有以下限制：作为输出脚时只能工作在适中电流推动/吸入能力模式下，最大驱动负载为30 pF，并且不能作为电流源(如驱动LED)。

(6) 这些引脚在备份区域第一次上电时处于主功能状态下，之后即使复位，这些引脚的状态由备份区域寄存器控制(这些寄存器不会被主复位系统所复位)。关于如何控制这些IO口的具体信息，请参考AT32F403A系列参考手册的电池备份区域和BKP寄存器的相关章节。

(7) 此类复用功能能够由软件配置到其他引脚上(如果相应的封装型号有此引脚)，详细信息请参考AT32F403A系列参考手册的复用功能I/O章节和调试设置章节。

(8) LQFP64、LQFP48和QFN48封装的引脚5和引脚6在芯片复位后默认配置为OSC_IN和OSC_OUT功能脚。软件可以重新设置这两个引脚为PD0和PD1功能。但对于LQFP100封装，由于PD0和PD1为固有的功能引脚，因此没有必要再由软件进行重映像设置。更多详细信息请参考AT32F403A系列参考手册的复用功能I/O章节和调试设置章节。

(9) 在使用XMC时，不能使用SPIM。

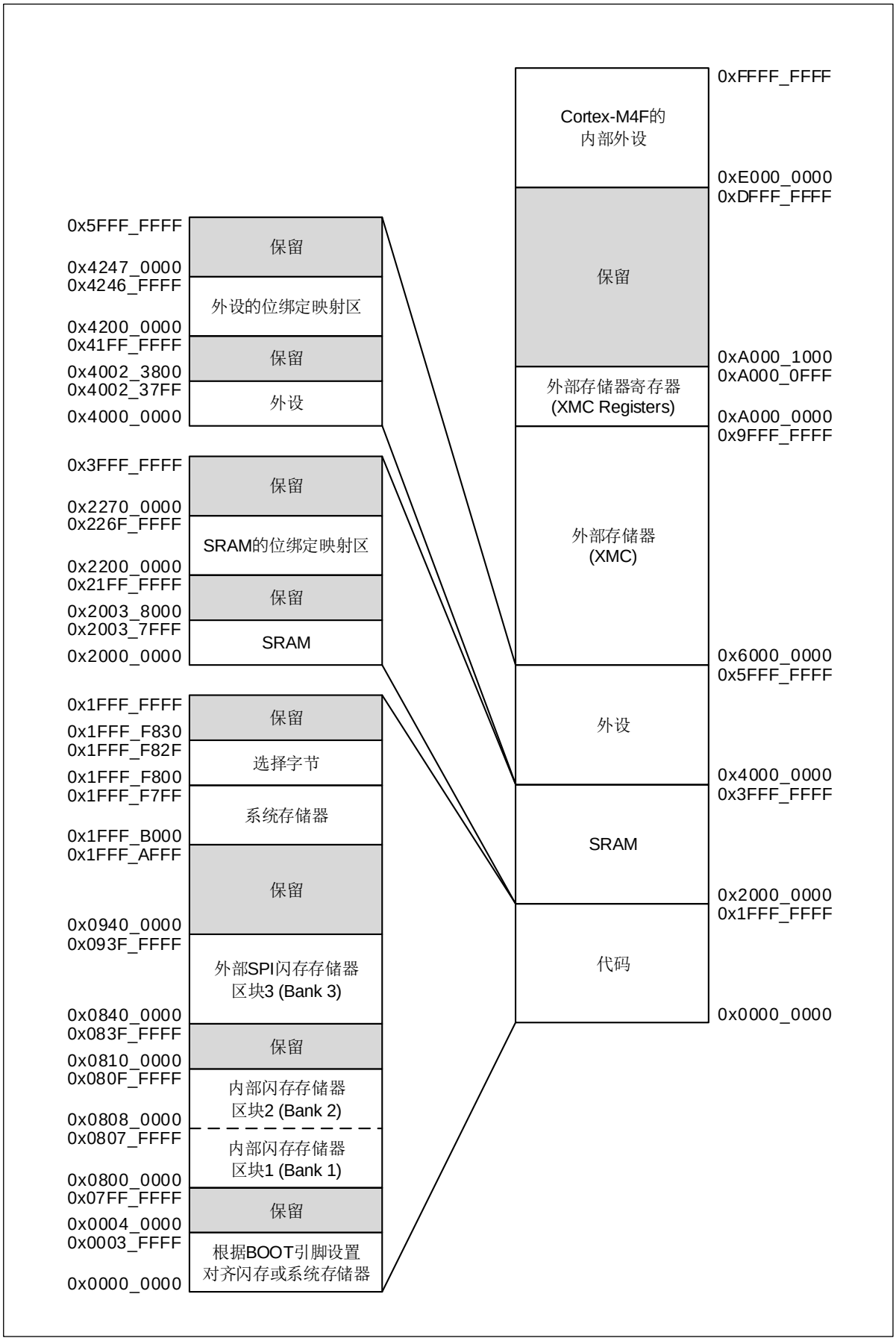
表 7. XMC 引脚定义

引脚名称	XMC			LQFP64
	复用信号的 NOR / PSRAM	LCD	NAND	
PE2	A23	A23	-	-
PE3	A19	A19	-	-
PE4	A20	A20	-	-
PE5	A21	A21	-	-
PE6	A22	A22	-	-
PC2	NWE	NWE	NWE	有
PC3	-	A0	-	有
PA2	DA4	D4	D4	有
PA3	DA5	D5	D5	有
PA4	DA6	D6	D6	有
PA5	DA7	D7	D7	有
PC4	NE4	NE4	-	有
PC5	NOE	NOE	NOE	有
PE7	DA4	D4	D4	-
PE8	DA5	D5	D5	-
PE9	DA6	D6	D6	-
PE10	DA7	D7	D7	-
PE11	DA8	D8	D8	-
PE12	DA9	D9	D9	-
PE13	DA10	D10	D10	-
PE14	DA11	D11	D11	-
PE15	DA12	D12	D12	-
PB12	DA13	D13	D13	有
PB14	DA0	D0	D0	有
PD8	DA13	D13	D13	-
PD9	DA14	D14	D14	-
PD10	DA15	D15	D15	-
PD11	A16	A16	CLE	-
PD12	A17	A17	ALE	-
PD13	A18	A18	-	-
PD14	DA0	D0	D0	-
PD15	DA1	D1	D1	-
PC6	DA1	D1	D1	有
PC11	DA2	D2	D2	有
PC12	DA3	D3	D3	有
PD0	DA2	D2	D2	-
PD1	DA3	D3	D3	-

引脚名称	XMC			LQFP64
	复用信号的 NOR / PSRAM	LCD	NAND	
PD2	NWE	NWE	NWE	有
PD3	CLK	-	-	-
PD4	NOE	NOE	NOE	-
PD5	NWE	NWE	NWE	-
PD6	NWAIT	-	NWAIT	-
PD7	NE1	NE1	NCE2	-
PB7	NADV	-	-	有
PE0	NBL0	-	-	-
PE1	NBL1	-	-	-

4 存储器映像

图 7. 存储器图



5 电气特性

5.1 测试条件

除非特别说明，所有电压的都以V_{SS}为基准。

5.1.1 最小和最大数值

除非特别说明，在生产线上在环境温度T_A = 25 °C和T_A = $T_a$max下执行的测试($T_a$max与选定的温度范围匹配)，所有最小和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。

在每个表格下方的注解中说明为通过综合评估、设计模拟和/或工艺特性得到的数据，不会在生产线上进行测试。

5.1.2 典型数值

除非特别说明，典型数据是基于T_A = 25 °C和V_{DD} = 3.3 V。这些数据仅用于设计指导而未经测试。

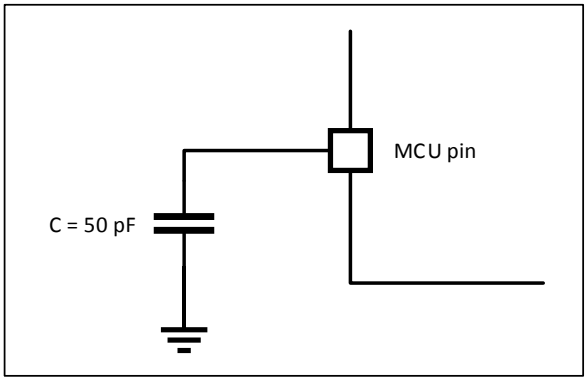
5.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

5.1.4 负载电容

测量引脚参数时的负载条件示于*图8*中。

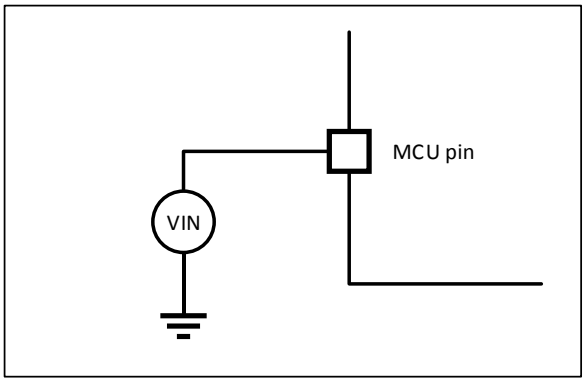
图 8. 引脚的负载条件



5.1.5 引脚输入电压

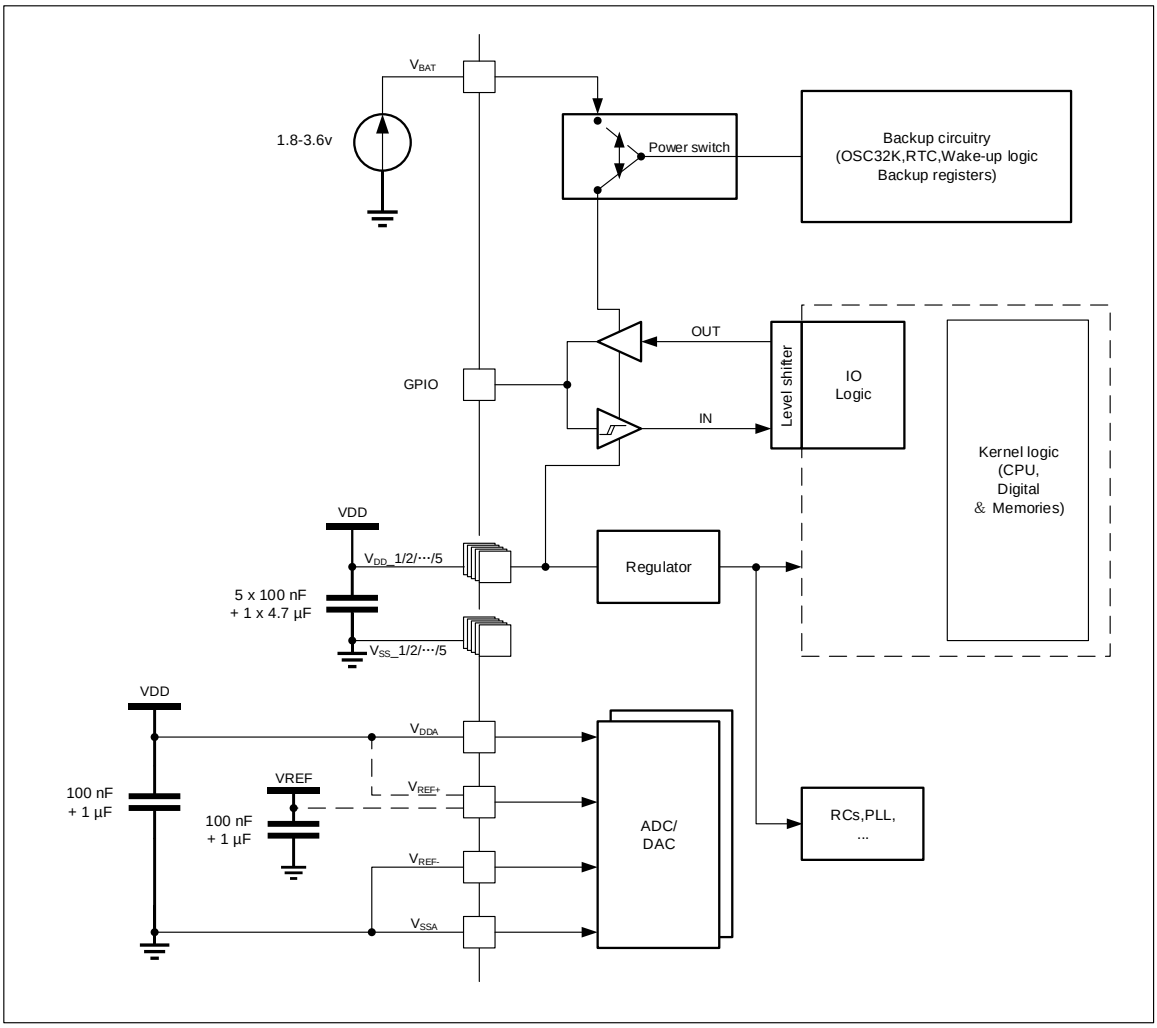
引脚上输入电压的测量方式示于*图9*中。

图 9. 引脚输入电压



5.1.6 供电方案

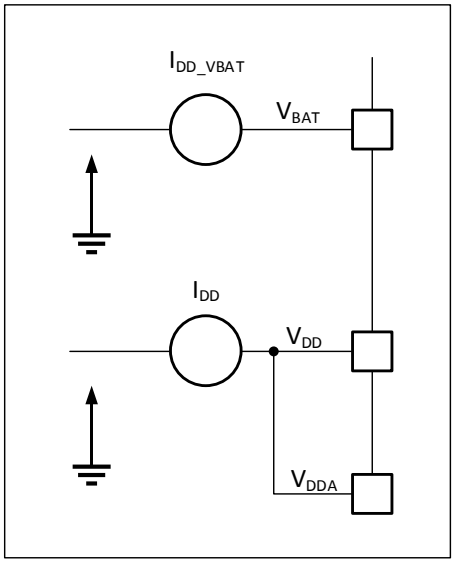
图 10. 供电方案



注：　上图中的4.7µF电容必须连接到V_{DD3}。

5.1.7 电流消耗测量

图 11. 电流消耗测量方案



5.2 绝对最大额定值

加在器件上的载荷如果超过「绝对最大额定值」列表(*表8*, *表9*, *表10*)中给出的值，可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷，并不意味在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 8. 电压特性

符号	描述	最小值	最大值	单位
V_{DD}-V_{SS}	外部主供电电压(包含V_{DDA}和V_{DD})(1)	-0.3	4.0	V
V_{IN}	在5V容忍的引脚上的输入电压(2)	V_{SS}-0.3	6.0	
	在其它引脚上的输入电压	V_{SS}-0.3	4.0	
$\|\Delta V_{DDx}\|$	不同供电引脚之间的电压差	-	50	mV
$\|V_{SSx}-V_{SS}\|$	不同接地引脚之间的电压差(2)	-	50	

(1) 所有的电源(V_{DD}, V_{DDA})和地(V_{SS}, V_{SSA})引脚必须始终连接到外部允许范围内的供电系统上。
(2) 包含V_{REF}-脚。

表 9. 电流特性

符号	描述	最大值	单位
I_{VDD}	外部主供电电压(包含V_{DDA}和V_{DD})(1)	150	mA
I_{VSS}	经过V_{SS}地线的总电流(流出电流)(1)	150	
I_{IO}	任意I/O和控制引脚上的输出灌电流	25	
	任意I/O和控制引脚上的输出电流	-25	

(1) 所有的电源(V_{DD}, V_{DDA})和地(V_{SS}, V_{SSA})引脚必须始终连接到外部允许范围内的供电系统上。

表 10. 温度特性

符号	描述	数值	单位
T_{STG}	储存温度范围	-60 ~ +150	°C
T_J	最大结温度	125	

5.3 工作条件

5.3.1 通用工作条件

表 11. 通用工作条件

符号	参数	条件	最小值	最大值	单位
f_{HCLK}	内部AHB时钟频率	未使用闪存存储器区块3	0	240	MHz
		使用闪存存储器区块3	0	120	
f_{PCLK1}	内部APB1时钟频率	-	0	120	
f_{PCLK2}	内部APB2时钟频率	-	0	120	
V_{DD}	标准工作电压	-	2.6	3.6	V
V_{DDA}(1)	模拟部分工作电压	必须与V_{DD}(1)相同	2.6	3.6	V
V_{BAT}	备份部分工作电压	-	1.8	3.6	V
P_D	功率耗散：T_A = 105 °C	LQFP100	-	326	mW
		LQFP64	-	309	
		LQFP48	-	290	
		QFN48	-	662	
T_A	环境温度	-	-40	105	°C

(1) 建议使用相同的电源为V_{DD}和V_{DDA}供电，在上电和正常操作期间，V_{DD}和V_{DDA}之间最多允许有300 mV的差别。

5.3.2 上电和掉电时的工作条件

下表中给出的参数是依据*表11*列出的环境温度下测试得出。

表 12. 上电和掉电时的工作条件

符号	参数	条件	最小值	最大值	单位
t_{VDD}	V_{DD}上升速率	-	0	∞(1)	ms/V
	V_{DD}下降速率		20	∞	μs/V

(1) 若V_{DD}上电速率慢于120 ms/V，必须确认V_{DD}电压高于V_{POR} + 0.1V，代码才能对后备域寄存器进行存取。

5.3.3 内嵌复位和电源控制模块特性

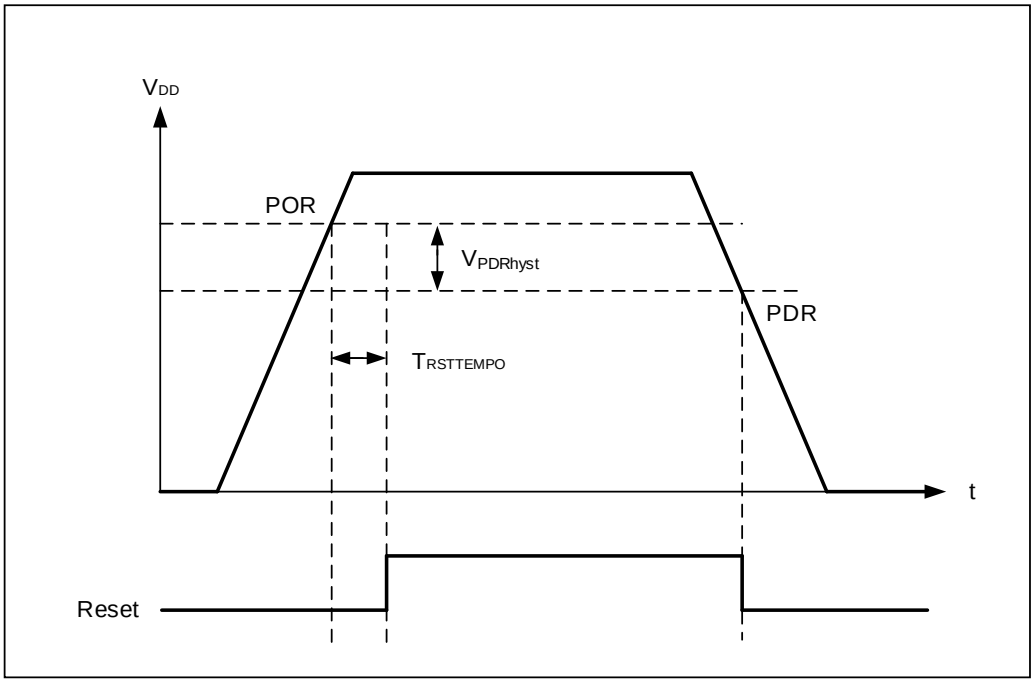
下表中给出的参数是依据*表11*列出的环境温度下和V_{DD}供电电压下测试得出。

表 13. 内嵌复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{PVD}	可编程的电压检测器的电平选择	PLS[2:0] = 001(上升沿)(1)	2.19	2.28	2.37	V
		PLS[2:0] = 001(下降沿)(1)	2.09	2.18	2.27	V
		PLS[2:0] = 010(上升沿)	2.28	2.38	2.48	V
		PLS[2:0] = 010(下降沿)	2.18	2.28	2.38	V
		PLS[2:0] = 011(上升沿)	2.38	2.48	2.58	V
		PLS[2:0] = 011(下降沿)	2.28	2.38	2.48	V
		PLS[2:0] = 100(上升沿)	2.47	2.58	2.69	V
		PLS[2:0] = 100(下降沿)	2.37	2.48	2.59	V
		PLS[2:0] = 101(上升沿)	2.57	2.68	2.79	V
		PLS[2:0] = 101(下降沿)	2.47	2.58	2.69	V
		PLS[2:0] = 110(上升沿)	2.66	2.78	2.9	V
		PLS[2:0] = 110(下降沿)	2.56	2.68	2.8	V
		PLS[2:0] = 111(上升沿)	2.76	2.88	3	V
		PLS[2:0] = 111(下降沿)	2.66	2.78	2.9	V
$V_{PVDhyst}$(2)	PVD迟滞	-	-	100	-	mV
$V_{POR/PDR}$	上电/掉电复位阀值	下降沿	1.85(3)	2.02	2.2	V
		上升沿	2.03	2.18	2.35	V
$V_{PDRhyst}$(2)	PDR迟滞	-	-	160	-	mV
$T_{RSTTEMPO}$(2)	复位持续时间：V_{DD}高于V_{POR}且持续时间超过$T_{RSTTEMPO}$后CPU开始运行	-	-	13	-	ms

(1) PLS[2:0] = 001电平可能因低于$V_{POR/PDR}$无法使用。
(2) 由设计保证，不在生产中测试。
(3) 产品的特性由设计保证至最小的数值$V_{POR/PDR}$。

图 12. 上电复位和掉电复位的波形图



5.3.4 内置的参照电压

下表中给出的参数是依据*表11*列出的环境温度下和V_{DD}供电电压下测试得出。

表 14. 内置的参照电压

符号	参数	条件	最小值	典型值	最大值	单位
V_{REFINT}	内置参照电压	-	1.16	1.20	1.24	V
$T_{S_vrefint}$(1)	当读出内部参照电压时，ADC的采样时间	-	-	5.1	17.1(2)	μs
T_{Coeff}(2)	温度系数	-	-	-	120	ppm/°C

(1) 最短的采样时间是通过应用中的多次循环得到。
(2) 由设计保证，不在生产中测试。

5.3.5 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O引脚的负载、产品的软件配置、工作频率、I/O脚的翻转速率、以及执行的代码等。

电流消耗的测量方法说明，详见*图11*。

最大电流消耗

微控制器处于下述条件下：

- 所有的I/O引脚都处于模拟输入模式。
- 所有的外设都处于关闭状态，除非特别说明。
- 指令预取功能开启(提示：这个参数必须在设置时钟和总线分频之前设置)。
- 当开启外设时:
  - 若f_{HCLK} > 100 MHz, $f_{PCLK1} = f_{HCLK}/2$，$f_{PCLK2} = f_{HCLK}/2$；
  - 若f_{HCLK} ≤ 100 MHz, $f_{PCLK1} = f_{HCLK}$，$f_{PCLK2} = f_{HCLK}$。

*表15*和*表16*给出的参数是在环境温度和V_{DD}供电电压符合*表11*的条件测试得到。

表 15. 运行模式下的最大电流消耗

符号	参数	条件	f_{HCLK}	最大值(1)	单位
				T_A = 105 °C	
I_{DD}	运行模式下的供应电流	外部时钟(2)使能所有外设	240 MHz	135.8	mA
			200 MHz	118.8	
			144 MHz	95.2	
			108 MHz	79.7	
			72 MHz	71.3	
			48 MHz	58.3	
			36 MHz	51.8	
			24 MHz	45.2	
			16 MHz	40.7	
			8 MHz	36.0	
		外部时钟(2)关闭所有外设	240 MHz	71.6	mA
			200 MHz	65.0	
			144 MHz	55.8	
			108 MHz	49.9	
			72 MHz	45.2	
			48 MHz	40.8	
			36 MHz	38.6	
			24 MHz	36.3	
			16 MHz	34.9	
			8 MHz	32.7	

(1) 由综合评估得出，不在生产中测试。
(2) 外部时钟为8 MHz，当f_{HCLK} > 8 MHz时启用PLL。

表 16. 睡眠模式下的最大电流消耗

符号	参数	条件	f_{HCLK}	最大值(1)	单位
				T_A = 105 °C	
I_{DD}	睡眠模式下的供应电流	外部时钟(2)使能所有外设	240 MHz	119.3	mA
			200 MHz	105.0	
			144 MHz	85.1	
			108 MHz	72.1	
			72 MHz	65.5	
			48 MHz	54.4	
			36 MHz	48.8	
			24 MHz	43.2	
			16 MHz	39.4	
			8 MHz	35.1	
		外部时钟(2)关闭所有外设	240 MHz	41.6	mA
			200 MHz	40.0	
			144 MHz	37.8	
			108 MHz	36.3	
			72 MHz	35.2	
			48 MHz	34.2	
			36 MHz	33.5	
			24 MHz	32.6	
			16 MHz	32.6	
			8 MHz	31.3	

(1) 由综合评估得出，不在生产中测试。
(2) 外部时钟为8 MHz，当f_{HCLK} > 8 MHz时启用PLL。

表 17. 停机和待机模式下的典型和最大电流消耗

符号	参数	条件	典型值(1)		最大值(2)		单位
			V_{DD}/V_{BAT} = 2.6 V	V_{DD}/V_{BAT} = 3.3 V	T_A = 85 °C	T_A = 105 °C	
I_{DD}	停机模式下的供应电流	调压器处于运行模式，高速内部RC 振荡器和高速外部振荡器处于关闭状态(没有独立看门狗)	2.09	2.10	19.2	32.4	mA
		调压器处于低功耗模式，高速内部 RC 振荡器和高速外部振荡器处于关闭状态(没有独立看门狗)	2.08	2.09	18.6	31.3	
	待机模式下的供应电流	低速外部振荡器和RTC处于关闭状态	3.93	5.72	10.4	14.9	μA
		低速外部振荡器和RTC处于开启状态	4.55	6.48	11.5	16.5	

(1) 典型值是在T_A = 25 °C下测试得到。
(2) 由综合评估得出，不在生产中测试。

图 13. 停机模式下的典型电流消耗在不同的 V_{DD} 时与温度的对比

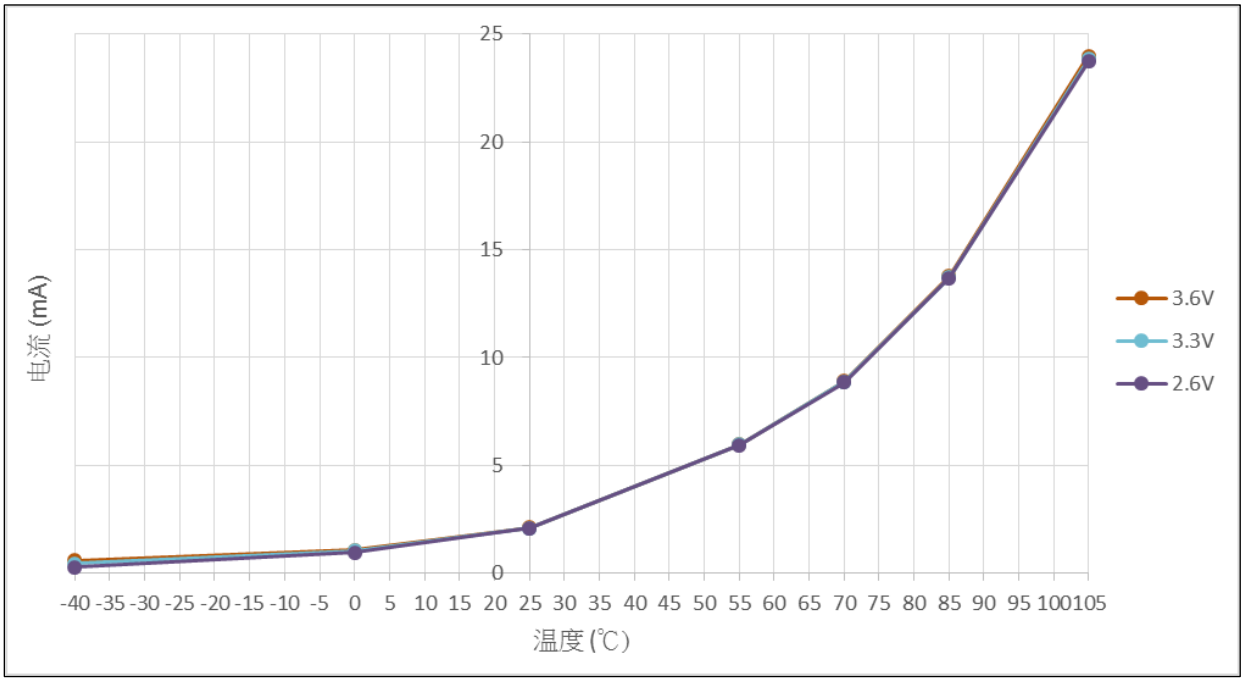


图 14. 待机模式下的典型电流消耗在不同的 V_{DD} 时与温度的对比

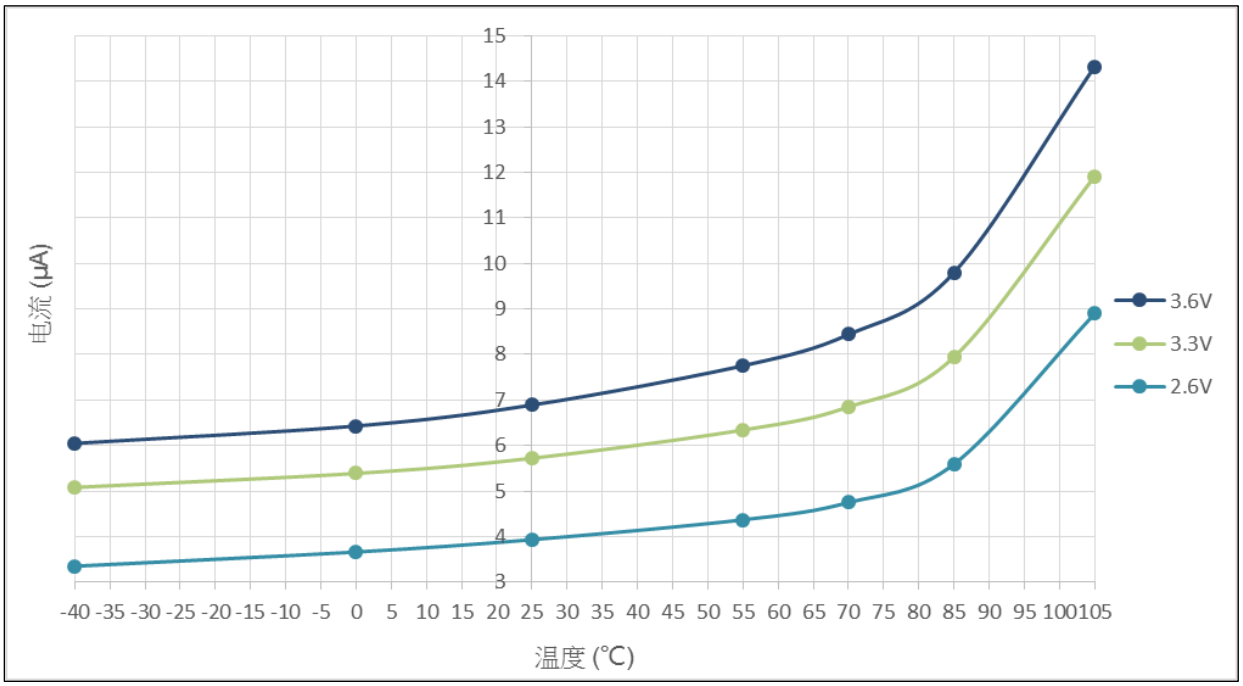
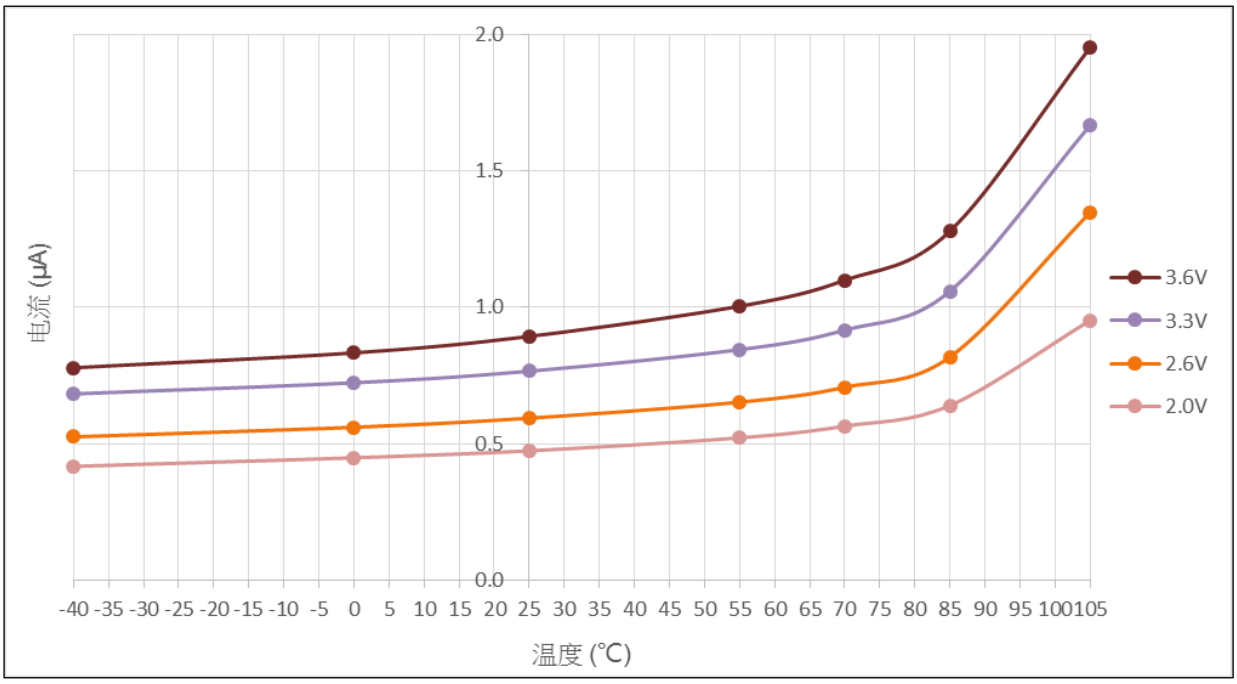


表 18. V_{BAT} 的典型和最大电流消耗

符号	参数	条件	典型值(1)			最大值(2)		单位
			V_{BAT} = 2.0 V	V_{BAT} = 2.6 V	V_{BAT} = 3.3 V	T_A = 85 °C	T_A = 105 °C	
I_{DD_VBAT}	备份区域的供应电流	低速外部振荡器和RTC处于开启状态，$V_{DD} < V_{PDR}$	0.47	0.59	0.77	1.34	2.04	μA

(1) 典型值是在T_A = 25 °C下测试得到。
(2) 由综合评估得出，不在生产中测试。

图 15. V_{BAT} 的典型电流消耗（LSE 和 RTC 开启）在不同的 V_{BAT} 电压时与温度的对比



典型的电流消耗

微控制器处于下述条件下：

- 所有的I/O引脚都处于模拟输入模式。
- 所有的外设都处于关闭状态，除非特别说明。
- 指令预取功能开启(提示：这个参数必须在设置时钟和总线分频之前设置)。
- 环境温度和V_{DD}供电电压符合*表11*。
- 当开启外设时:
  - 若f_{HCLK} > 100 MHz, $f_{PCLK1} = f_{HCLK}/2$，$f_{PCLK2} = f_{HCLK}/2$，$f_{ADCCLK} = f_{PCLK2}/4$；
  - 若f_{HCLK} ≤ 100 MHz, $f_{PCLK1} = f_{HCLK}$，$f_{PCLK2} = f_{HCLK}$，$f_{ADCCLK} = f_{PCLK2}/4$。

表 19. 运行模式下的典型电流消耗

符号	参数	条件	f_{HCLK}	典型值(1)		单位
				使能所有外设	关闭所有外设	
I_{DD}	运行模式下的供应电流	外部时钟(2)	240 MHz	103.4	42.5	mA
			200 MHz	86.8	36.0	
			144 MHz	63.7	26.9	
			108 MHz	48.7	21.0	
			72 MHz	40.5	16.5	
			48 MHz	28.3	12.2	
			36 MHz	22.1	10.0	
			24 MHz	15.9	7.83	
			16 MHz	11.8	6.39	
			8 MHz	7.22	4.51	
			4 MHz	5.23	3.87	
			2 MHz	4.24	3.55	
			1 MHz	3.74	3.39	
			500 kHz	3.50	3.30	
			125 kHz	3.32	3.25	
		运行于高速内部RC振荡器(HSI)	240 MHz	103.2	42.5	mA
			200 MHz	86.7	36.0	
			144 MHz	63.7	26.9	
			108 MHz	48.7	21.0	
			72 MHz	40.6	16.5	
			48 MHz	28.3	12.1	
			36 MHz	22.1	10.0	
			24 MHz	15.9	7.78	
			16 MHz	11.8	6.34	
			8 MHz	7.15	4.44	
			4 MHz	5.16	3.80	
			2 MHz	4.17	3.47	
			1 MHz	3.67	3.31	
			500 kHz	3.43	3.23	
			125 kHz	3.24	3.17	

(1) 典型值是在T_A = 25 °C, V_{DD} = 3.3 V时测试得到。
(2) 外部时钟为8 MHz，当f_{HCLK} > 8 MHz时启用PLL。

表 20. 睡眠模式下的典型电流消耗

符号	参数	条件	f_{HCLK}	典型值(1)		单位
				使能所有外设	关闭所有外设	
I_{DD}	睡眠模式下的供应电流	外部时钟(2)	240 MHz	87.4	13.1	mA
			200 MHz	73.4	11.5	
			144 MHz	53.9	9.23	
			108 MHz	41.3	7.80	
			72 MHz	35.0	7.08	
			48 MHz	24.6	5.89	
			36 MHz	19.3	5.29	
			24 MHz	14.1	4.70	
			16 MHz	10.6	4.30	
			8 MHz	6.60	3.46	
			4 MHz	4.92	3.34	
			2 MHz	4.08	3.28	
			1 MHz	3.67	3.25	
			500 kHz	3.46	3.24	
			125 kHz	3.31	3.23	
		运行于高速内部RC振荡器(HSI)	240 MHz	87.2	13.0	mA
			200 MHz	73.3	11.4	
			144 MHz	53.9	9.18	
			108 MHz	41.3	7.74	
			72 MHz	35.0	7.02	
			48 MHz	24.6	5.82	
			36 MHz	19.3	5.22	
			24 MHz	14.0	4.63	
			16 MHz	10.5	4.24	
			8 MHz	6.52	3.39	
			4 MHz	4.85	3.27	
			2 MHz	4.01	3.21	
			1 MHz	3.60	3.18	
			500 kHz	3.39	3.16	
			125 kHz	3.24	3.15	

(1) 典型值是在T_A = 25 °C, V_{DD} = 3.3 V时测试得到。
(2) 外部时钟为8 MHz，当f_{HCLK} > 8 MHz时启用PLL。

内置外设电流消耗

内置外设的电流消耗列于*表21*，微控制器的工作条件如下：

- 所有的I/O引脚都处于模拟输入模式。
- 所有的外设都处于关闭状态，除非特别说明。
- 给出的数值是通过测量电流消耗计算得出
  - 关闭所有外设的时钟
  - 只开启一个外设的时钟
- 环境温度和V_{DD}供电电压条件列于*表11*。

表 21. 内置外设的电流消耗

内置外设		典型值	单位
AHB (最高至240 MHz)	DMA1	9.34	μA/MHz
	DMA2	9.39	
	GPIOA	1.41	
	GPIOB	1.41	
	GPIOC	1.47	
	GPIOD	1.43	
	GPIOE	1.44	
	XMC	26.89	
	CRC	1.53	
	SDIO1	19.62	
	SDIO2	20.40	
APB1 (最高至120 MHz)	TMR2	9.11	
	TMR3	6.52	
	TMR4	6.54	
	TMR5	8.82	
	TMR6	0.77	
	TMR7	0.75	
	TMR12	3.89	
	TMR13	2.45	
	TMR14	2.48	
	SPI2/I^2S2	5.19	
	SPI3/I^2S3	4.95	
	SPI4/I^2S4	2.62	
	USART2	2.60	
	USART3	2.57	
	UART4	2.60	
	UART5	2.63	

内置外设		典型值	单位
APB1 (最高至120 MHz)	I^2C1	2.47	μA/MHz
	I^2C2	2.54	
	USB	6.40	
	CAN1	3.77	
	CAN2	3.77	
	DAC	2.30	
	WWDG	0.34	
	PWR	0.34	
	BKP	68.36	
APB2 (最高至120 MHz)	AFIO	2.32	
	SPI1/I^2S1	2.82	
	USART1	2.53	
	USART6	2.64	
	UART7	2.80	
	UART8	2.85	
	I^2C3	2.48	
	TMR1	8.99	
	TMR8	8.72	
	TMR9	3.78	
	TMR10	2.62	
	TMR11	2.56	
	ADC1	5.17	
	ADC2	5.24	
	ADC3	5.18	
	ACC	0.95	

5.3.6 外部时钟源特性

来自外部振荡源产生的高速外部用户时钟

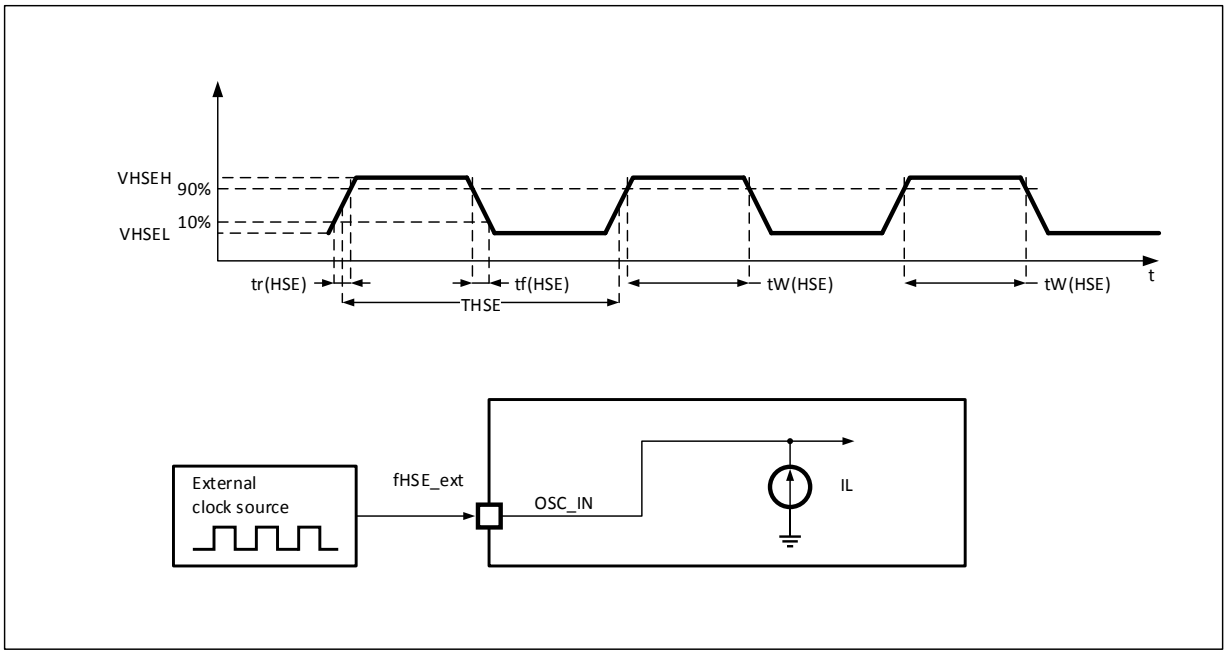
下表中给出的特性参数是使用一个高速的外部时钟源测得，环境温度和供电电压符合*表11*的条件。

表 22. 高速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSE_ext}	用户外部时钟频率(1)	-	1	8	25	MHz
V_{HSEH}	OSC_IN输入引脚高电平电压		0.7V_{DD}	-	V_{DD}	V
V_{HSEL}	OSC_IN输入引脚低电平电压		V_{SS}	-	0.3V_{DD}	
$t_{w(HSE)}$ $t_{w(HSE)}$	OSC_IN高或低的时间(1)		5	-	-	ns
$t_{r(HSE)}$ $t_{f(HSE)}$	OSC_IN上升或下降的时间(1)		-	-	20	
$C_{in(HSE)}$	OSC_IN输入容抗(1)	-	-	5	-	pF
DuCy(HSE)	占空比	-	45	-	55	%
I_L	OSC_IN输入漏电流	$V_{SS} \le V_{IN} \le V_{DD}$	-	-	±1	μA

(1) 由设计保证，不在生产中测试。

图 16. 外部高速时钟源的交流时序图



来自外部振荡源产生的低速外部用户时钟

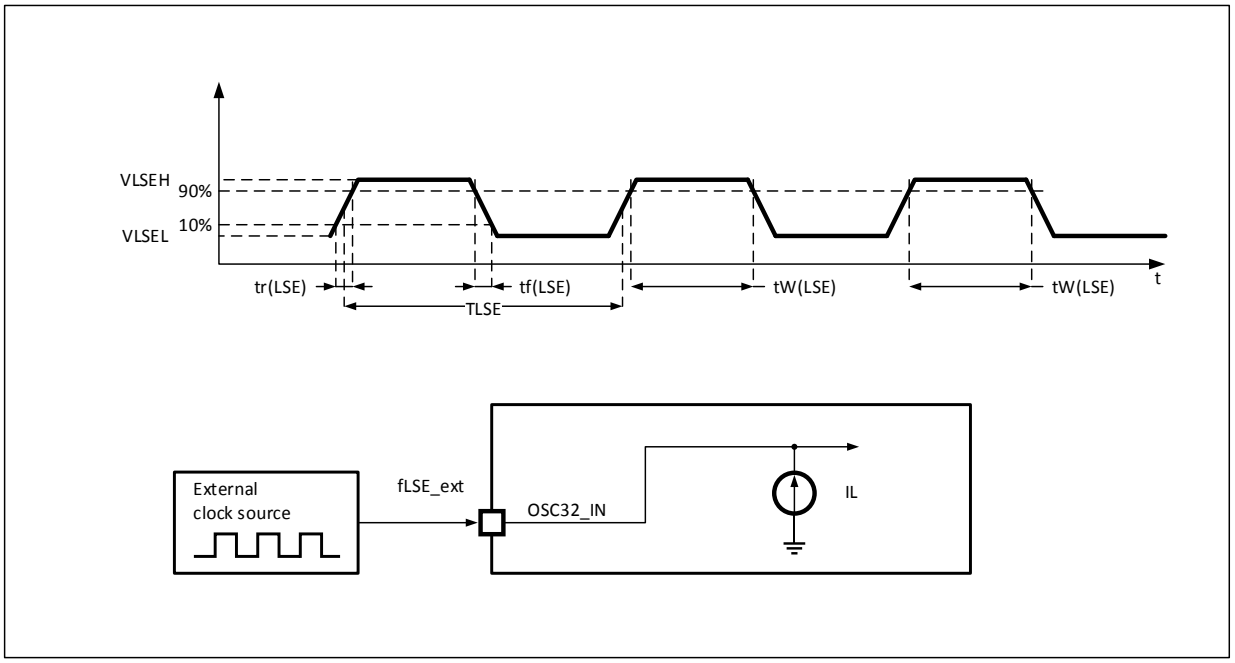
下表中给出的特性参数是使用一个低速的外部时钟源测得，环境温度和供电电压符合*表11*的条件。

表 23. 低速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSE_ext}	用户外部时钟频率(1)	-	-	32.768	1000	kHz
V_{LSEH}	OSC32_IN输入引脚高电平电压	-	$0.7V_{DD}$	-	V_{DD}	V
V_{LSEL}	OSC32_IN输入引脚低电平电压	-	V_{SS}	-	$0.3V_{DD}$	V
$t_{w(LSE)}$ $t_{w(LSE)}$	OSC32_IN高或低的时间(1)	-	450	-	-	ns
$t_{r(LSE)}$ $t_{f(LSE)}$	OSC32_IN上升或下降的时间(1)	-	-	-	50	ns
$C_{in(LSE)}$	OSC32_IN输入容抗(1)	-	-	5	-	pF
$DuCy_{(LSE)}$	占空比	-	30	-	70	%
I_L	OSC32_IN输入漏电流	$V_{SS} \le V_{IN} \le V_{DD}$	-	-	±1	μA

(1) 由设计保证，不在生产中测试。

图 17. 外部低速时钟源的交流时序图



使用一个晶体/陶瓷谐振器产生的高速外部时钟

高速外部时钟(HSE)可以使用一个4~25 MHz的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。

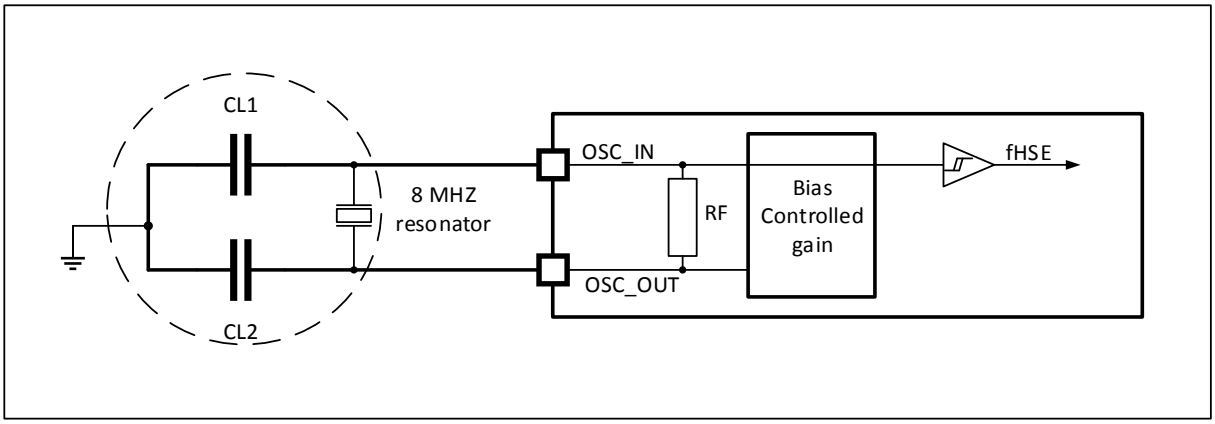
表 24. HSE 4~25 MHz 振荡器特性(1)(2)

符号	参数	条件	最小值	典型值	最大值	单位
f_{OSC_IN}	振荡器频率	-	4	8	25	MHz
$t_{SU(HSE)}$(3)	启动时间	V_{DD}是稳定的	-	2	-	ms

(1) 谐振器的特性参数由晶体/陶瓷谐振器制造商给出。
(2) 由综合评估得出，不在生产中测试。
(3) $t_{SU(HSE)}$是启动时间，是从软件使能HSE开始测量，直至得到稳定的8 MHz振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

对于C_{L1}和C_{L2}，建议使用高质量的、为高频应用而设计的(典型值为) 5 pF~25 pF之间的瓷介电容器，并挑选符合要求的晶体或谐振器。通常C_{L1}和C_{L2}具有相同参数。晶体制造商通常以C_{L1}和C_{L2}的串行组合给出负载电容的参数。在选择C_{L1}和C_{L2}时，PCB和MCU引脚的容抗应该考虑在内(可以粗略地把引脚与PCB板的电容按10 pF估计)。

图 18. 使用 8 MHz 晶体的典型应用



使用一个晶体/陶瓷谐振器产生的低速外部时钟

低速外部时钟(LSE)可以使用一个32.768 kHz的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。(注：这里提到的晶体谐振器就是我们通常说的无源晶振)

表 25. LSE 振荡器特性(f_{LSE} = 32.768 kHz)(1)

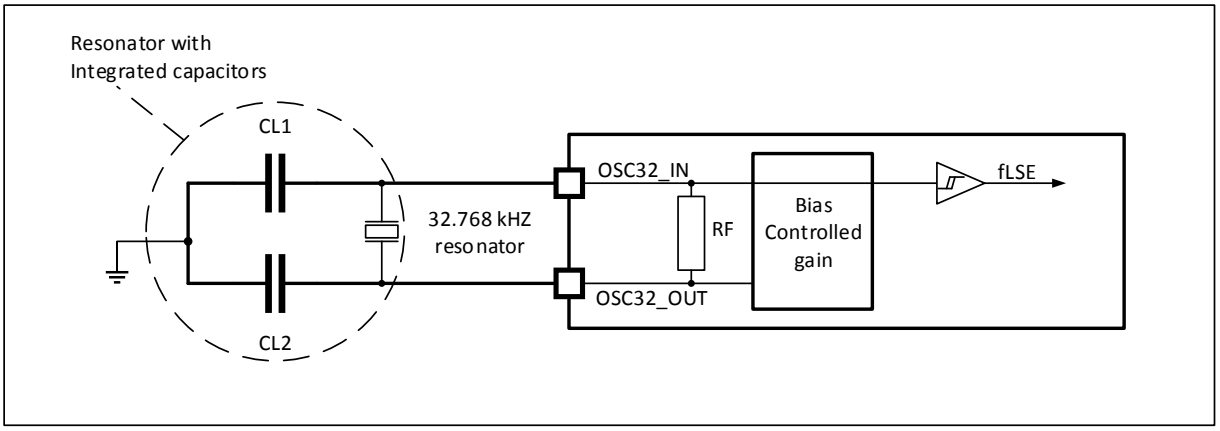
符号	参数	条件	最小值	典型值	最大值	单位
$t_{SU(LSE)}$	启动时间	V_{DD}是稳定的	-	150	-	ms

(1) 由综合评估得出，不在生产中测试。

对于C_{L1}和C_{L2}，建议使用高质量的5 pF~15 pF之间的瓷介电容器，并挑选符合要求的晶体或谐振器。通常C_{L1}和C_{L2}具有相同参数。晶体制造商通常以C_{L1}和C_{L2}的串行组合给出负载电容的参数。

负载电容C_L由下式计算：$C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_{stray}$，其中$C_{stray}$是引脚的电容和PCB板或PCB相关的电容，它的典型值是介于2 pF至7 pF之间。

图 19. 使用 32.768 kHz 晶体的典型应用



5.3.7 内部时钟源特性

下表中给出的特性参数是使用环境温度和供电电压符合*表11*的条件测量得到。

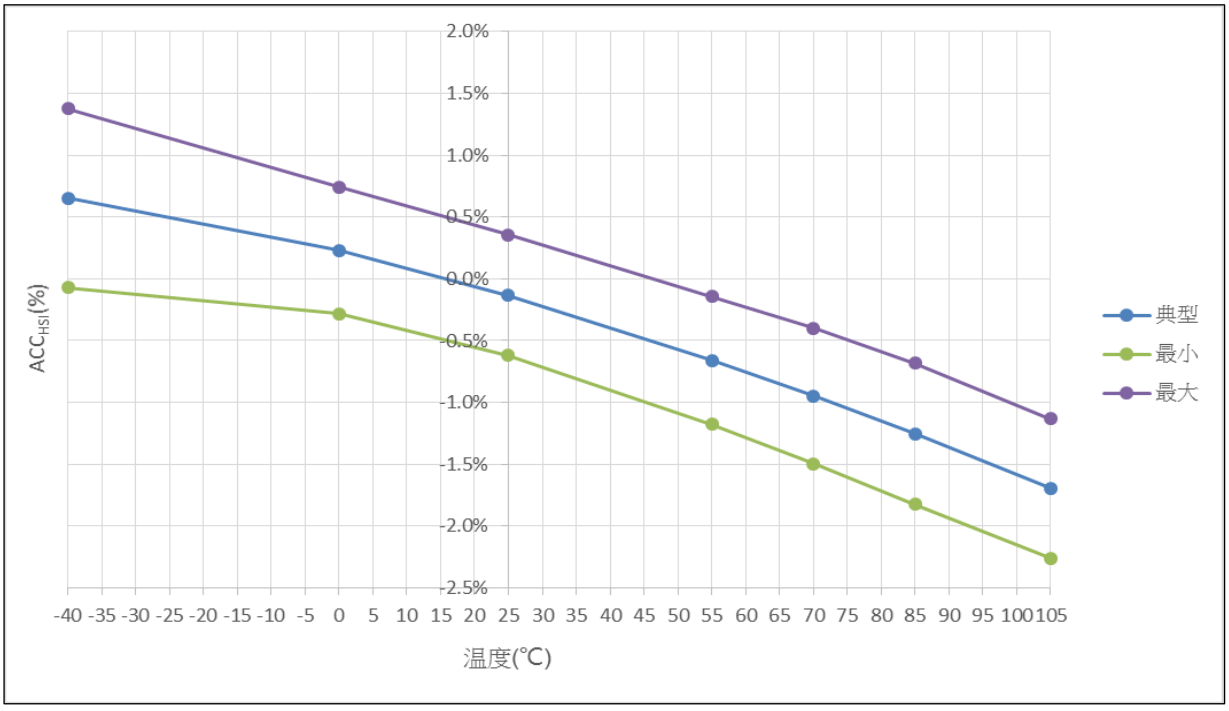
高速内部(HSI) RC振荡器

表 26. HSI 振荡器特性(1)

符号	参数	条件		最小值	典型值	最大值	单位
f_{HSI}	频率	-		-	48	-	MHz
$DuCy_{(HSI)}$	占空比	-		45	-	55	%
ACC_{HSI}	HSI振荡器的精度	使用者以寄存器RCC_CTRL校准		-	-	1(2)	%
		使用者以ACC校准		-	-	0.25(2)	
		出厂校准(3)	T_A = -40 ~ 105 °C	-2.5	-	2	%
			T_A = -40 ~ 85 °C	-2	-	2	%
			T_A = 0 ~ 70 °C	-1.5	-	1.5	
			T_A = 25 °C	-1	-	1	%
$t_{SU(HSI)}$(3)	HSI振荡器启动时间	-		-	-	10	μs
$I_{DD(HSI)}$(3)	HSI振荡器功耗	-		-	240	290	μA

(1) V_{DD} = 3.3 V，T_A = -40~105 °C，除非特别说明。
(2) 由设计保证，不在生产中测试。
(3) 由综合评估得出，不在生产中测试。

图 20. HSI 振荡器精度与温度的对比



低速内部(LSI) RC振荡器

表 27. LSI 振荡器特性(1)

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSI}(2)	频率	-	30	40	60	kHz

(1) V_{DD} = 3.3 V，T_A = -40~105 °C，除非特别说明。
(2) 由综合评估得出，不在生产中测试。

5.3.8 低功耗模式唤醒时间

下表列出的唤醒时间是在一个系统时钟为HSI RC振荡器的唤醒阶段测量得到。唤醒时使用的时钟源当前依据当前的操作模式而定：

- 停机或待机模式：时钟源是HSI RC振荡器
- 睡眠模式：时钟源是进入睡眠模式时所使用的时钟所有的时间是使用环境温度和供电电压符合*表11*的条件测量得到。

表 28. 低功耗模式的唤醒时间

符号	参数	典型值	单位
$t_{WUSLEEP}$(1)	从睡眠模式唤醒	3.3	μs
t_{WUSTOP}(1)	从停机模式唤醒(调压器处于运行模式)	280	μs
	从停机模式唤醒(调压器处于低功耗模式)	320	
$t_{WUSTDBY}$(1)	从待机模式唤醒	8	ms

(1) 唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令。

5.3.9 PLL 特性

下表列出的参数是使用环境温度和供电电压符合*表11*的条件测量得到。

表 29. PLL 特性

符号	参数	最小值	典型值	最大值(1)	单位
f_{PLL_IN}	PLL输入时钟(2)	2	8	16	MHz
	PLL输入时钟占空比	40	-	60	%
f_{PLL_OUT}	PLL倍频输出时钟	16	-	240	MHz
t_{LOCK}	PLL锁相时间	-	-	200	μs
Jitter	Cycle-to-cycle jitter	-	-	300	ps

(1) 由综合评估得出，不在生产中测试。
(2) 需要注意使用正确的倍频系数，从而根据PLL输入时钟频率使得f_{PLL_OUT}处于允许范围内。

5.3.10 存储器特性

除非特别说明，*表30*中给出的特性参数是基于T_A = 25 °C和V_{DD} = 3.3 V的条件测量得到。

表 30. 内部闪存存储器特性

符号	参数	条件	典型值						单位
			f_{HCLK}						
			240	200	144	72	48	8	MHz
T_{PROG}	编程时间	-	50						μs
t_{ERASE}	页(2K 字节)擦除时间	-	50						ms
t_{ME}	整片(块)擦除时间	AT32F403AxC	0.8						s
		AT32F403AxE	1.4						
		AT32F403AxG	1.4						
I_{DD}	编程电流	写模式	35.5	29.9	22.5	13.4	9.9	3.7	mA
		擦除模式	57.4	49.2	38.8	25.4	20.6	11.4	

表 31. 内部闪存存储器寿命和数据保存期限

符号	参数	条件	最小值(1)	典型值	最大值	单位
N_{END}	寿命(擦写次数)	T_A = -40 ~ 105 °C	100	-	-	千次
t_{RET}	数据保存期限	T_A = 105 °C	10	-	-	年

(1) 由设计保证，不在生产中测试。

5.3.11 XMC 特性

异步波形和时序

*图21*至*图22*显示了异步的波形， *表32*至*表33*给出了相应的时序。这些表格中的结果是按照下述XMC

配置得到：

- 地址建立时间(AddressSetupTime) = 0
- 地址保持时间(AddressHoldTime) = 1
- 数据建立时间(DataSetupTime) = 1

图 21. 异步总线复用 PSRAM/NOR 读操作波形

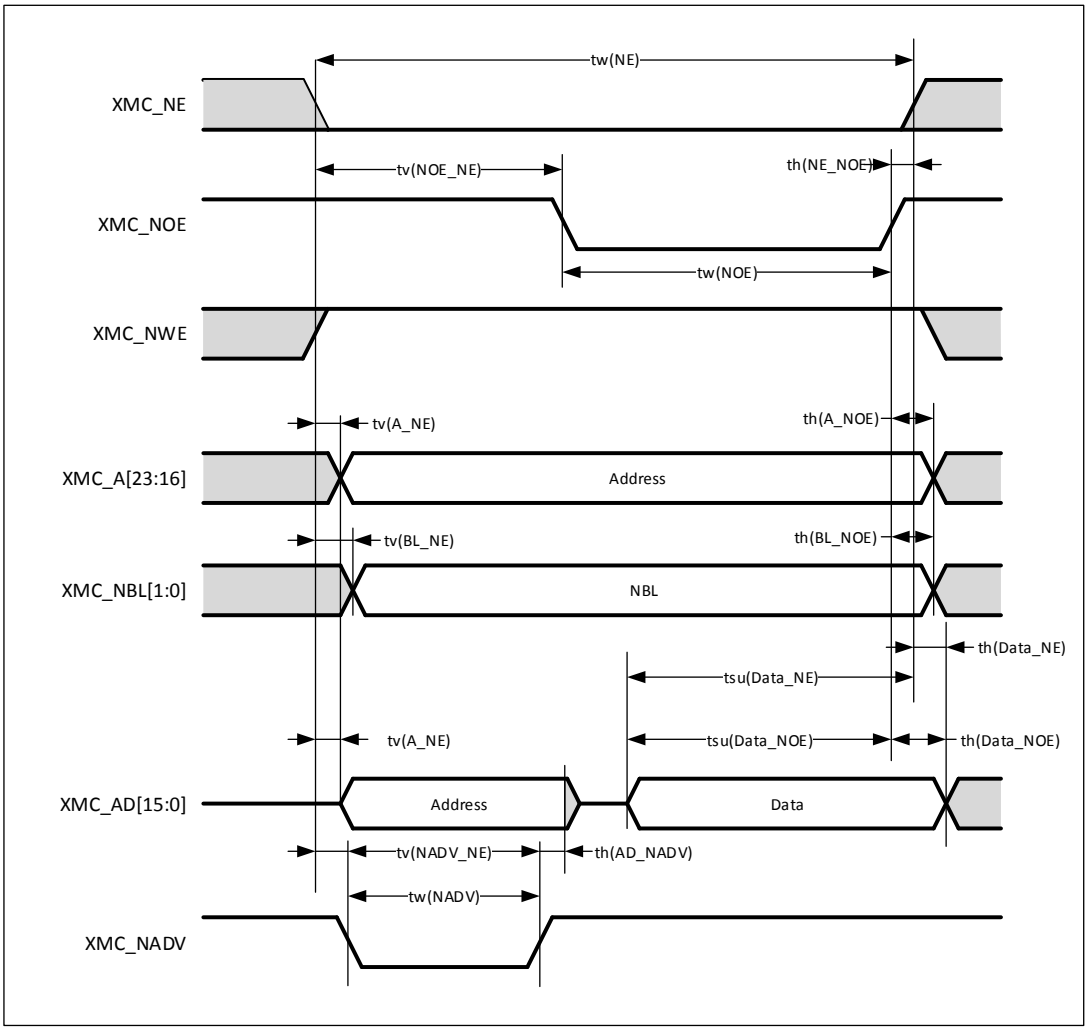


表 32. 异步总线复用的 PSRAM/NOR 读操作时序(1)(2)

符号	参数	最小值	最大值	单位
$t_{w(NE)}$	XMC_NE低时间	$7t_{HCLK}$ - 2	$7t_{HCLK}$ + 2	ns
$t_{v(NOE_NE)}$	XMC_NEx低至XMC_NOE低	$3t_{HCLK}$ - 0.5	$3t_{HCLK}$ + 1.5	ns
$t_{w(NOE)}$	XMC_NOE低时间	$4t_{HCLK}$ - 1	$4t_{HCLK}$ + 2	ns
$t_{h(NE_NOE)}$	XMC_NOE高至XMC_NEx高保持时间	-1	-	ns
$t_{v(A_NE)}$	XMC_NEx低至XMC_A有效	-	0	ns
$t_{v(NADV_NE)}$	XMC_NEx低至XMC_NADV低	3	5	ns
$t_{w(NADV)}$	XMC_NADV低时间	t_{HCLK} - 1.5	t_{HCLK} + 1.5	ns
$t_{h(AD_NADV)}$	XMC_NADV高之后XMC_AD(地址)有效保持时间	t_{HCLK} + 3	-	ns
$t_{h(A_NOE)}$	XMC_NOE高之后的地址保持时间	t_{HCLK} + 3	-	ns
$t_{h(BL_NOE)}$	XMC_NOE高之后的XMC_BL保持时间	0	-	ns
$t_{v(BL_NE)}$	XMC_NEx低至XMC_BL有效	-	0	ns
$t_{su(Data_NE)}$	数据至XMC_NEx高的建立时间	$2t_{HCLK}$ + 24	-	ns
$t_{su(Data_NOE)}$	数据至XMC_NOEx高的建立时间	$2t_{HCLK}$ + 25	-	ns
$t_{h(Data_NE)}$	XMC_NEx高之后的数据保持时间	0	-	ns
$t_{h(Data_NOE)}$	XMC_NOE高之后的数据保持时间	0	-	ns

(1) C_L = 15 pF
(2) 由综合评估得出，不在生产中测试。

图 22. 异步总线复用 PSRAM/NOR 写操作波形

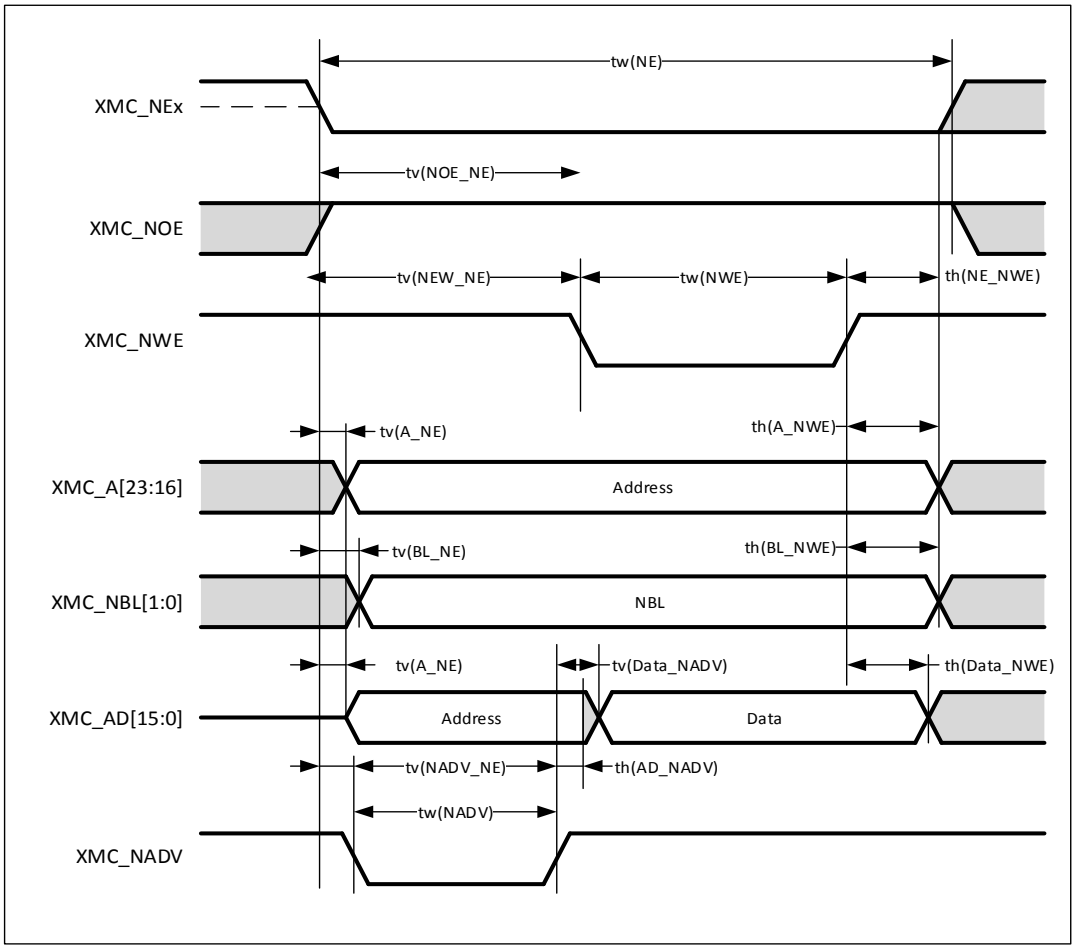


表 33. 异步总线复用的 PSRAM/NOR 写操作时序(1)(2)

符号	参数	最小值	最大值	单位
$t_{w(NE)}$	XMC_NEx低时间	$5t_{HCLK}$ - 1	$5t_{HCLK}$ + 2	ns
$t_{v(NWE_NE)}$	XMC_NEx低至XMC_NWE低	$2t_{HCLK}$	$2t_{HCLK}$ + 1	ns
$t_{w(NWE)}$	XMC_NWE低时间	$2t_{HCLK}$ - 1	$2t_{HCLK}$ + 2	ns
$t_{h(NE_NWE)}$	XMC_NWE高至XMC_NEx高保持时间	t_{HCLK} - 1	-	ns
$t_{v(A_NE)}$	XMC_NEx低至XMC_A有效	-	7	ns
$t_{v(NADV_NE)}$	XMC_NEx低至XMC_NADV低	3	5	ns
$t_{w(NADV)}$	XMC_NADV低时间	t_{HCLK} - 1	t_{HCLK} + 1	ns
$t_{h(AD_NADV)}$	XMC_NADV高之后XMC_AD(地址)有效保持时间	t_{HCLK} - 3	-	ns
$t_{h(A_NWE)}$	XMC_NWE高之后的地址保持时间	$4t_{HCLK}$ + 2.5	-	ns
$t_{v(BL_NE)}$	XMC_NEx低至XMC_BL有效	-	1.6	ns
$t_{h(BL_NWE)}$	XMC_NWE高之后的XMC_BL保持时间	t_{HCLK} - 1.5	-	ns
$t_{v(Data_NADV)}$	XMC_NADV高至数据保持时间	-	t_{HCLK} + 1.5	ns
$t_{h(Data_NWE)}$	XMC_NWE高之后的数据保持时间	t_{HCLK} - 5	-	ns

(1) C_L = 15 pF
(2) 由综合评估得出，不在生产中测试。

同步波形和时序

*图23*至*图24*显示了同步的波形，*表34*至*表35*给出了相应的时序。这些表格中的结果是按照下述XMC配置得到：

- BurstAccessMode = XMC_BurstAccessMode_Enable，使能突发传输模式
- MemoryType = XMC_MemoryType_CRAM，存储器类型为CRAM
- WriteBurst = XMC_WriteBurst_Enable，使能突发写操作
- CLKPrescale = 1，(1个存储器周期 = 2个HCLK周期) (注：CLKPrescale是XMC_BK1TMGx寄存器中的CLKPSC位，参见AT32F403A系列参考手册)
- 使用NOR闪存时，DataLatency = 1；使用PSRAM时，DataLatency = 0 (注：DataLatency是XMC_BK1TMGx寄存器中的DATLAT位，参见AT32F403A系列参考手册)

图 23. 同步总线复用 PSRAM/NOR 读时序

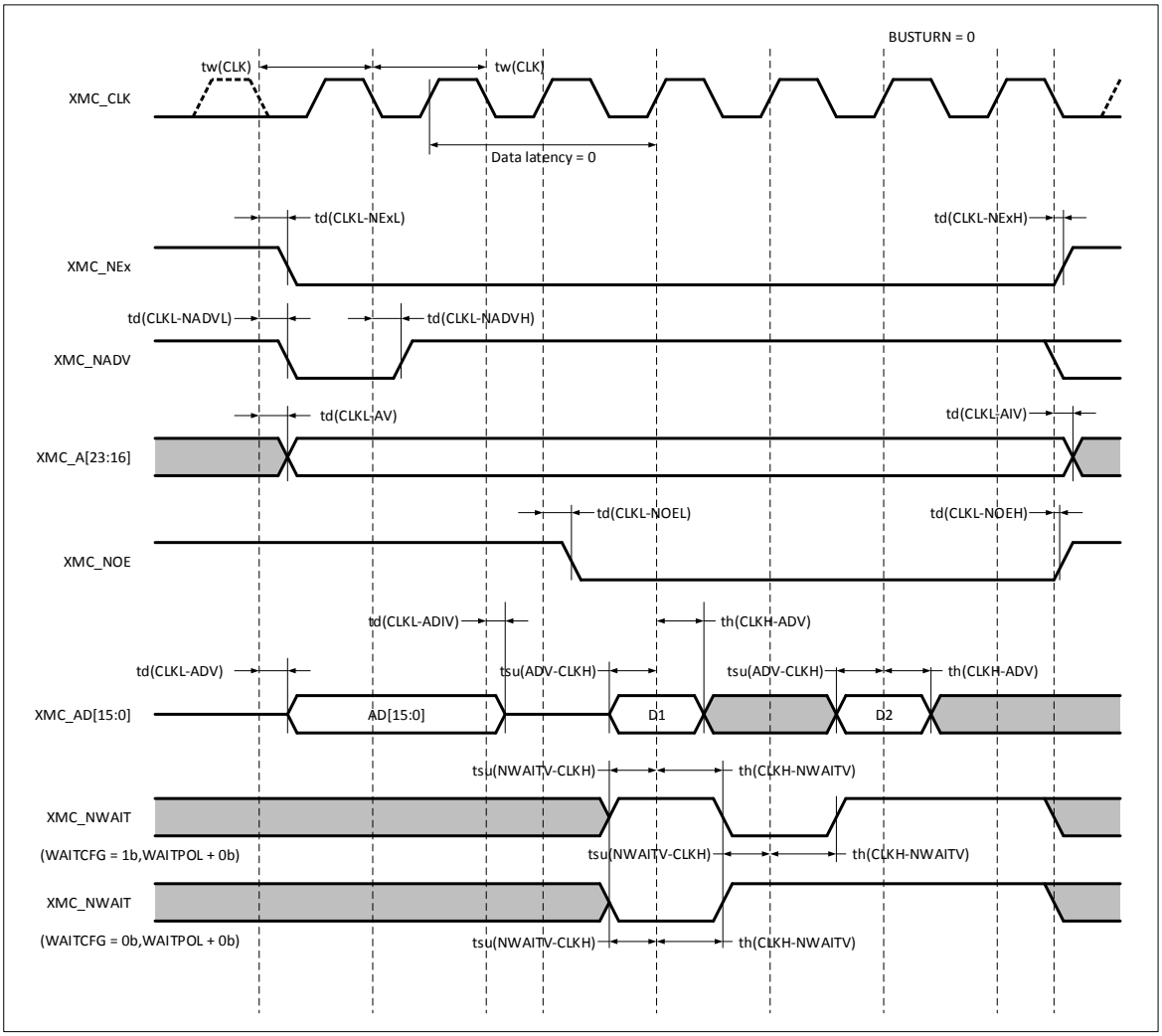


表 34. 同步总线复用 PSRAM/NOR 读时序(1)(2)

符号	参数	最小值	最大值	单位
$t_{w(CLK)}$	XMC_CLK周期	20	-	ns
$t_{d(CLKL-NexL)}$	XMC_CLK低至XMC_NEx低	-	1.5	ns
$t_{d(CLKH-NexH)}$	XMC_CLK高至XMC_NEx高	t_{HCLK} + 2	-	ns
$t_{d(CLKL-NADVL)}$	XMC_CLK低至XMC_NADV低	-	4	ns
$t_{d(CLKL-NADVH)}$	XMC_CLK低至XMC_NADV高	5	-	ns
$t_{d(CLKL-AV)}$	XMC_CLK低至XMC_Ax有效(x = 16…23)	-	0	ns
$t_{d(CLKH-AIV)}$	XMC_CLK高至XMC_Ax无效(x = 16…23)	t_{HCLK} + 2	-	ns
$t_{d(CLKL-NOEL)}$	XMC_CLK低至XMC_NOE低		t_{HCLK} + 1	ns
$t_{d(CLKH-NOEH)}$	XMC_CLK高至XMC_NOE高	t_{HCLK} + 0.5	-	ns
$t_{d(CLKL-ADV)}$	XMC_CLK低至XMC_AD[15:0]有效	-	12	ns
$t_{d(CLKL-ADIV)}$	XMC_CLK低至XMC_AD[15:0]无效	0	-	ns
$t_{su(ADV-CLKH)}$	XMC_CLK高之前XMC_AD[15:0]有效数据	6	-	ns
$t_{h(CLKH-ADV)}$	XMC_CLK高之后XMC_AD[15:0]有效数据	t_{HCLK} - 10	-	ns
$t_{su(NWAITV-CLKH)}$	XMC_CLK高之前XMC_NWAIT有效	8	-	ns
$t_{h(CLKH-NWAITV)}$	XMC_CLK高之后XMC_NWAIT有效	6	-	ns

(1) C_L = 15 pF
(2) 由综合评估得出，不在生产中测试。

图 24. 同步总线复用 PSRAM 写时序

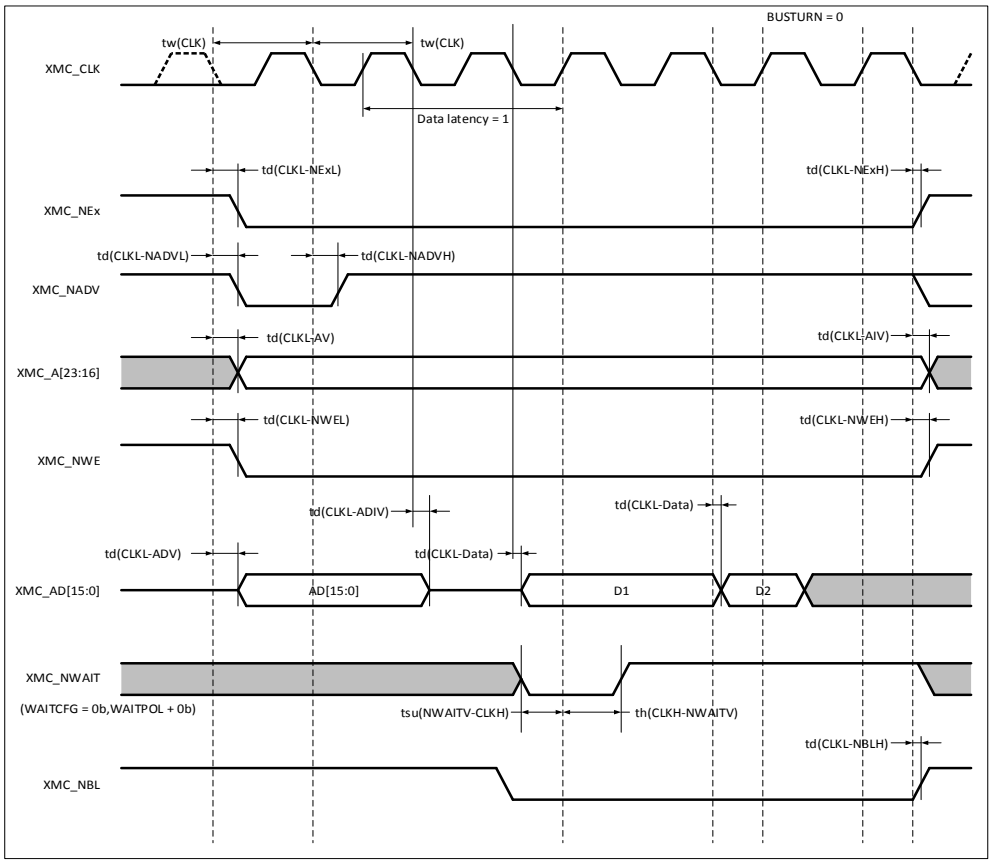


表 35. 同步总线复用 PSRAM 写时序(1)(2)

符号	参数	最小值	最大值	单位
$t_{w(CLK)}$	XMC_CLK周期	20	-	ns
$t_{d(CLKL-NexL)}$	XMC_CLK低至XMC_NEx低	-	2	ns
$t_{d(CLKH-NexH)}$	XMC_CLK高至XMC_NEx高	t_{HCLK} + 2	-	ns
$t_{d(CLKL-NADVL)}$	XMC_CLK低至XMC_NADV低	-	4	ns
$t_{d(CLKL-NADVH)}$	XMC_CLK低至XMC_NADV高	5	-	ns
$t_{d(CLKL-AV)}$	XMC_CLK低至XMC_Ax有效(x = 16…23)	-	0	ns
$t_{d(CLKH-AIV)}$	XMC_CLK高至XMC_Ax无效(x = 16…23)	t_{HCLK} + 2	-	ns
$t_{d(CLKL-NWEL)}$	XMC_CLK低至XMC_NWE低	-	1	ns
$t_{d(CLKH-NWEH)}$	XMC_CLK高至XMC_NWE高	t_{HCLK} + 1	-	ns
$t_{d(CLKL-ADV)}$	XMC_CLK低至XMC_AD[15:0]有效	-	12	ns
$t_{d(CLKL-ADIV)}$	XMC_CLK低至XMC_AD[15:0]无效	3	-	ns
$t_{d(CLKL-Data)}$	XMC_CLK低之后XMC_AD[15:0]有效	-	6	ns
$t_{su(NWAITV-CLKH)}$	XMC_CLK高之前XMC_NWAIT有效	7	-	ns
$t_{h(CLKH-NWAITV)}$	XMC_CLK高之后XMC_NWAIT有效	2	-	ns
$t_{d(CLKL-NBLH)}$	XMC_CLK低至XMC_NBL高	1	-	ns

(1) C_L = 15 pF
(2) 由综合评估得出，不在生产中测试。

NAND控制器波形和时序

*图25*至*图28*显示了同步的波形，*表36*给出了相应的时序。这些表格中的结果是按照下述XMC配置得到：

- COM.XMC_SetupTime = 0x01；(注：XMC_BK2TMGMEM的STP)
- COM.XMC_WaitSetupTime = 0x03；(注：XMC_BK2TMGMEM的OP)
- COM.XMC_HoldSetupTime = 0x02；(注：XMC_BK2TMGMEM的HLD)
- COM.XMC_HiZSetupTime = 0x01；(注：XMC_BK2TMGMEM的WRSTP)
- ATT.XMC_SetupTime = 0x01；(注：XMC_BK2TMGATT的STP)
- ATT.XMC_WaitSetupTime = 0x03；(注：XMC_BK2TMGATT的OP)
- ATT.XMC_HoldSetupTime = 0x02；(注：XMC_BK2TMGATT的HLD)
- ATT.XMC_HiZSetupTime = 0x01；(注：XMC_BK2TMGATT的WRSTP)
- Bank = XMC_Bank_NAND;
- MemoryDataWidth = XMC_MemoryDataWidth_16b；(注：存储器数据宽度 = 16位)
- ECC = XMC_ECC_Enable；(注：使能ECC计算)
- ECCPageSize = XMC_ECCPageSize_512Bytes；(注：ECC页大小 = 512字节)
- DLYCRSetupTime = 0；(注：XMC_BK2CTRL的DLYCR)
- DLYARSetupTime = 0；(注：XMC_BK2CTRL的DLYAR)

图 25. NAND 控制器读操作波形

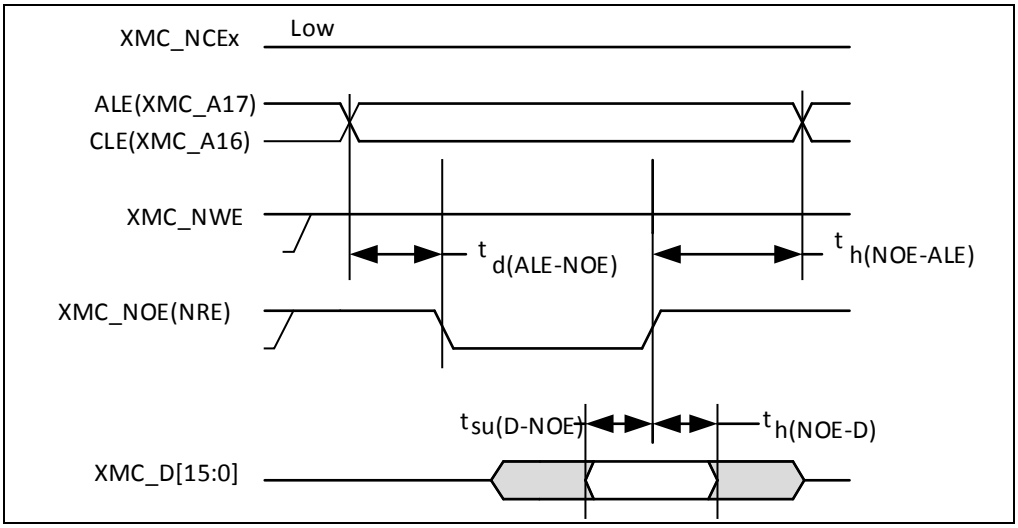


图 26. NAND 控制器写操作波形

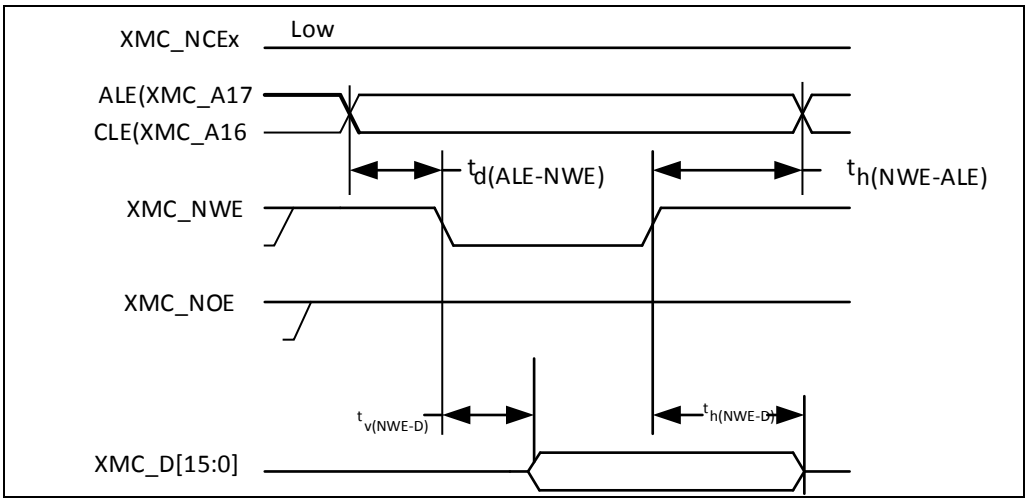


图 27. NAND 控制器在通用存储空间的读操作波形

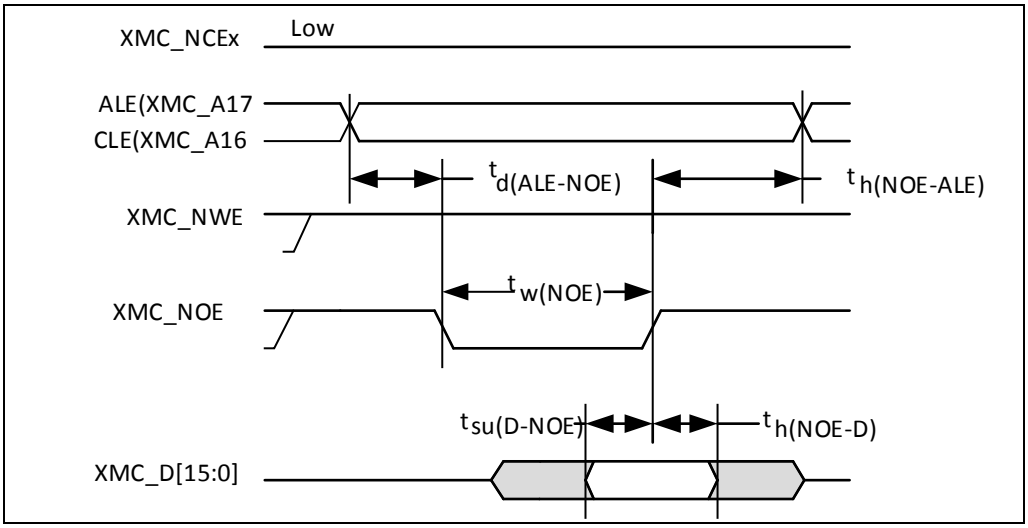


图 28. NAND 控制器在通用存储空间的写操作波形

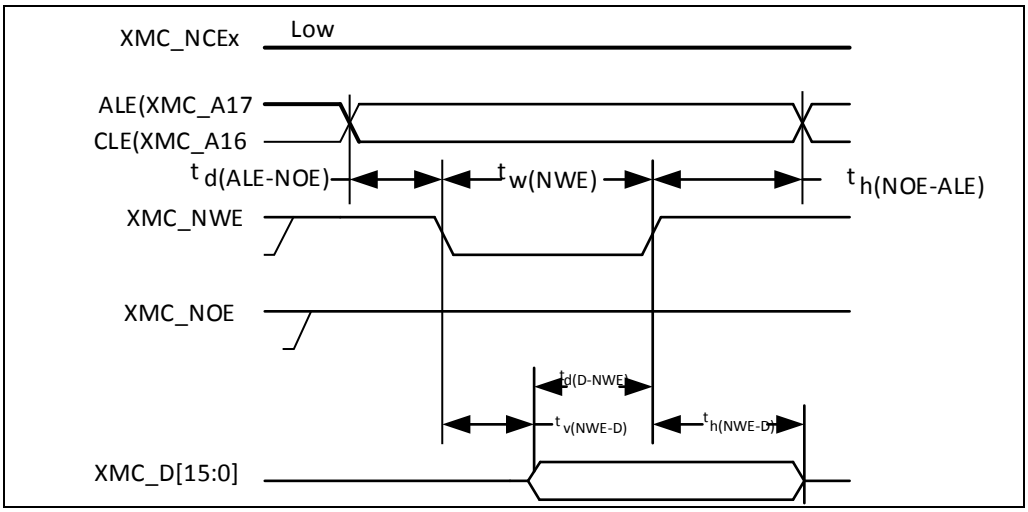


表 36. NAND 闪存读写周期的时序特性(1)

符号	参数	最小值	最大值	单位
$t_{d(D-NWE)}$(2)	XMC_NWE高之前至XMC_D[15:0]数据有效	$6T_{HCLK}$ + 12	-	ns
$t_{w(NOE)}$(2)	XMC_NOE低时间	$4T_{HCLK}$ - 1.5	$4T_{HCLK}$ + 1.5	ns
$t_{su(D-NOE)}$(2)	XMC_NOE高之前至XMC_D[15:0]数据有效	25	-	ns
$t_{h(NOE-D)}$(2)	XMC_NOE高之后至XMC_D[15:0]数据有效	14	-	ns
$t_{w(NWE)}$(2)	XMC_NWE低时间	$4T_{HCLK}$ - 1	$4T_{HCLK}$ + 2.5	ns
$t_{v(NWE-D)}$(2)	XMC_NWE低至XMC_D[15:0]数据有效	-	0	ns
$t_{h(NWE-D)}$(2)	XMC_NWE高至XMC_D[15:0]数据无效	$10T_{HCLK}$ + 4	-	ns
$t_{d(ALE-NWE)}$(3)	XMC_NWE低之前至XMC_ALE有效	-	$3T_{HCLK}$ + 1.5	ns
$t_{h(NWE-ALE)}$(3)	XMC_NWE高至XMC_ALE无效	$3T_{HCLK}$ + 4.5	-	ns
$t_{d(ALE-NOE)}$(3)	XMC_NOE低之前至XMC_ALE有效	-	$3T_{HCLK}$ + 2	ns
$t_{h(NOE-ALE)}$(3)	XMC_NOE高至XMC_ALE无效	$3T_{HCLK}$ + 4.5	-	ns

(1) C_L = 15 pF
(2) 由综合评估得出，不在生产中测试。
(3) 由设计保证，不在生产中测试。

5.3.12 EMC 特性

敏感性测试是在产品的综合评估时抽样进行测试的。

功能性EMS(电磁敏感性)

- **FTB**：在V_{DD}和V_{SS}上通过一个100 pF的电容施加一个瞬变电压的脉冲群(正向和反向)直到产生功能性错误。这个测试符合IEC 61000-4-4标准。

表 37. EMS 特性

符号	参数	条件	级别/类型
V_{EFTB}	在V_{DD}和V_{SS}上通过100 pF的电容施加的、导致功能错误的瞬变脉冲群电压极限	V_{DD} = 3.3 V，LQFP100，T_A = +25 °C，f_{HCLK} = 240 MHz。符合IEC 61000-4-4	4A (4kV)
		V_{DD} = 3.3 V，LQFP100，T_A = +25 °C，f_{HCLK} = 72 MHz。符合IEC 61000-4-4	

设计牢靠的软件以避免噪声的问题

在器件级进行EMC的评估和优化，是在典型的应用环境中进行的。应该注意的是，好的EMC性能与用户应用和具体的软件密切相关。

因此，建议用户对软件实行EMC优化，并进行与EMC有关的认证测试。

软件建议

软件的流程中必须包含程序跑飞的控制，如：

- 被破坏的程序计数器
- 意外的复位
- 关键数据被破坏(控制寄存器等…)

认证前的试验

很多常见的失效(意外的复位和程序计数器被破坏)，可以通过人工地在NRST上引入一个低电平或在晶振引脚上引入一个持续1秒的低电平而重现。

5.3.13 绝对最大值(电气敏感性)

基于三个不同的测试(ESD，LU)，使用特定的测量方法，对芯片进行强度测试以决定它的电气敏感性方面的性能。

静电放电(ESD)

静电放电(一个正的脉冲然后间隔一秒钟后一个负的脉冲)施加到所有样品的所有引脚上，样品的大小与芯片上供电引脚数目相关(3片x(n+1)供电引脚)。这个测试符合JS-001-2017/JS-002-2014标准。

表 38. ESD 绝对最大值

符号	参数	条件	类型	最大值(1)	单位
$V_{ESD(HBM)}$	静电放电电压(人体模型)	T_A = +25 °C，符合JS-001-2017	3A	5000	V
$V_{ESD(CDM)}$	静电放电电压(充电设备模型)	T_A = +25 °C，符合JS-002-2014	III	1000	

(1) 由综合评估得出，不在生产中测试。

静态栓锁

为了评估栓锁性能，需要在6个样品上进行2个互补的静态栓锁测试：

- 为每个电源引脚，提供超过极限的供电电压。
- 在每个输入、输出和可配置的I/O引脚上注入电流。

这个测试符合EIA/JESD78E集成电路栓锁标准。

表 39. 电气敏感性

符号	参数	条件	级别/类型
LU	静态栓锁类	T_A = +105 °C，符合EIA/JESD78E	II 类A (200 mA)

5.3.14 I/O 端口特性

通用输入/输出特性

除非特别说明，下表列出的参数是按照*表11*的条件测量得到。所有的I/O端口都是兼容CMOS和TTL。

表 40. I/O 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	I/O脚输入低电平电压	-	–0.3	-	0.28 * V_{DD} + 0.1	V
V_{IH}	TC I/O脚输入高电平电压	-	0.31 * V_{DD} + 0.8	-	V_{DD} + 0.3	V
	FTa I/O脚输入高电平电压	模拟模式				
	FT I/O脚输入高电平电压	-		-	5.5	
	FTa I/O脚输入高电平电压	输入浮空、输入上拉、或输入下拉				
V_{hys}	TC I/O脚施密特触发器电压迟滞(1)	-	200	-	-	mV
	FT和FTa I/O脚施密特触发器电压迟滞(1)		5% V_{DD}	-	-	-
I_{lkg}	输入浮空模式漏电流(2)	$V_{SS} \le V_{IN} \le V_{DD}$ TC I/O脚	-	-	±1	μA
		$V_{SS} \le V_{IN} \le 5.5V$ FT 和 FTa I/O 脚	-	-	±1	
R_{PU}	弱上拉等效电阻	$V_{IN} = V_{SS}$	60	70	100	kΩ
R_{PD}	弱下拉等效电阻(3)	$V_{IN} = V_{DD}$	60	70	100	kΩ
C_{IO}	I/O引脚的电容	-	-	9	-	pF

(1) 施密特触发器开关电平的迟滞电压。由综合评估得出，不在生产中测试。
(2) 如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值。
(3) BOOT0引脚弱下拉电阻不可禁用。

所有I/O端口都是CMOS和TTL兼容(不需软件配置)，它们的特性考虑了多数严格的CMOS工艺或TTL参数。

输出驱动电流

在用户应用中，I/O脚的数目必须保证驱动电流不能超过*5.2*节给出的绝对最大额定值：

- 所有I/O端口从V_{DD}上获取的电流总和，加上MCU在V_{DD}上获取的最大运行电流，不能超过绝对最大额定值I_{VDD}(参见*表9*)。
- 所有I/O端口吸收并从V_{SS}上流出的电流总和，加上MCU在V_{SS}上流出的最大运行电流，不能超过绝对最大额定值I_{VSS}(参见*表9*)。

输出电压

除非特别说明，下表列出的参数是使用环境温度和V_{DD}供电电压符合*表11*的条件测量得到。所有的I/O端口都是兼容CMOS和TTL的。

表 41. 输出电压特性

符号	参数	条件	最小值	最大值	单位
极大电流推动/吸入能力					
V_{OL}	输出低电平	CMOS端口，I_{IO} = 15 mA	-	0.4	V
V_{OH}	输出高电平		V_{DD}-0.4	-	
V_{OL}	输出低电平	TTL端口，I_{IO} = 6 mA	-	0.4	V
V_{OH}	输出高电平		2.4	-	
V_{OL}(1)	输出低电平	I_{IO} = 45 mA	-	1.3	V
V_{OH}(1)	输出高电平		V_{DD}-1.3	-	
较大电流推动/吸入能力					
V_{OL}	输出低电平	CMOS端口，I_{IO} = 6 mA	-	0.4	V
V_{OH}	输出高电平		V_{DD}-0.4	-	
V_{OL}	输出低电平	TTL端口，I_{IO} = 3 mA	-	0.4	V
V_{OH}	输出高电平		2.4	-	
V_{OL}(1)	输出低电平	I_{IO} = 20 mA	-	1.3	V
V_{OH}(1)	输出高电平		V_{DD}-1.3	-	
适中电流推动/吸入能力					
V_{OL}	输出低电平	CMOS端口，I_{IO} = 4 mA	-	0.4	V
V_{OH}	输出高电平		V_{DD}-0.4	-	
V_{OL}	输出低电平	TTL端口，I_{IO} = 2 mA	-	0.4	V
V_{OH}	输出高电平		2.4	-	
V_{OL}(1)	输出低电平	I_{IO} = 10 mA	-	1.3	V
V_{OH}(1)	输出高电平		V_{DD}-1.3	-	

(1) 由综合评估得出，不在生产中测试。

输入交流特性

输入交流特性的定义和数值在下表给出。

除非特别说明，下表列出的参数是使用环境温度和供电电压符合*表11*的条件测量得到。

表 42. 输入交流特性

符号	参数	最小值	最大值	单位
t_{EXTIpw}	EXTI控制器检测到外部信号的脉冲宽度	10	-	ns

5.3.15 NRST 引脚特性

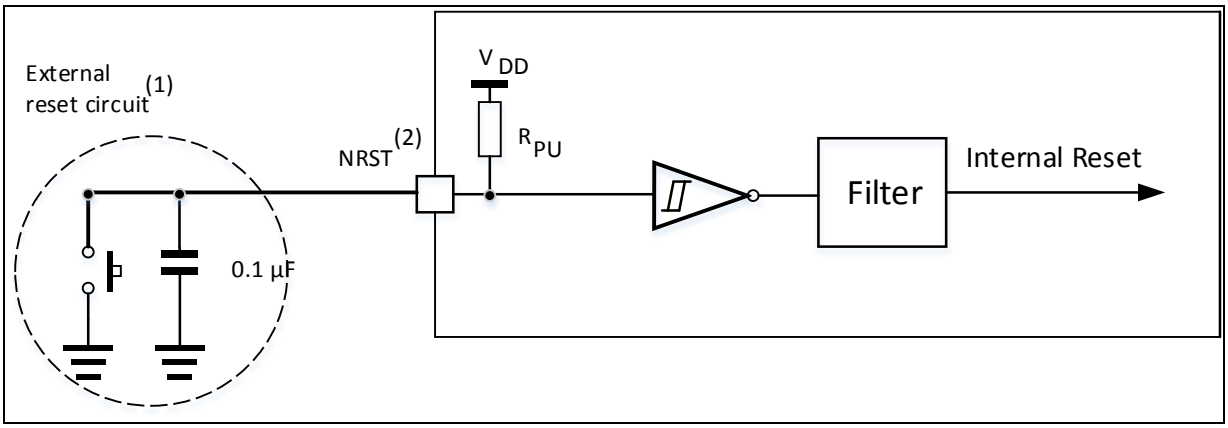
NRST引脚输入驱动使用CMOS工艺，它连接了一个不能断开的上拉电阻，R_{PU}(参见下表)。除非特别说明，下表列出的参数是使用环境温度和供电电压符合*表11*的条件测量得到。

表 43. NRST 引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}$(1)	NRST输入低电平电压	-	-0.5	-	0.8	V
$V_{IH(NRST)}$(1)	NRST输入高电平电压	-	2	-	V_{DD} + 0.3	
$V_{hys(NRST)}$	NRST施密特触发器电压迟滞	-	-	500	-	mV
R_{PU}	弱上拉等效电阻	V_{IN} = V_{SS}	30	40	50	kΩ
$V_{F(NRST)}$(1)	NRST输入滤波脉冲	-	-	24	33.3	μs
$V_{NF(NRST)}$(1)	NRST输入非滤波脉冲	-	66.7	46	-	μs

(1) 由设计保证，不在生产中测试。

图 29. 建议的 NRST 引脚保护



(1) 复位网络是为了防止寄生复位。
(2) 用户必须保证NRST引脚的电位能够低于*表43*中列出的最大$V_{IL(NRST)}$以下，否则MCU不能得到复位。

5.3.16 TMR 定时器特性

下表列出的参数由设计保证。

有关输入输出复用功能引脚(输出比较、输入捕获、外部时钟、PWM输出)的特性详情，参见*5.3.14 I/O端口特性*。

表 44. TMRx(1)特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TMR)}$	定时器分辨时间	-	1	-	$t_{TMRxCLK}$
		$f_{TMRxCLK}$ = 240 MHz	5	-	ns
f_{EXT}	CH1至CH4的定时器外部时钟频率	-	0	$f_{TMRxCLK}$/2	MHz
				50	MHz

(1) TMRx是一个通用的名称，代表TMR1~TMR14。

5.3.17 通信接口

I²C接口特性

AT32F403A系列产品的I²C接口符合标准I²C通信协议，但有如下限制：SDA和SCL不是"真"开漏的引脚，当配置为开漏输出时，在引出脚和V_{DD}之间的PMOS管被关闭，但仍然存在。

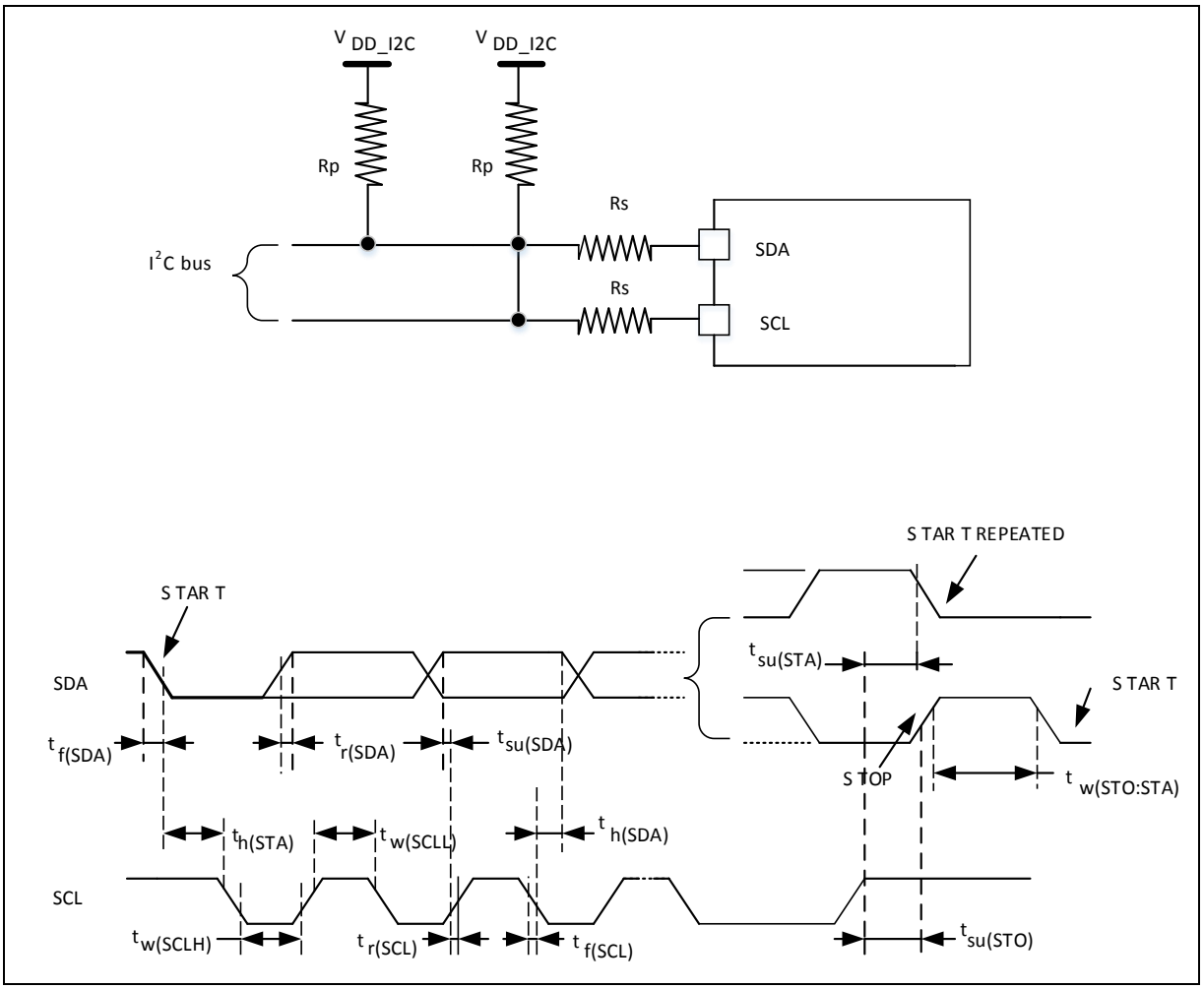
I²C接口特性列于下表，有关输入输出复用功能引脚(SDA和SCL)的特性详情，参见*5.3.14 I/O端口特性*。

表 45. I²C 接口特性

符号	参数	标准I²C(1)(2)		快速I²C(1)(2)		单位
		最小值	最大值	最小值	最大值	
$t_{w(SCLL)}$	SCL时钟低时间	4.7	-	1.3	-	μs
$t_{w(SCLH)}$	SCL时钟高时间	4.0	-	0.6	-	
$t_{su(SDA)}$	SDA建立时间	250	-	100	-	ns
$t_{h(SDA)}$	SDA数据保持时间	-	3450(3)	-	900(3)	
$t_{r(SDA)}$ $t_{r(SCL)}$	SDA和SCL上升时间	-	1000	-	300	
$t_{f(SDA)}$ $t_{f(SCL)}$	SDA和SCL下降时间	-	300	-	300	
$t_{h(STA)}$	开始条件保持时间	4.0	-	0.6	-	μs
$t_{su(STA)}$	重复的开始条件建立时间	4.7	-	0.6	-	
$t_{su(STO)}$	停止条件建立时间	4.0	-	0.6	-	μs
$t_{w(STO:STA)}$	停止条件至开始条件的时间(总线空闲)	4.7	-	1.3	-	μs
C_b	每条总线的容性负载	-	400	-	400	pF

(1) 由设计保证，不在生产中测试。
(2) 为达到标准模式I²C的最大频率，f_{PCLK1}必须大于2 MHz。为达到快速模式I²C的最大频率，f_{PCLK1}必须大于4 MHz。
(3) 为了跨越SCL下降沿未定义的区域，在MCU内部必须保证SDA信号上至少300 ns的保持时间。

图 30. I²C 总线交流波形和测量电路(1)



(1) 测量点设置于CMOS电平：0.3V_{DD}和0.7V_{DD}。

表 46. SCL 频率(f_{PCLK1} = 36 MHz，V_{DD} = 3.3 V)(1)(2)

f_{SCL}(kHz)	I2C_CLKCTRL 数值
	R_P = 4.7 kΩ
400	0x801E
300	0x8028
200	0x803C
100	0x00B4
50	0x0168
20	0x0384

(1) R_P = 外部上拉电阻，f_{SCL} = I²C速度。

(2) 对于200 kHz左右的速度，速度的误差是±5 %。对于其它速度范围，速度的误差是±2 %。这些变化取决于设计中外部元器件的精度。

SPI-I²S和SPIM接口特性

除非特别说明，*表47*列出的SPI, SPIM参数和*表48*列出的I^2S参数是使用环境温度，f_{PCLKx}频率和V_{DD}供电电压符合*表11*的条件测量得到。

有关输入输出复用功能引脚(SPI的NSS、SCK、MOSI、MISO，I^2S的WS、CK、SD)的特性详情，参见*5.3.14 I/O端口特性*。

表 47. SPI 和 SPIM 特性

符号	参数	条件	最小值	最大值	单位
f_{SCK} $1/t_{c(SCK)}$	SPI时钟频率	SPI1~4主模式	-	50	MHz
		SPI1~4从模式	-	$f_{PCLK}/2$	
		SPIM	-	60	
$t_{r(SCK)}$ $t_{f(SCK)}$	SPI时钟上升和下降时间	负载电容：C = 30 pF	-	8	ns
$t_{su(NSS)}$(1)	NSS建立时间	从模式	$4t_{PCLK}$	-	ns
$t_{h(NSS)}$(1)	NSS保持时间	从模式	$2t_{PCLK}$	-	ns
$t_{w(SCKH)}$(1) $t_{w(SCKL)}$(1)	SCK高和低的时间	主模式，f_{PCLK} = 100 MHz， 预分频系数 = 4	15	25	ns
$t_{su(MI)}$(1)	数据输入建立时间	主模式	5	-	ns
$t_{su(SI)}$(1)		从模式	5	-	
$t_{h(MI)}$(1)	数据输入保持时间	主模式	5	-	ns
$t_{h(SI)}$(1)		从模式	4	-	
$t_{a(SO)}$(1)(2)	数据输出访问时间	从模式，f_{PCLK} = 20 MHz	0	$3t_{PCLK}$	ns
$t_{dis(SO)}$(1)(3)	数据输出禁止时间	从模式	2	10	ns
$t_{v(SO)}$(1)	数据输出有效时间	从模式(使能边沿之后)	-	25	ns
$t_{v(MO)}$(1)	数据输出有效时间	主模式(使能边沿之后)	-	5	ns
$t_{h(SO)}$(1)	数据输出保持时间	从模式(使能边沿之后)	15	-	ns
$t_{h(MO)}$(1)		主模式(使能边沿之后)	2	-	

(1) 由综合评估得出，不在生产中测试。
(2) 最小值表示驱动输出的最小时间，最大值表示正确获得数据的最大时间。
(3) 最小值表示关闭输出的最小时间，最大值表示把数据线置于高阻态的最大时间。

图 31. SPI 时序图 – 从模式和 CPHA = 0

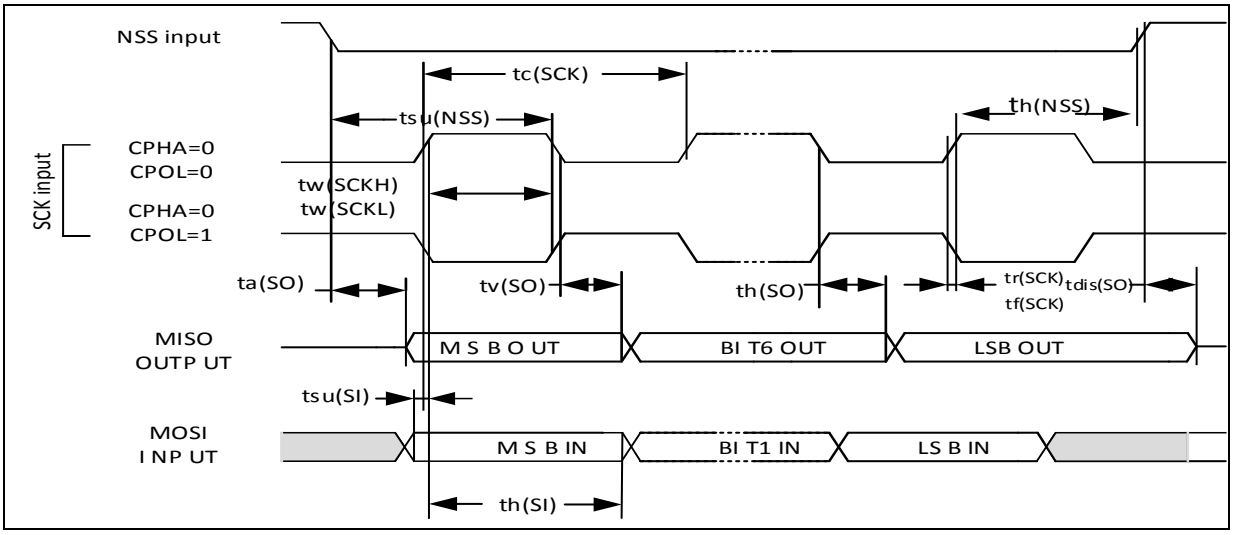
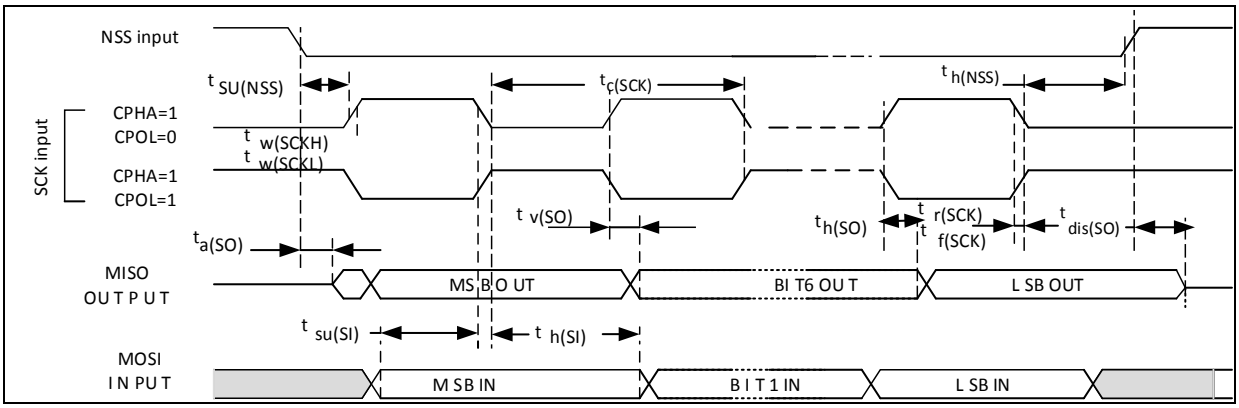
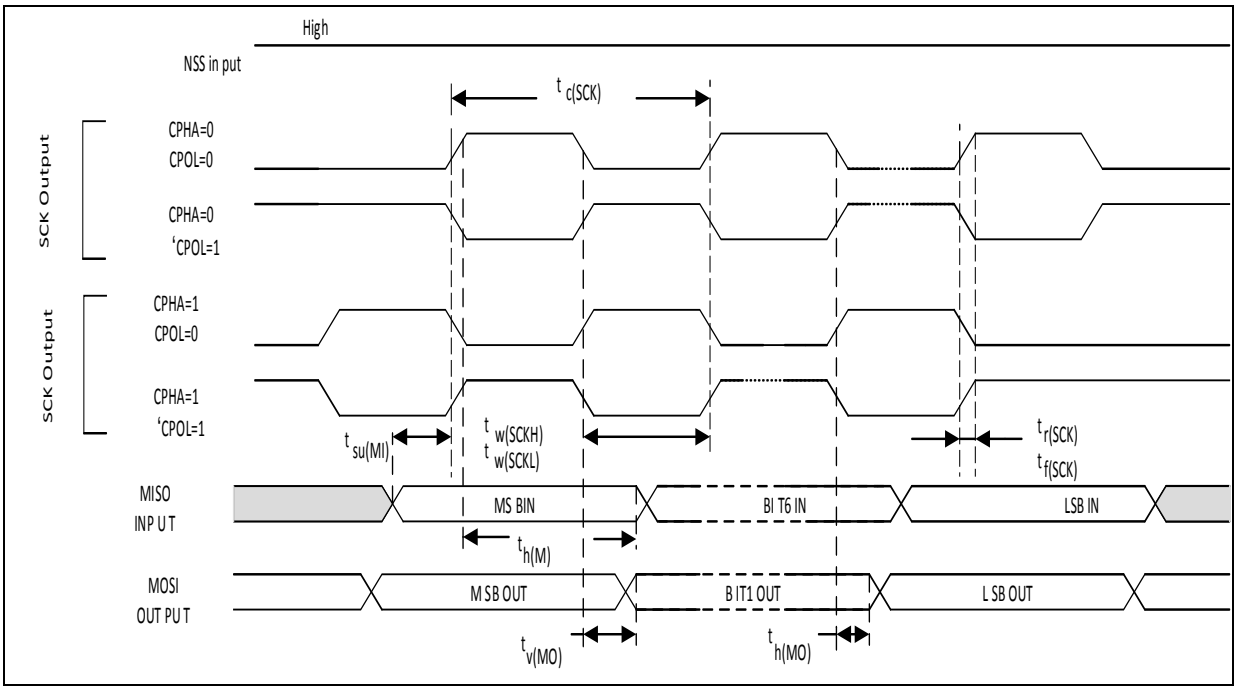


图 32. SPI 时序图 – 从模式和 CPHA = 1(1)



(1) 测量点设置于CMOS电平：$0.3V_{DD}$和$0.7V_{DD}$。

图 33. SPI 时序图 – 主模式(1)



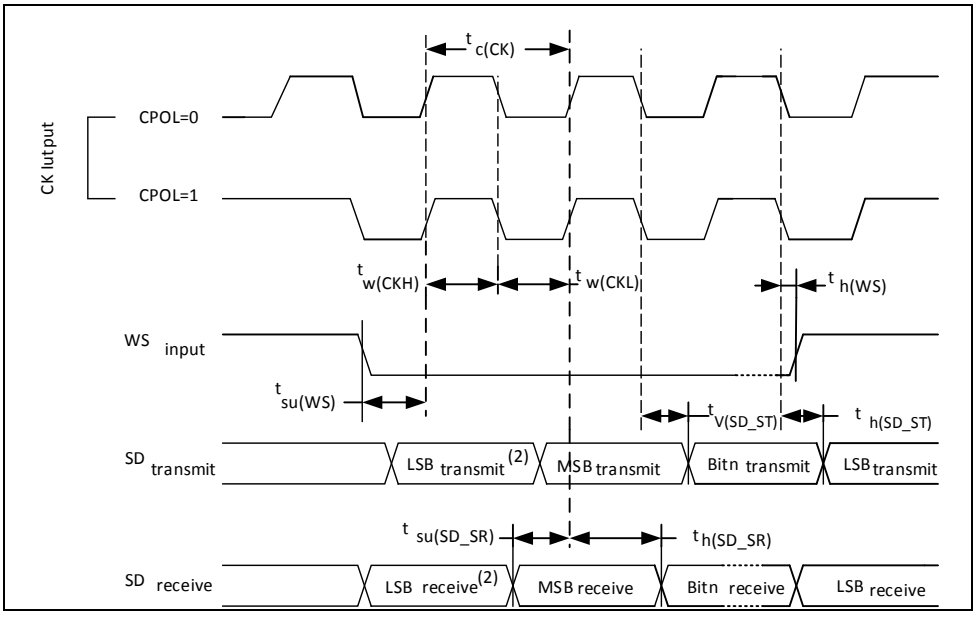
(1) 测量点设置于CMOS电平：$0.3V_{DD}$和$0.7V_{DD}$。

表 48. I²S 特性

符号	参数	条件	最小值	最大值	单位
f_{CK} $1/t_{c(CK)}$	I²S时钟频率	主模式(资料: 16位，音频: 48 kHz)	1.522	1.525	MHz
		从模式	0	6.5	
$t_{r(CK)}$ $t_{f(CK)}$	I²S时钟上升和下降时间	负载电容：C = 50 pF	-	8	ns
$t_{v(WS)}$(1)	WS有效时间	主模式	3	-	
$t_{h(WS)}$(1)	WS保持时间	主模式	2	-	
$t_{su(WS)}$(1)	WS建立时间	从模式	4	-	
$t_{h(WS)}$(1)	WS保持时间	从模式	0	-	
$t_{w(CKH)}$(1)	CK高和低的时间	主模式，f_{PCLK} = 16 MHz，音频: 48 kHz	312.5	-	
$t_{w(CKL)}$(1)			345	-	
$t_{su(SD_MR)}$(1)	数据输入建立时间	主接收器	6.5	-	
$t_{su(SD_SR)}$(1)		从接收器	1.5	-	
$t_{h(SD_MR)}$(1)(2)	数据输入保持时间	主接收器	0	-	
$t_{h(SD_SR)}$(1)(2)		从接收器	0.5	-	
$t_{v(SD_ST)}$(1)(2)	数据输出有效时间	从发送器(使能边沿之后)	-	18	
$t_{h(SD_ST)}$(1)	数据输出保持时间	从发送器(使能边沿之后)	11	-	
$t_{v(SD_MT)}$(1)(2)	数据输出有效时间	主发送器(使能边沿之后)	-	3	
$t_{h(SD_MT)}$(1)	数据输出保持时间	主发送器(使能边沿之后)	0	-	

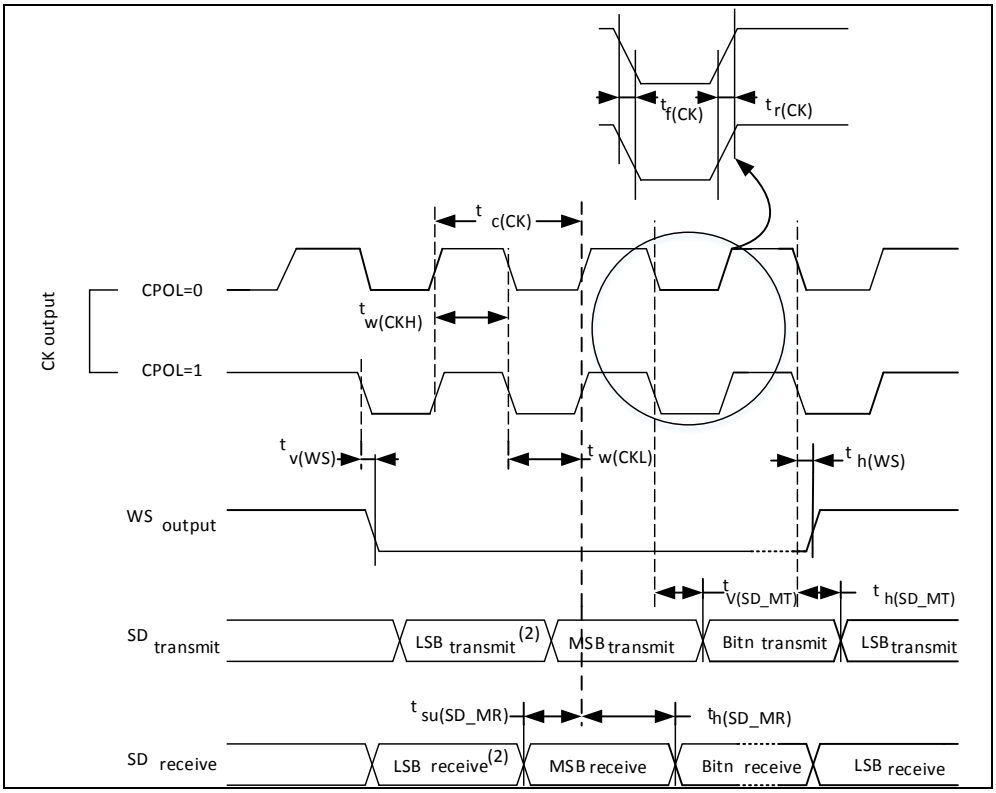
(1) 由设计模拟和/或综合评估得出，不在生产中测试。
(2) 依赖于f_{PCLK}。例如，如果f_{PCLK} = 8 MHz，则t_{PCLK} = 1/f_{PCLK} = 125 ns。

图 34. I²S 从模式时序图(Philips 协议)(1)



(1) 测量点设置于CMOS电平：0.3V_{DD}和0.7V_{DD}。
(2) 前一字节的最低位发送/接收。在第一个字节之前没有这个最低位的发送/接收。

图 35. I²S 主模式时序图(Philips 协议)(1)



(1) 测量点设置于CMOS电平：0.3V_{DD}和0.7V_{DD}。

(2) 前一字节的最低位发送/接收。在第一个字节之前没有这个最低位的发送/接收。

SD/SDIO/MMC卡主机接口(SDIO)特性

除非特别说明，下表列出的参数是使用环境温度、f_{PCLKx}频率和V_{DD}供电电压符合*表11*的条件测量得到。

有关输入输出复用功能引脚(D[7:0]、CMD、CK)的特性详情，参见*5.3.14 I/O端口特性*。

图 36. SDIO 高速模式

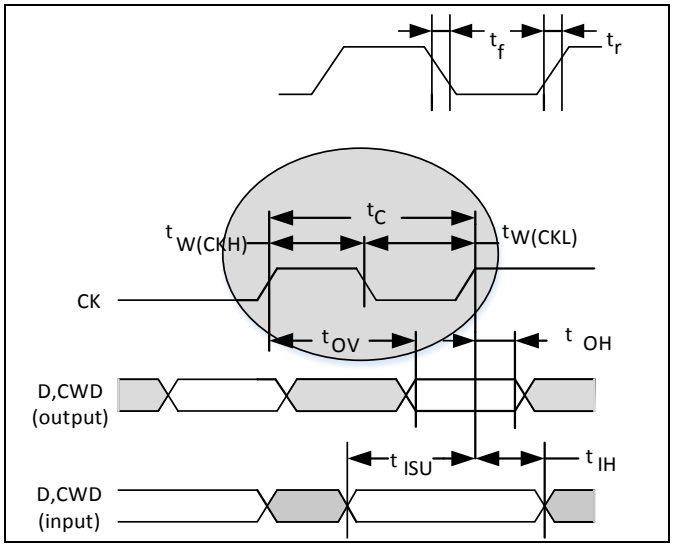


图 37. SD 默认模式

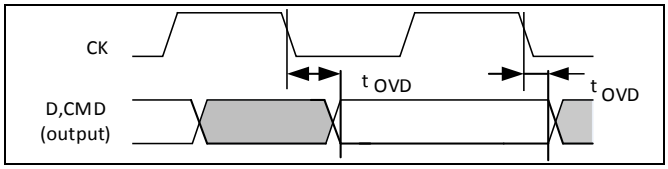


表 49. SD/MMC 接口特性

符号	参数	条件	最小值	最大值	单位
f_{PP}	数据传输模式下的时钟频率	$C_L \leq 30$ pF	0	48	MHz
$t_{W(CKL)}$	时钟低时间	$C_L \leq 30$ pF	32	-	ns
$t_{W(CKH)}$	时钟高时间	$C_L \leq 30$ pF	30	-	
t_r	时钟上升时间	$C_L \leq 30$ pF	-	4	
t_f	时钟下降时间	$C_L \leq 30$ pF	-	5	
CMD、D输入(参照CK)					
t_{ISU}	时钟建立时间	$C_L \leq 30$ pF	2	-	ns
t_{IH}	时钟保持时间	$C_L \leq 30$ pF	0	-	
在MMC和SD高速模式CMD、D输出(参照CK)					
t_{OV}	输出有效时间	$C_L \leq 30$ pF	-	6	ns
t_{OH}	输出保持时间	$C_L \leq 30$ pF	0	-	
在SD默认模式CMD、D输出(参照CK)(1)					
t_{OVD}	输出有效默认时间	$C_L \leq 30$ pF	-	7	ns
t_{OHD}	输出保持默认时间	$C_L \leq 30$ pF	0.5	-	

(1) 参见SDIO_CLKCTRL，SDIO时钟控制寄存器，控制CK输出。

USB接口特性

表 50. USB 启动时间

符号	参数	最大值	单位
$t_{STARTUP}$(1)	USB收发器启动时间	1	μs

(1) 由设计保证，不在生产中测试。

表 51. USB 直流特性

符号		参数	条件	最小值(1)	典型值	最大值(1)	单位
输入电平	V_{DD}	USB操作电压	-	3.0(2)		3.6	V
	V_{DI}(3)	差分输入灵敏度	I (USB_DP，USB_DM)	0.2		-	V
	V_{CM}(3)	差分共模范围	包含V_{DI}范围	0.8		2.5	
	V_{SE}(3)	单端接收器阈值	-	1.3		2.0	
输出电平	V_{OL}	静态输出低电平	1.24 kΩ的R_L接至3.6 V(4)	-		0.3	V
	V_{OH}	静态输出高电平	15 kΩ的R_L接至V_{SS}(4)	2.8		3.6	
R_{PU}		USB_DP内部上拉电阻	V_{IN} = V_{SS}	0.97	1.24	1.58	kΩ

(1) 所有的电压测量都是以设备端地线为准。
(2) AT32F403A系列的正确USB功能可以在2.7 V得到保证，而不是全部的电气特性在2.7~3.0 V电压范围下降级。
(3) 由综合评估保证，不在生产中测试。
(4) R_L是连接到USB驱动器上的负载。

图 38. USB 时序：数据信号上升和下降时间定义

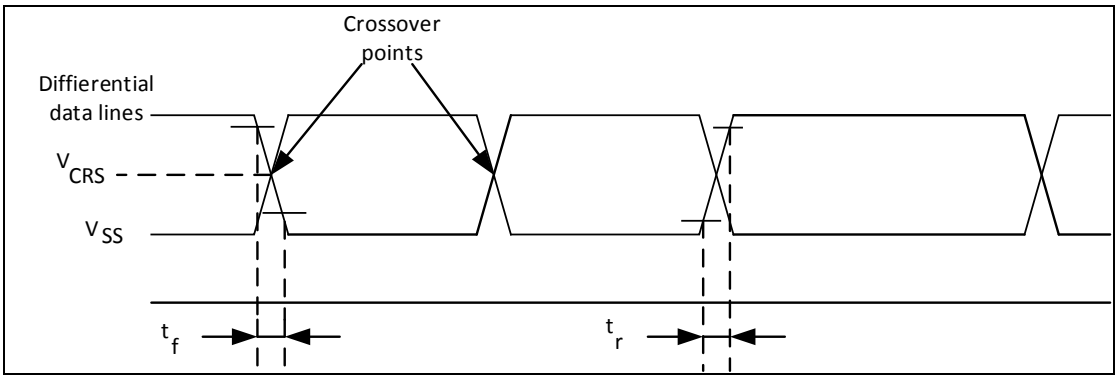


表 52. USB 全速电气特性

符号	参数	条件	最小值(1)	最大值(1)	单位
t_r	上升时间(2)	C_L ≤ 50 pF	4	20	ns
t_f	下降时间(2)	C_L ≤ 50 pF	4	20	ns
t_{rfm}	上升下降时间匹配	t_r/t_f	90	110	%
V_{CRS}	输出信号交叉电压	-	1.3	2.0	V

(1) 由设计保证，不在生产中测试。
(2) 测量数据信号从10%至90%。更多详细信息，参见USB规范第7章(2.0版)。

CAN(控制器局域网络)接口特性

有关输入输出复用功能引脚(CANx_TX和CANx_RX)的特性详情，参见*5.3.14 I/O端口特性*。

5.3.18 12 位 ADC 特性

除非特别说明，下表的参数是使用符合*表11*的条件的环境温度, f_{PCLK2}频率和V_{DDA}供电电压测量得到。

注：　建议在每次上电时执行一次校准。

表 53. ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	供电电压	-	2.6	-	3.6	V
V_{REF+}	正参考电压(3)	-	2.6	-	V_{DDA}	V
I_{DDA}	在V_{DDA}输入脚上的电流	-	-	380(1)	445	μA
I_{VREF}	在V_{REF}输入脚上的电流(3)	-	-	200(1)	220	μA
f_{ADC}	ADC时钟频率	-	0.6	-	28	MHz
f_S(2)	采样速率	-	0.05	-	2	MHz
f_{TRIG}(2)	外部触发频率	f_{ADC} = 28 MHz	-	-	1.65	MHz
		-	-	-	17	$1/f_{ADC}$
V_{AIN}	转换电压范围(3)	-	0 (V_{SSA} 或 V_{REF-} 连接到地)	-	V_{REF+}	V
R_{AIN}(2)	外部输入阻抗	-	参见*表54*和*表55*			Ω
C_{ADC}(2)	内部采样和保持电容	-	-	10	-	pF
t_{CAL}(2)	校准时间	f_{ADC} = 28 MHz	6.61			μs
		-	185			$1/f_{ADC}$
t_{lat}(2)	注入触发转换时延	f_{ADC} = 28 MHz	-	-	107	ns
		-	-	-	3(4)	$1/f_{ADC}$
t_{latr}(2)	常规触发转换时延	f_{ADC} = 28 MHz	-	-	71.4	μs
		-	-	-	2(4)	$1/f_{ADC}$
t_S(2)	采样时间	f_{ADC} = 28 MHz	0.053	-	8.55	μs
		-	1.5	-	239.5	$1/f_{ADC}$
t_{STAB}(2)	上电时间	-	42			$1/f_{ADC}$
t_{CONV}(2)	总转换时间(包括采样时间)	f_{ADC} = 28 MHz	0.5	-	9	μs
		-	14~252(采样t_S + 逐步逼近12.5)			$1/f_{ADC}$

(1) 由综合评估保证，不在生产中测试。
(2) 由设计保证，不在生产中测试。
(3) 依据不同的封装，V_{REF+}可以在内部连接到V_{DDA}，V_{REF-}可以在内部连接到V_{SSA}。详见*3 引脚定义*。
(4) 对于外部触发，必须在*表53*列出的时延中加上一个延迟$1/f_{PCLK2}$。

*表54*和*表55*决定最大的外部阻抗，使得误差可以小于1/4 LSB。

表 54. f_{ADC} = 14 MHz 时的最大 R_{AIN}(1)

T_S (周期)	t_S (μs)	最大R_{AIN} (kΩ)
1.5	0.11	0.25
7.5	0.54	1.3
13.5	0.96	2.5
28.5	2.04	5.0
41.5	2.96	8.0
55.5	3.96	10.5
71.5	5.11	13.5
239.5	17.11	40

(1) 由设计保证。

表 55. f_{ADC} = 28 MHz 时的最大 R_{AIN}(1)

T_S (周期)	t_S (μs)	最大R_{AIN} (kΩ)
1.5	0.05	0.1
7.5	0.27	0.6
13.5	0.48	1.2
28.5	1.02	2.5
41.5	1.48	4.0
55.5	1.98	5.2
71.5	2.55	7.0
239.5	8.55	20

(1) 由设计保证。

表 56. ADC 精度(V_{DDA} = 3.0~3.6 V, V_{REF+} = V_{DDA}, T_A = 25 °C)(1)(2)

符号	参数	测试条件	典型值	最大值(3)	单位
ET	综合误差	f_{PCLK2} = 56 MHz,	±1.5	±2.5	LSB
EO	偏移误差	f_{ADC} = 28 MHz，R_{AIN} < 10 kΩ,	+0.5	±1.5	
EG	增益误差	V_{DDA} = 3.0~3.6 V, T_A = 25 °C	+1	+2/-0.5	
ED	微分线性误差	测量是在 ADC 校准之后进行的	±0.6	±0.9	
EL	积分线性误差	V_{REF+} = V_{DDA}	±0.8	±1.5	

(1) ADC的直流精度数值是在经过内部校准后测量的。
(2) ADC精度与反向注入电流的关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显着地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，(引脚与地之间)增加一个肖特基二极管。
(3) 由综合评估保证，不在生产中测试。

表 57. ADC 精度(V_{DDA} = 2.6~3.6 V, T_A = -40~105 °C)(1)(2)

符号	参数	测试条件	典型值	最大值(3)	单位
ET	综合误差	f_{PCLK2} = 56 MHz,	±2	±4	LSB
EO	偏移误差	f_{ADC} = 28 MHz，R_{AIN} < 10 kΩ,	+0.5	±2	
EG	增益误差	V_{DDA} = 2.6~3.6 V	+1	+2.5/-1.5	
ED	微分线性误差	测量是在 ADC 校准之后进行的	±0.6	±1	
EL	积分线性误差		±1	±2	

(1) ADC的直流精度数值是在经过内部校准后测量的。
(2) ADC精度与反向注入电流的关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显着地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，(引脚与地之间)增加一个肖特基二极管。
(3) 由综合评估保证，不在生产中测试。

图 39. ADC 精度特性

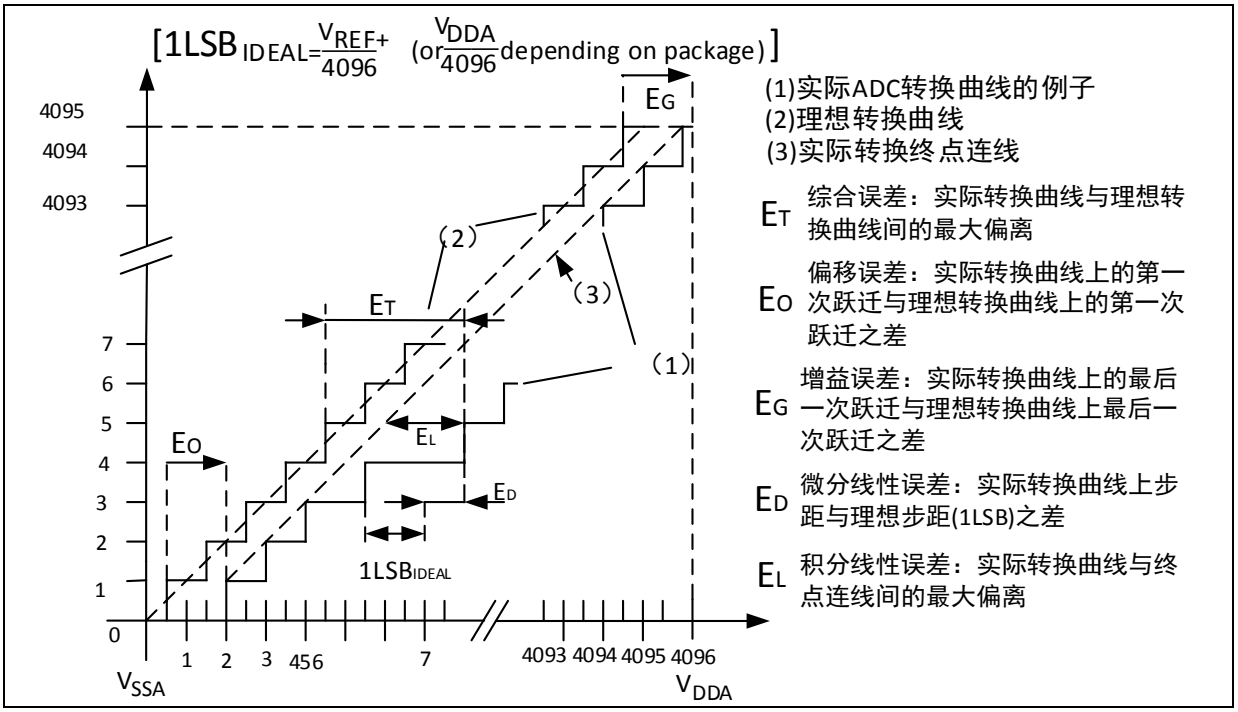
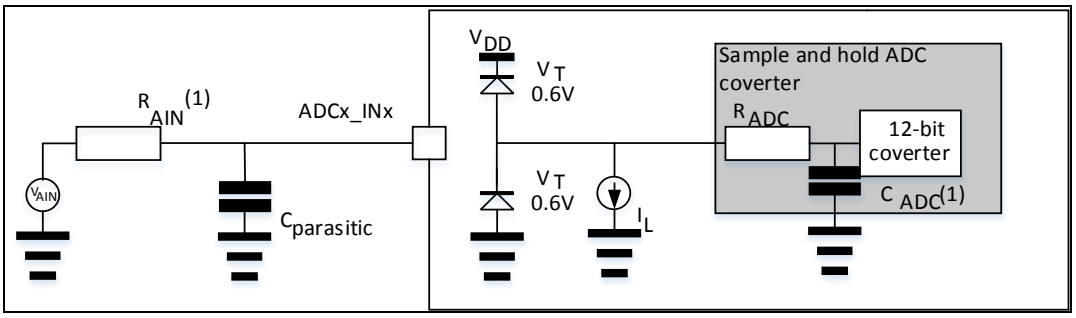


图 40. 使用 ADC 典型的连接图



(1) 有关R_{AIN}和C_{ADC}的数值，参见*表53*。

(2) $C_{parasitic}$表示PCB(与焊接和PCB布局质量相关)与焊盘上的寄生电容(大约7 pF)。较大的$C_{parasitic}$数值将降低转换的精度，解决的办法是减小f_{ADC}。

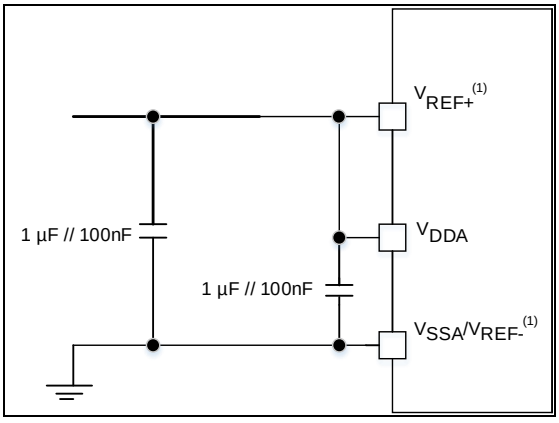
PCB设计建议

依据V_{REF+}是否与V_{DDA}相连，电源的去藕必须按照*图41*或*图42*连接。图中的100 nF电容必须是瓷介电容(好的质量)，它们应该尽可能地靠近MCU芯片。

若在使能HSE并且使用ADC3_IN4~8或ADC123_IN10~13任一通道的条件下，请遵照以下PCB设计建议以隔绝HSE高频振荡对其邻近ADC输入信号之干扰。

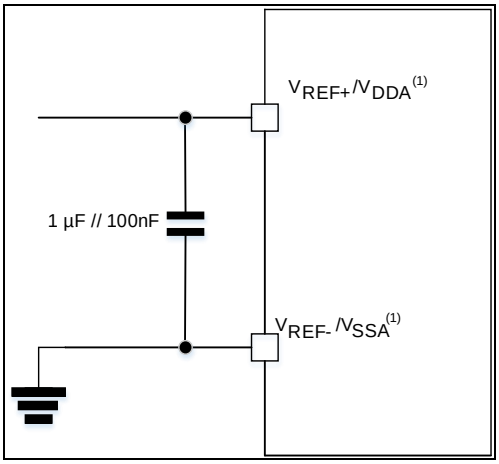
- ADC_IN信号与HSE信号使用不同PCB层走线
- ADC_IN信号走线避免与HSE信号走线平行

图 41. 供电电源和参考电源去藕线路(V_{REF+}未与 V_{DDA} 相连)



(1) V_{REF+}和V_{REF-}输入只出现在100脚封装上。

图 42. 供电电源和参考电源去藕线路(V_{REF+}与 V_{DDA} 相连)



(1) V_{REF+}和V_{REF-}输入只出现在100封脚上。

5.3.19 DAC 电气参数

表 58. DAC 特性

符号	参数	最小值	典型值	最大值	单位	注释
V_{DDA}	模拟供电电压	2.6	-	3.6	V	-
V_{REF+}(3)	参考电压	2.6	-	3.6	V	V_{REF+}必须始终低于V_{DDA}
V_{SSA}	地线	0	-	0	V	-
R_{LOAD}(1)	缓冲器打开时的负载电阻	5	-	-	kΩ	-
R_O(2)	缓冲器关闭时的输出阻抗	-	13.2	16	kΩ	-
C_{LOAD}(1)	负载电容	-	-	50	pF	在DAC_OUT引脚上的大电容(缓冲器打开时)
DAC_OUT 小(1)	缓冲器打开时低端的 DAC_OUT 电压	0.15	-	-	V	给出了最大的DAC输出跨度
DAC_OUT 大(1)	缓冲器打开时高端的 DAC_OUT 电压	-	-	V_{REF+} - 0.12	V	
DAC_OUT小(1)	缓冲器关闭时低端的DAC_OUT电压	-	0.5	3.5	mV	给出了最大的DAC输出跨度
DAC_OUT大(1)	缓冲器关闭时高端的DAC_OUT电压	-	-	V_{REF+} - 1.5 mV	V	
I_{DDA}	在静止模式(待机模式)DAC直流消耗	-	480	625	μA	无负载，当V_{REF+} = 3.6 V时
I_{VREF}(3)	在静止模式(待机模式)DAC直流消耗	-	330	340	μA	无负载，当V_{REF+} = 3.6 V时
DNL(2)	非线性失真(2个连续代码间的偏差)	-	±0.4	±0.8	LSB	DAC配置为12位
INL(2)	非线性积累(在代码i时测量的数值与代码DAC_OUT大和代码DAC_OUT小之间的连线间的偏差)	-	±0.8	±1.5	LSB	DAC配置为12位
偏移误差(2)	偏移误差(代码0x800时测量的数值与理想数值V_{REF+}/2之间的偏差)	-	15	30	mV	-
		-	20	35	LSB	V_{REF+} = 3.6 V时，DAC配置为12位
增益误差(2)	增益误差	-	0.1	0.25	%	DAC配置为12位
$t_{SETTLING}$	设置时间(全范围：10 位输入代码从小值转变为大值，DAC_OUT 达到其终值的±1 LSB)	-	1	4	μs	C_{LOAD} ≤ 50 pF, R_{LOAD} ≥ 5 kΩ
更新速率	当输入代码为较小变化时(从数值 i 变到 i+1 LSB)，得到正确 DAC_OUT 的大频率	-	-	1	MS/s	C_{LOAD} ≤ 50 pF, R_{LOAD} ≥ 5 kΩ
t_{WAKEUP}	从关闭状态唤醒的时间(设置 DAC 控制寄存器中的 ENx 位)	-	1.2	4	μs	C_{LOAD} ≤ 50 pF, R_{LOAD} ≥ 5 kΩ 输入代码介于小和大可能数值之间
PSRR+(1)	供电抑制比(相对于 V_{DDA})(静态直流测量)	-	-	-45	dB	没有R_{LOAD}, C_{LOAD} ≤ 50 pF

(1) 由设计保证，不在生产中测试。
(2) 由综合评估保证，不在生产中测试。
(3) 依据不同的封装，V_{REF+}可以在内部连接到V_{DDA}，V_{REF-}可以在内部连接到V_{SSA}。详见*3 引脚定义*。

5.3.20 温度传感器特性

表 59. 温度传感器特性

符号	参数	最小值	典型值	最大值	单位
T_L(1)	V_{SENSE}相对于温度的线性度	-	-	±6.5	ºC
Avg_Slope(1)(2)	平均斜率	-4.06	-4.23	-4.39	mV/ºC
V_{25}(1)(2)	在25 ºC时的电压	1.16	1.26	1.36	V
t_{START}(3)	建立时间	-	-	100	µs
T_{S_temp}(3)(4)	当读取温度时，ADC采样时间	-	8.6	17.1	µs

(1) 由综合评估保证，不在生产中测试。
(2) 温度传感器输出电压随温度线性变化，由于生产过程的变化，温度变化曲线的偏移在不同芯片上会有不同（最多相差50°C）。内部温度传感器更适合于检测温度的变化，而不是测量绝对的温度。如果需要测量精确的温度，应该使用一个外置的温度传感器。
(3) 由设计保证，不在生产中测试。
(4) 短的采样时间可以由应用程序通过多次循环决定。

利用下列公式得出温度：

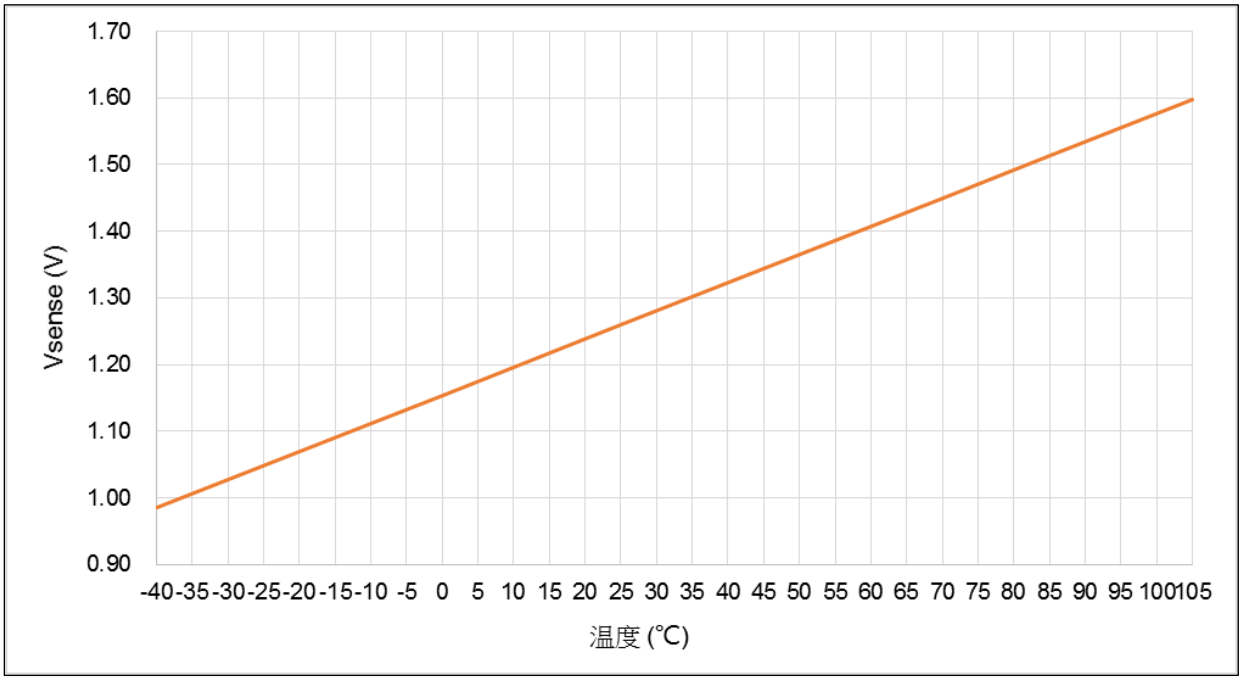
温度(°C) = {(V_{25} – V_{SENSE}) / Avg_Slope} + 25

这里：

V_{25} = V_{SENSE}在25 °C时的数值

Avg_Slope ＝ 温度与V_{SENSE}曲线的平均斜率(单位为mV/°C)

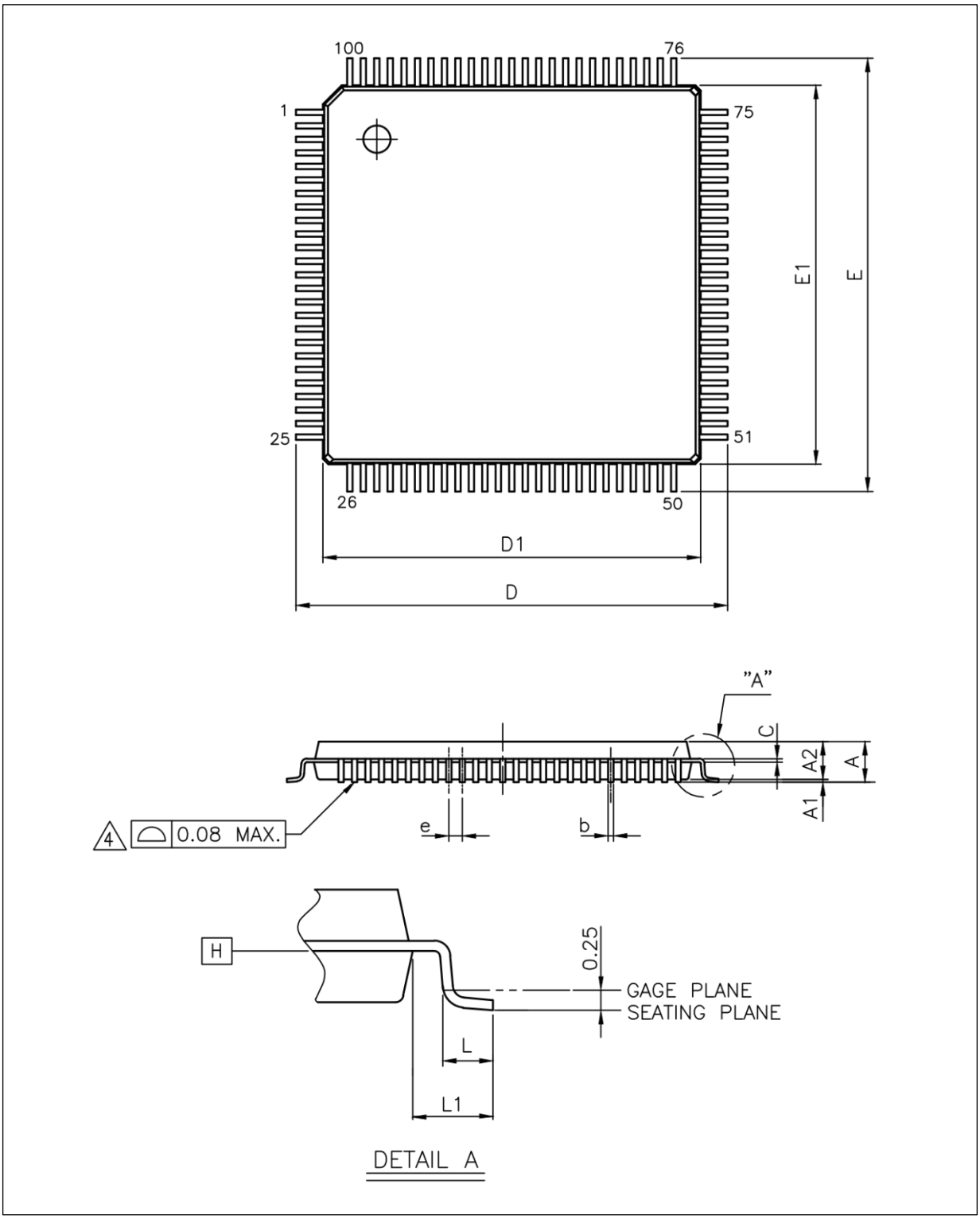
图 43. V_{SENSE} 对温度理想曲线图



6 封装特性

6.1 LQFP100 封装数据

图 44. LQFP100 – 14 x 14 mm 100 脚薄型正方扁平封装图



(1) 图不是按照比例绘制。

表 60. LQFP100 – 14 x 14 mm 100 脚薄型正方扁平封装机械数据

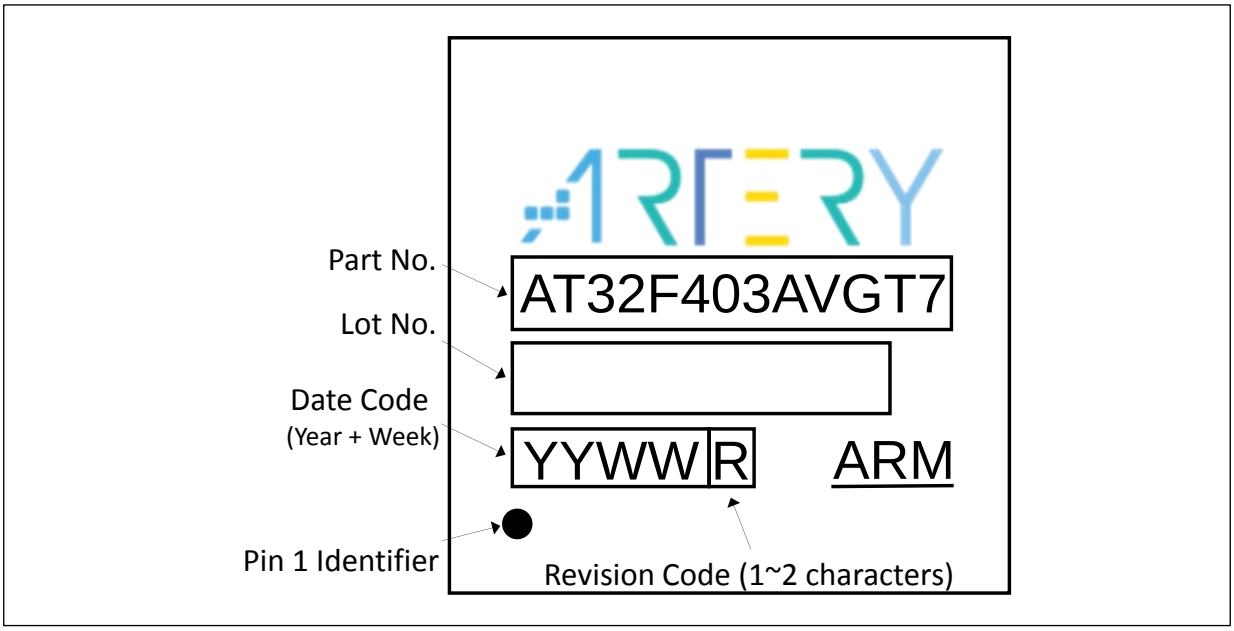
标号	毫米			英寸(1)		
	最小值	典型值	最大值	最小值	典型值	最大值
A	-	-	1.60	-	-	0.063
A1	0.05	-	0.15	0.002	-	0.006
A2	1.35	1.40	1.45	0.053	0.055	0.057
b	0.17	0.20	0.26	0.007	0.008	0.010
c	0.10	0.127	0.20	0.004	0.005	0.008
D	16.00 BSC.			0.630 BSC.		
D1	14.00 BSC.			0.551 BSC.		
E	16.00 BSC.			0.630 BSC.		
E1	14.00 BSC.			0.551 BSC.		
e	0.50 BSC.			0.020 BSC.		
L	0.45	0.60	0.75	0.018	0.024	0.030
L1	1.00 REF.			0.039 REF.		

(1) 英寸的数值是根据毫米的数据按照3位小数精度转换取整得到的。

LQFP100设备标记

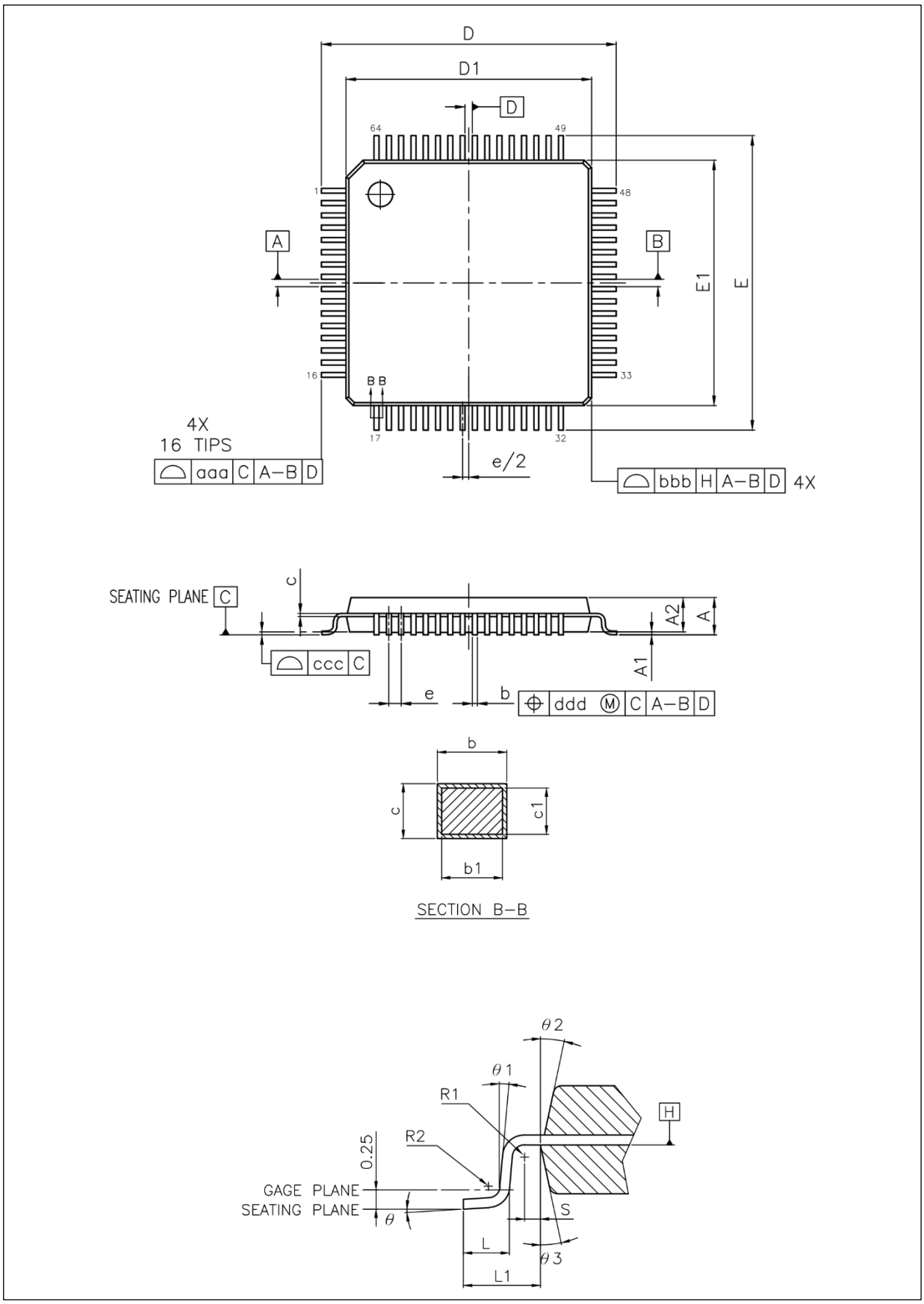
下图是一个顶部标记取向与引脚 1 识别标记位置的例子

图 45. LQFP100 – 14 x 14 mm 标记(封装俯视图)



6.2 LQFP64 封装数据

图 46. LQFP64 – 10 x 10 mm 64 脚薄型正方扁平封装图



(1) 图不是按照比例绘制。

表 61. LQFP64 – 10 x 10 mm 64 脚薄型正方扁平封装机械数据

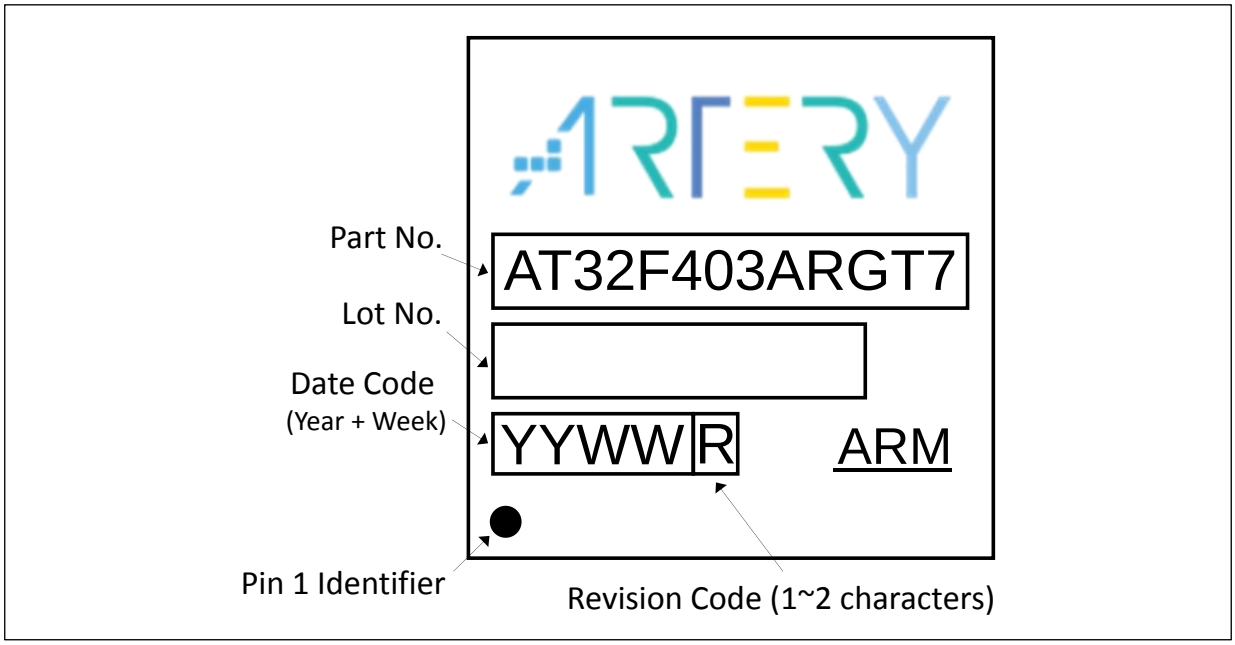
标号	毫米			英寸(1)		
	最小值	典型值	最大值	最小值	典型值	最大值
A	-	-	1.60	-	-	0.063
A1	0.05	-	0.15	0.002	-	0.006
A2	1.35	1.40	1.45	0.053	0.055	0.057
b	0.17	0.20	0.27	0.007	0.008	0.011
c	0.09	-	0.20	0.004	-	0.008
D	11.75	12.00	12.25	0.463	0.472	0.482
D1	9.90	10.00	10.10	0.390	0.394	0.398
E	11.75	12.00	12.25	0.463	0.472	0.482
E1	9.90	10.00	10.10	0.390	0.394	0.398
e	0.50 BSC.			0.020 BSC.		
Θ	3.5° REF.			3.5° REF.		
L	0.45	0.60	0.75	0.018	0.024	0.030
L1	1.00 REF.			0.039 REF.		
ccc	0.08			0.003		

(1) 英寸的数值是根据毫米的数据按照3位小数精度转换取整得到的。

LQFP64设备标记

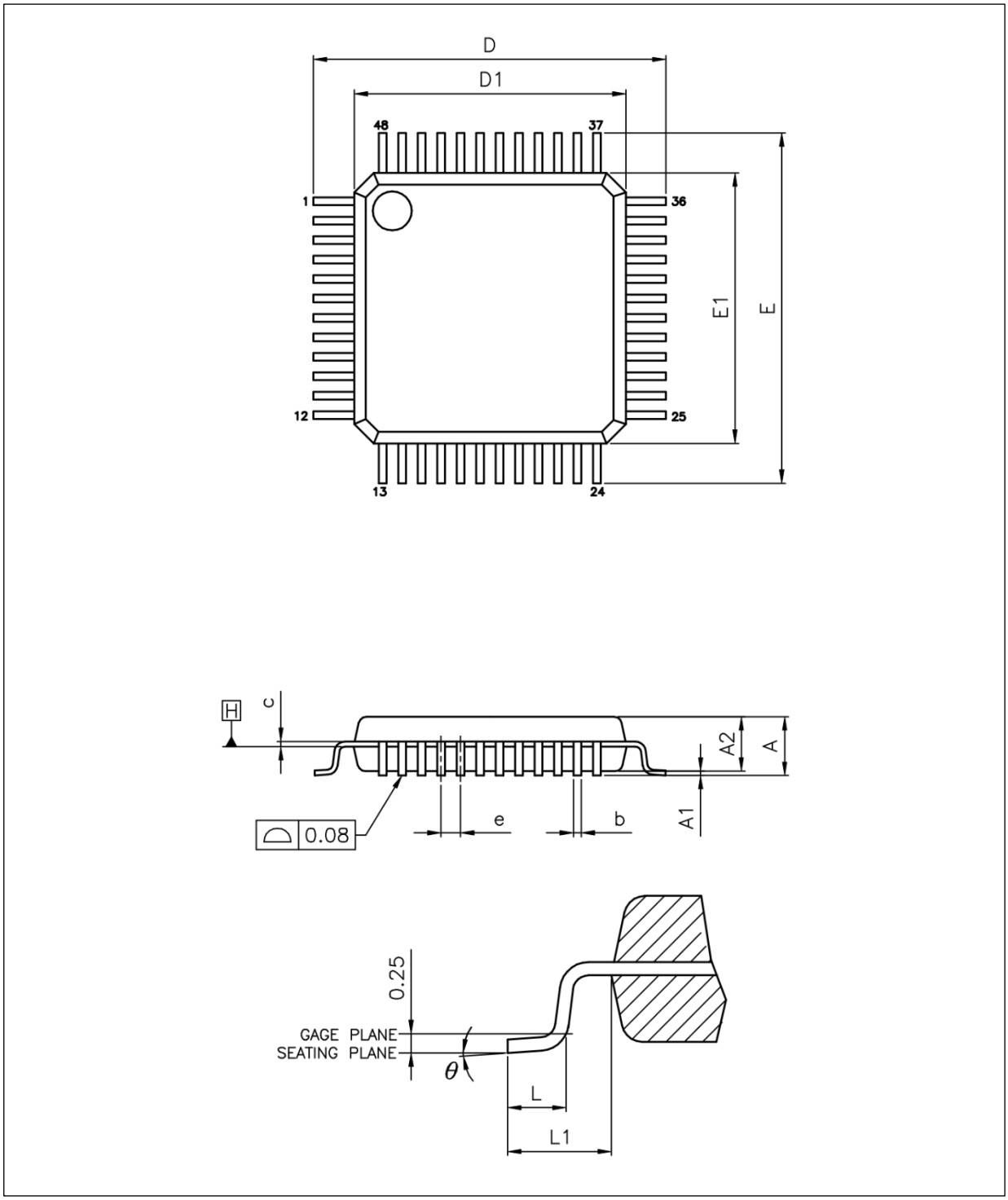
下图是一个顶部标记取向与引脚1识别标记位置的例子

图 47. LQFP64 – 10 x 10 mm 标记(封装俯视图)



6.3 LQFP48 封装数据

图 48. LQFP48 – 7 x 7 mm 48 脚薄型正方扁平封装图



(1) 图不是按照比例绘制。

表 62. LQFP48 – 7 x 7 mm 48 脚薄型正方扁平封装机械数据

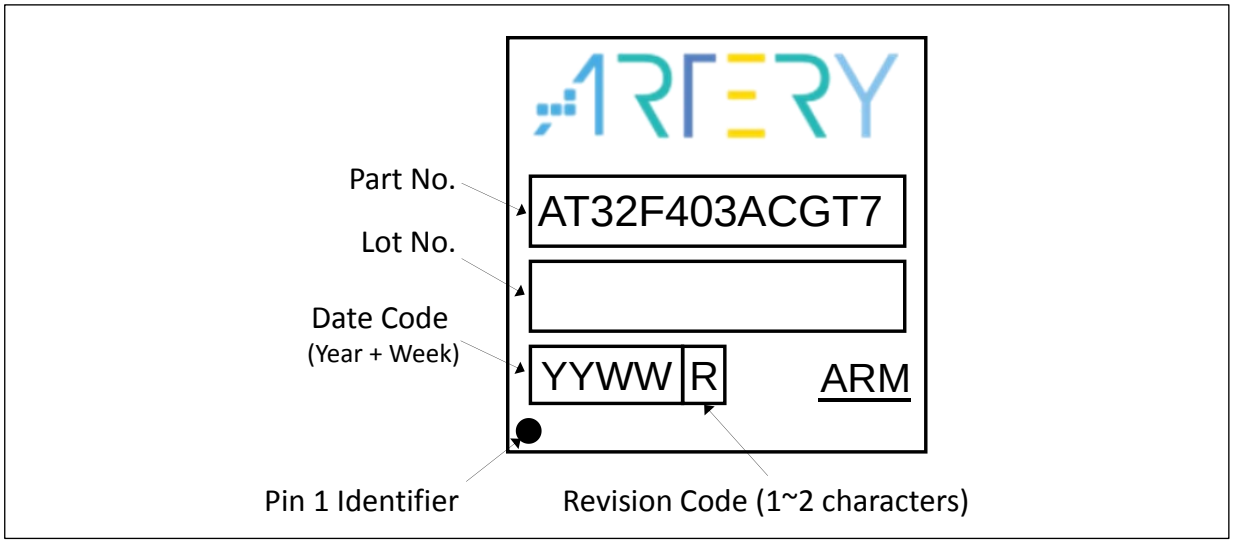
标号	毫米			英寸(1)		
	最小值	典型值	最大值	最小值	典型值	最大值
A	-	-	1.60	-	-	0.063
A1	0.05	-	0.15	0.002	-	0.006
A2	1.35	1.40	1.45	0.053	0.055	0.057
b	0.17	0.22	0.27	0.007	0.009	0.011
c	0.09	-	0.20	0.004	-	0.008
D	9.00 BSC			0.345 BSC		
D1	7.00 BSC			0.276 BSC		
E	9.00 BSC			0.345 BSC		
E1	7.00 BSC			0.276 BSC		
e	0.50 BSC.			0.020 BSC.		
Θ	0°	3.5°	7°	0°	3.5°	7°
L	0.45	0.60	0.75	0.018	0.024	0.030
L1	1.00 REF.			0.039 REF.		

(1) 英寸的数值是根据毫米的数据按照3位小数精度转换取整得到的。

LQFP48设备标记

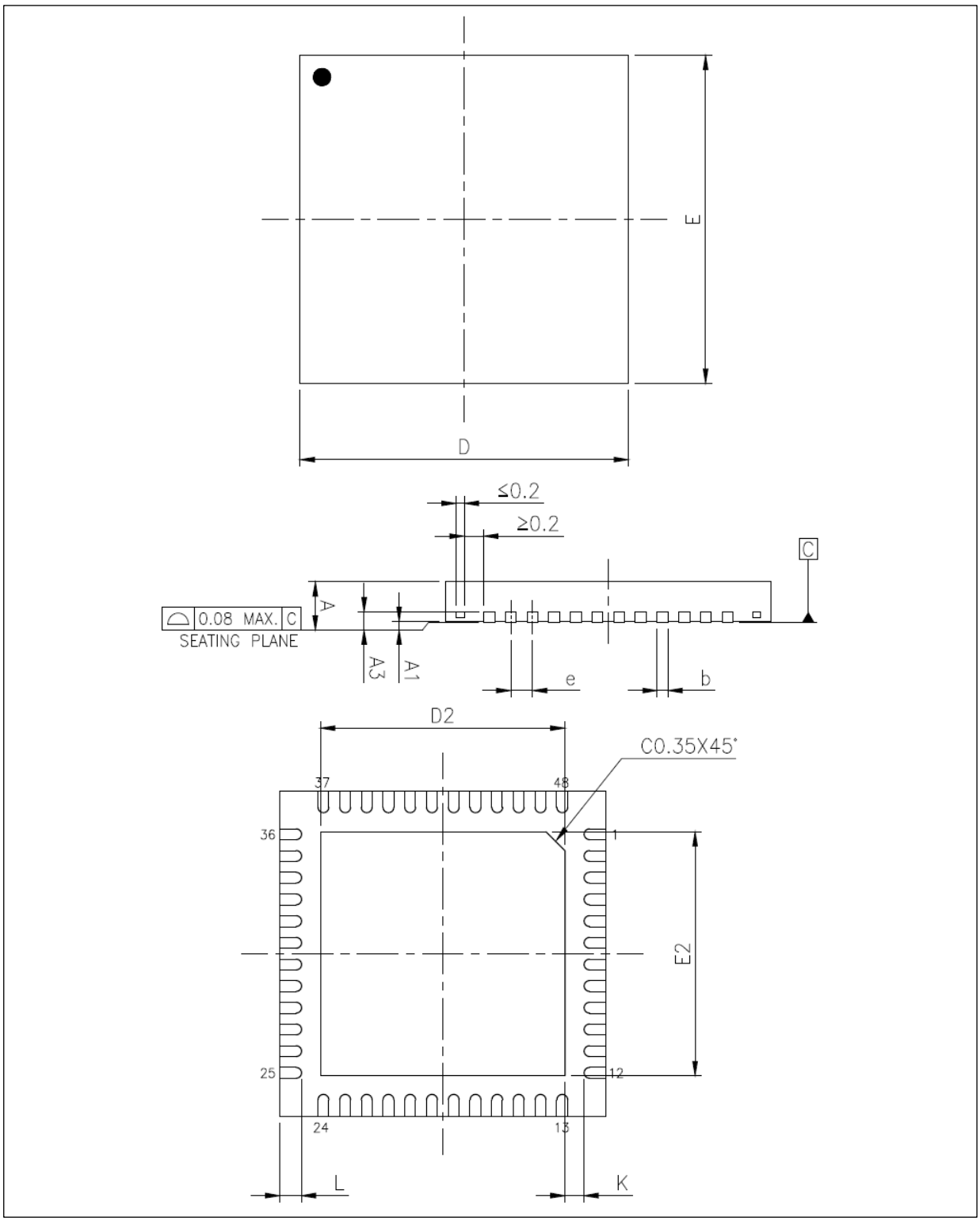
下图是一个顶部标记取向与引脚1识别标记位置的例子

图 49. LQFP48 – 7 x 7 mm 标记(封装俯视图)



6.4 QFN48 封装数据

图 50. QFN48 – 6 x 6 mm 48 脚正方扁平无引线封装图



(1) 图不是按照比例绘制。
(2) 俯视图。

表 63. QFN48 – 6 x 6 mm 48 脚正方扁平无引线封装机械数据

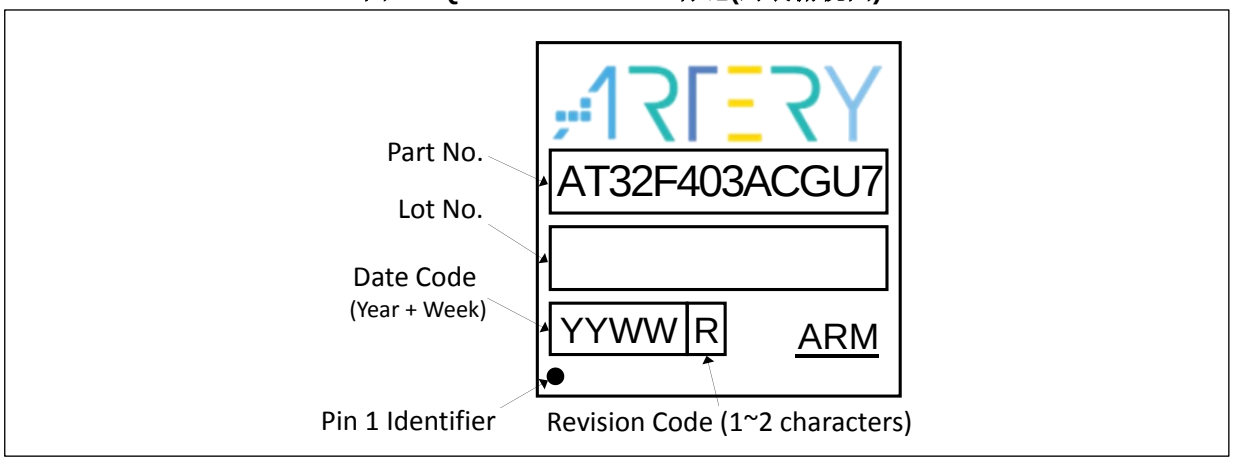
标号	毫米			英寸(1)		
	最小值	典型值	最大值	最小值	典型值	最大值
A	0.80	0.85	0.90	0.031	0.033	0.035
A1	0.00	0.02	0.05	0.000	0.001	0.002
A3	0.203 REF.			0.008 REF.		
b	0.15	0.20	0.25	0.006	0.008	0.010
D	6.00 BSC.			0.236 BSC.		
D2	4.45	4.50	4.55	0.175	0.177	0.179
E	6.00 BSC.			0.236 BSC.		
E2	4.45	4.50	4.55	0.175	0.177	0.179
e	0.40 BSC.			0.016 BSC.		
K	0.20	-	-	0.008	-	-
L	0.35	0.40	0.45	0.014	0.016	0.018

(1) 英寸的数值是根据毫米的数据按照3位小数精度转换取整得到的。

QFN48设备标记

下图是一个顶部标记取向与引脚1识别标记位置的例子

图 51. QFN48 – 6 x 6 mm 标记(封装俯视图)



6.5 热特性

芯片的最大结温($T_j$max)一定不能超过*表11*给出的数值范围。芯片的最大结温($T_j$max)用摄氏温度表示，可用下面的公式计算：

$$T_j max = T_a max + (P_d max \times \Theta_{JA})$$

其中：

- $T_a$max是最大的环境温度，用°C表示，
- Θ_{JA}是封装中结到环境的热阻抗，用°C/W标示，
- $P_d$max是P_{INT}max和$P_{I/O}$max的和($P_d max = P_{INT} max + P_{I/O} max$)，
- P_{INT}max是I_{DD}和V_{DD}的乘积，用瓦特(Watt)表示，是芯片的最大内部功耗。

$P_{I/O}$max是所有输出引脚的最大功率消耗：

$$P_{I/O} max = \Sigma(V_{OL} \times I_{OL}) + \Sigma((V_{DD} - V_{OH}) \times I_{OH}),$$

考虑在应用中I/O上低电平和高电平的实际的V_{OL} / I_{OL}和V_{OH} / I_{OH}。

表 64. 封装的热特性

符号	参数	数值	单位
Θ_{JA}	结到环境的热阻抗—LQFP100 – 14 × 14 mm / 0.5 mm 间距	61.2	°C/W
	结到环境的热阻抗—LQFP64 – 10 × 10 mm / 0.5 mm 间距	64.6	
	结到环境的热阻抗—LQFP48 – 7 × 7 mm / 0.5 mm 间距	68.8	
	结到环境的热阻抗—QFN48 – 6 × 6 mm / 0.4 mm 间距	30.2	

7 订货代码

表 65. AT32F403A 系列订货代码信息图示

例如：AT32 F 4 0 3A V G T 7

产品系列

AT32 = 基于ARM的32位微控制器

产品类型

F = 通用类型

内核

4 = Cortex®-M4

产品子系列

0 = 主流系列

产品应用别

3A = USB + CAN系列进阶版

引脚数目

C = 48脚

R = 64脚

V = 100脚

内部闪存存储器容量

C = 256 K字节的内部闪存存储器

E = 512 K字节的内部闪存存储器

G = 1 M字节的内部闪存存储器

封装

T = LQFP

U = QFN

温度范围

7 = -40 °C至+105 °C

关于更多的选项列表(速度、封装等)和其他相关信息，请与邻近的雅特力销售处联络。

8 版本历史

表 66. 文档版本历史

日期	版本	变更
2020.1.8	1.00	最初版本
2020.2.10	1.01	修改系统频率和内部AHB时钟频率最高240 MHz，内部APB时钟频率最高120 MHz

重要通知 – 请仔细阅读

买方自行负责对本文所述雅特力产品和服务的选择和使用，雅特力概不承担与选择或使用本文所述雅特力产品和服务相关的任何责任。

无论之前是否有过任何形式的表示，本文档不以任何方式对任何知识产权进行任何明示或默示的授权或许可。如果本文档任何部分涉及任何第三方产品或服务，不应被视为雅特力授权使用此类第三方产品或服务，或许可其中的任何知识产权，或者被视为涉及以任何方式使用任何此类第三方产品或服务或其中任何知识产权的保证。

除非在雅特力的销售条款中另有说明，否则，雅特力对雅特力产品的使用和/或销售不做任何明示或默示的保证，包括但不限于有关适销性、适合特定用途(及其依据任何司法管辖区的法律的对应情况)，或侵犯任何专利、版权或其他知识产权的默示保证。

雅特力产品并非设计或专门用于下列用途的产品：(A) 对安全性有特别要求的应用，如：生命支持、主动植入设备或对产品功能安全有要求的系统；(B) 航空应用；(C) 汽车应用或汽车环境；(D) 航天应用或航天环境，且/或(E) 武器。因雅特力产品不是为前述应用设计的，而采购商擅自将其用于前述应用，即使采购商向雅特力发出了书面通知，风险由购买者单独承担，并且独力负责在此类相关使用中满足所有法律和法规要求。

经销的雅特力产品如有不同于本文档中提出的声明和/或技术特点的规定，将立即导致雅特力针对本文所述雅特力产品或服务授予的任何保证失效，并且不应以任何形式造成或扩大雅特力的任何责任。

© 2020 雅特力科技 (重庆) 有限公司 保留所有权利