



请注意赛普拉斯已正式并入英飞凌科技公司。

此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分,英飞凌将继续为新的及现有客户提供该产品。

文件内容的连续性

事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生,且任何变更将在历史页面记录。

订购零件编号的连续性

英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。

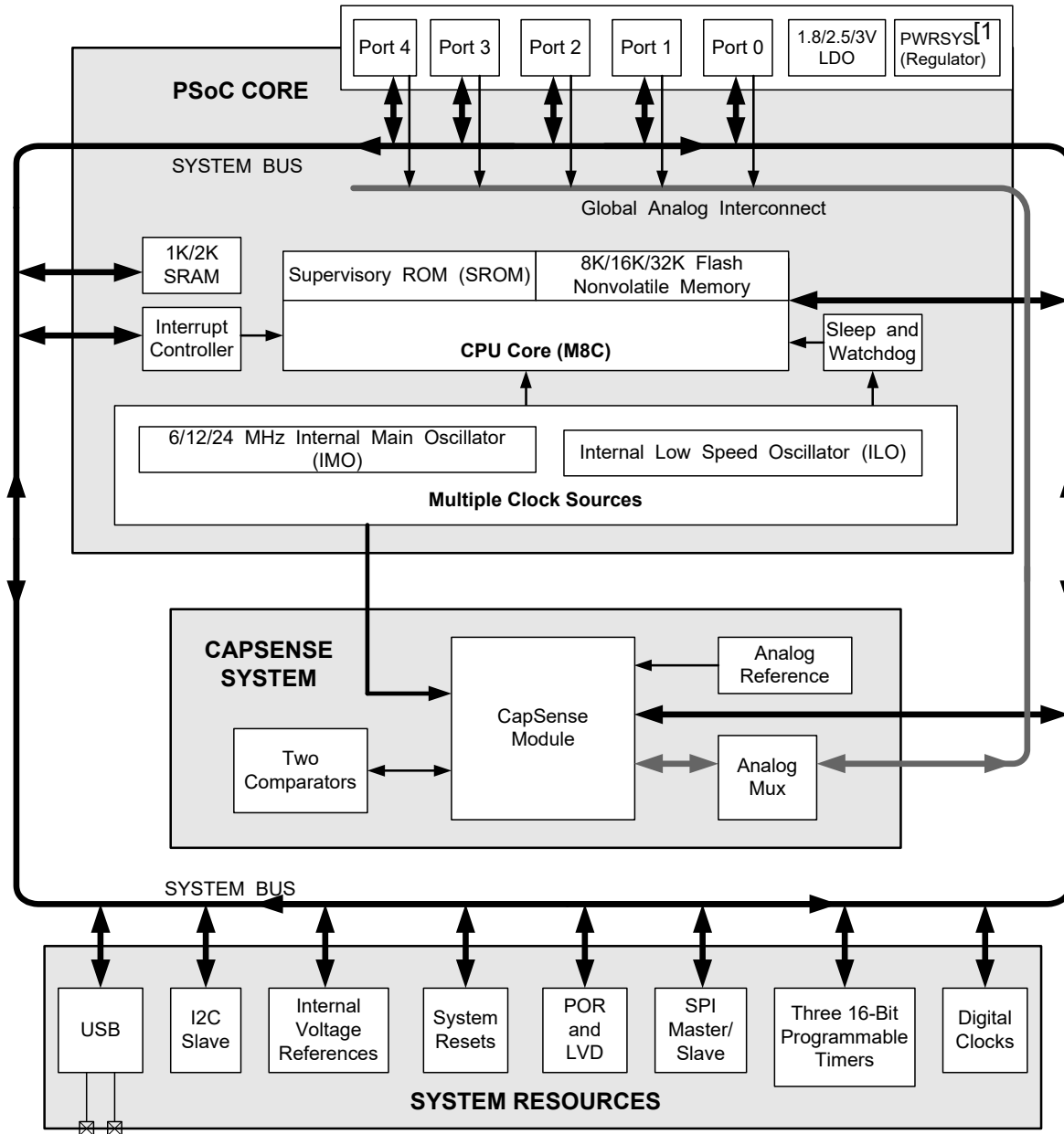
带有 SmartSense™ 自动调试功能、 1–33 按键、0–6 滑块的 1.8 V 可编程 CapSense® 控制器

特性

- 支持 SmartSense 自动调校功能的低功耗 CapSense® 模块
 - 拥有专利的 CSA_EMC、CSD 检测算法
 - SmartSense_EMC 自动调校
 - 运行时设置并维持最佳传感器性能
 - 消除开发和生产过程中的系统调试
 - 补偿制造过程中引起的变化。平均低功耗 — 运行时每个传感器消耗 28 μ A 的电流（每 125 ms 唤醒并扫描一次）
- 强大的 Harvard 架构处理器
 - M8C CPU 的最高速度可达 24 MHz
- 工作电压范围：1.71 V 到 5.5 V
 - 待机模式电流为 1.1 μ A（典型值）
 - 深度睡眠模式电流为 0.1 μ A（典型值）
- 工作温度范围：-40 °C 至 +85 °C
- 灵活的片上存储器
 - 8 KB 闪存，1 KB SRAM
 - 16 KB 闪存，2 KB SRAM
 - 32 KB 闪存，2 KB SRAM
 - 边读边写功能并带有 EEPROM 仿真
 - 5 万次闪存擦 / 写周期
 - 系统内编程功能简化生产过程
- 四个时钟源
 - 内部主振荡器（IMO）：6/12/24 MHz
 - 供给看门狗和睡眠定时器使用的 32 kHz 内部低速振荡器（ILO）
 - 外部 32 KHz 晶振
 - 外部时钟输入
- 可编程引脚配置
 - 多达 36 个通用 I/O（GPIO）可配置为按键或滑块
 - 双线模式 GPIO（支持模拟输入和数字 I/O）
 - 每个 GPIO 的灌电流为 25 mA
 - 所有 GPIO 的最大灌电流为 120 mA
 - 拉电流
 - 端口 0 和 1 上的拉电流为 5 mA
 - 端口 2、3 和 4 上的拉电流为 1 mA
 - 可配置的内部上拉电阻、高阻态和开漏模式
 - 端口 1 上具有可选的稳压数字 I/O
 - 端口 1 上的可配置输入阈值
- 通用模拟功能
 - 内部模拟总线支持将多个传感器相连接，以构成串连接近感应传感器
 - 高电源抑制比（PSRR）的内部低压差电压调节器
- 全速 USB
 - 符合 12 Mbps USB 2.0 标准
- 其它系统资源
 - I2C 从设备：
 - 有 50 kHz、100 kHz 或 400 kHz 可供选择
 - SPI 主设备和从设备 — 可配置频率达 12 MHz
 - 三个 16 位定时器
 - 看门狗和睡眠定时器
 - 集成监测电路
 - 带内部参考电压的 10 位递增模数转换器（ADC）
 - 两个通用高速低功耗模拟比较器
- 完备的开发工具
 - 免费的开发工具（PSoC Designer™）
- 传感器和封装选项
 - 10 个传感器 — QFN 16、24
 - 16 个传感器 — QFN 24
 - 22/25 个传感器 — QFN 32
 - 24 个传感器 — WLCSP 30
 - 31 个传感器 — SSOP 48
 - 33 个传感器 — QFN 48

勘误表：有关芯片勘误表的信息，请查看第 46 页上的勘误表。具体内容包括触发条件、受影响器件以及推荐的解决方案。

逻辑框图



注释:

1. 适用于内部电路的内部电压调节器

更多有关的信息

赛普拉斯网站 (www.cypress.com) 上提供了大量资料, 这些资料有助于您选择符合设计的 PSoC 器件, 并能够快速有效地将该器件集成到您的设计中。有关使用资源的完整列表, 请参考知识库文章 [KBA92181 — CapSense® 控制器的可用资源](#)。下面是 CapSense 器件的简要列表:

■ **概述:** CapSense 产品系列、CapSense 产品路线图

■ **产品选择器:** CapSense、CapSense Plus、CapSense Express、带有 CapSense 的 PSoC3、带有 CapSense 的 PSoC5、PSoC4。此外, 在创建新项目时 PSoC Designer 还提供器件选型工具。

■ **应用笔记:** 赛普拉斯提供了大量的 CapSense 应用笔记, 包含了从基本到高级的广泛主题。下面列出的是 CapSense 入门的应用笔记:

- [AN64846](#): CapSense 入门
- [AN73034](#): CY8C20xx6A/H/AS CapSense® 设计指南
- [AN2397](#): CapSense® 数据查看工具

■ **技术参考手册 (TRM):**

- [PSoC® CY8C20xx6A/AS/L 系列的技术参考手册](#)

■ **开发套件:**

- **CY3280-20x66 通用 CapSense 控制器套件**使用预定义的控制电路和插入硬件, 简化了原型化设计和系统调试。编程硬件和 I2C 至 USB 桥接器硬件也包含在内, 便于进行调试和数据采集。
- **CY3280-BMM 阵列按键模块**由 8 个 CapSense 传感器组成 (以 4x4 阵列格式组织), 从而构成 16 个物理按键和 8 个 LED。该模块可以连接至任意 CY3280 通用 CapSense 控制器电路板 (包含 CY3280-20x66 通用 CapSense 控制器)。
- **CY3280-BSM 简单按键模块套件**由 10 个 CapSense 按键和 10 个 LED 构成。该模块可以连接至任意 CY3280 通用 CapSense 控制器电路板 (包含 CY3280-20x66 通用 CapSense 控制器)。

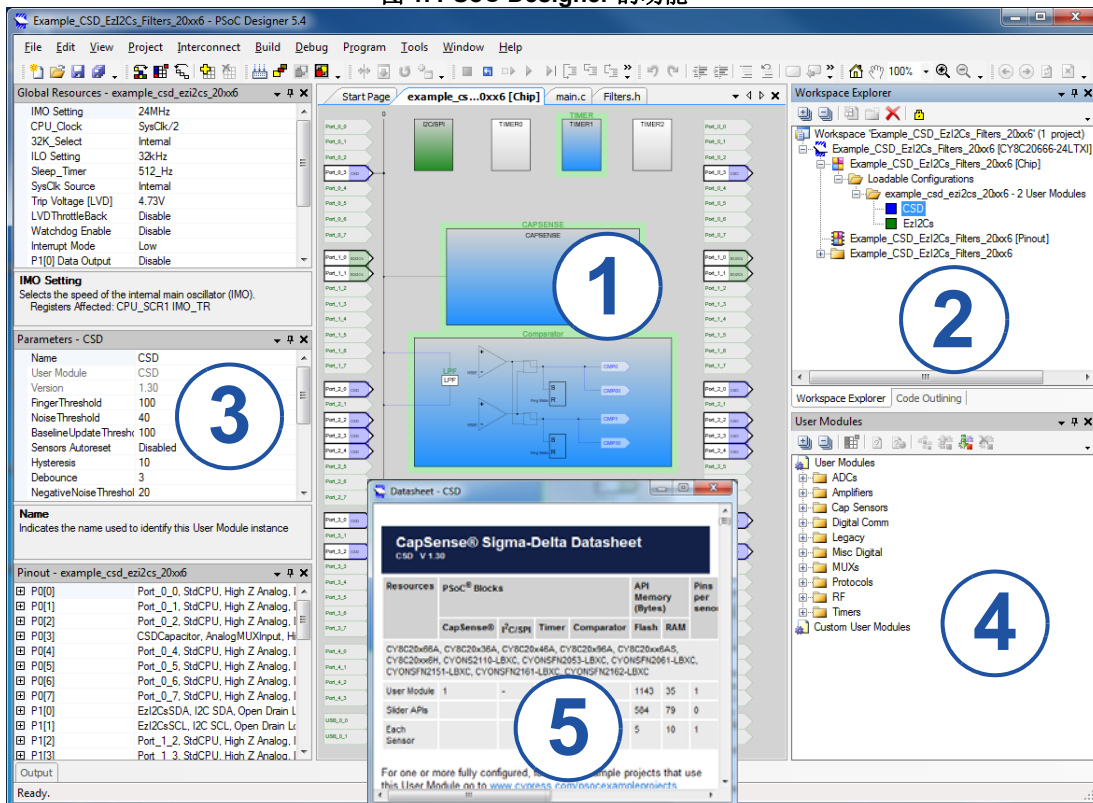
CY3217-MiniProg1 和 CY8CKIT-002 PSoC® MiniProg3 器件提供了一个用于闪存编程的接口。

PSoC Designer

PSoC Designer 是基于 Windows 的免费的集成设计环境 (IDE)。通过它可以同时在基于 CapSense 的系统中设计硬件和固件 (请参见图 1)。通过 PSoC Designer, 您可以:

1. 将用户模块图标施放到主要设计工作区中, 以进行您的硬件系统设计。
2. 使用 PSoC Designer 集成开发环境 C 编译器对您的应用固件和 PSoC 硬件进行协同设计
3. 配置用户模块
4. 了解用户模块库
5. 查看用户模块的数据手册

图 1. PSoC Designer 的功能



目录

PSoC® 功能概述	5	直编程参数	26
PSoC 内核	5	直流 I2C 参数	27
CapSense 系统	5	直流参考缓冲区参数	27
其它系统资源	6	直流 IDAC 参数	27
入门	7	交流芯片级参数	28
CapSense 设计指南	7	交流 GPIO 规范	29
芯片勘误表	7	交流比较器参数	30
开发套件	7	交流外部时钟参数	30
培训	7	交流编程参数	31
CYPros 顾问	7	交流 I2C 参数	32
解决方案库	7	封装信息	35
技术支持	7	热电阻	38
开发工具	8	晶体引脚上的电容	38
PSoC Designer 软件子系统	8	回流焊规范	38
使用 PSoC Designer 进行设计	9	开发工具选择	39
选择用户模块	9	软件	39
配置用户模块	9	开发工具	39
组织和连接	9	评估工具	39
生成、验证和调试	9	器件编程器	39
引脚分布	10	附件（仿真和编程）	40
16-QFN（10 个感应输入） [3、4]	10	第三方工具	40
24-QFN（17 个感应输入） [8]	11	在您的板中构建 PSoC 仿真器	40
24-QFN（15 个感应输入（支持 USB）） [13]	12	订购信息	41
30-ball WLCSP（24 个感应输入） [18]	13	订购代码定义	43
32-QFN（25 个感应输入） [22]	14	缩略语	44
32-QFN（22 个感应输入（支持 USB）） [27]	15	参考文档	44
48-SSOP（31 个感应输入） [32]	16	文档规范	44
48-QFN（33 个感应输入） [36]	17	测量单位	44
48-QFN（33 个感应输入（支持 USB）） [41]	18	数字命名规范	45
48-QFN（OCD）（33 个感应输入） [46]	19	术语表	45
电气规范	20	勘误表	46
最大绝对额定值	20	合格状态	46
工作温度	20	勘误表汇总	46
直流芯片级参数	21	文档修订记录页	49
直流 GPIO 参数	22	销售、解决方案和法律信息	53
直流模拟复用器总线参数	24	全球销售和 design 支持	53
直流低功耗电压比较器参数	24	产品	53
比较器用户模块电气参数	25	PSoC® 解决方案	53
ADC 电气参数	25	赛普拉斯开发者社区	53
直流 POR 和 LVD 参数	26	技术支持	53

PSoC[®] 功能概述

PSoC 系列包含片上控制器器件，用于使用一个低成本单芯片的可编程组件来替换多个基于传统微控制器单元（MCU）的组件。PSoC 器件包含可配置的模拟和数字模块，以及可编程互连。这种架构可帮助用户根据每个应用的要求来创建定制的外设配置。此外，在一系列方便易用的引脚布局中还包含高速 CPU、闪存程序存储器、SRAM 数据存储器以及可配置的 I/O。

该器件系列的架构主要由三部分组成，如第 2 页上的逻辑框图所示：

- 内核
- CapSense 模拟系统
- 系统资源（包括全速 USB 端口）

通过一个通用多功能总线，能够实现 I/O 与模拟系统之间的连接。

每个 CY8C20XX6A/SPSoC 器件均包含一个专用的 CapSense 模块，该模块能够为电容式感应应用提供感测和扫描控制电路。根据 PSoC 封装，最多可包括 36 个 GPIO。GPIO 提供对 MCU 和模拟复用器的访问。

PSoC 内核

PSoC 内核是一个功能强大的引擎，它支持丰富的指令集。它包含用于存储数据的 SRAM、中断控制器、睡眠和看门狗定时器，以及 IMO 和 ILO。M8C CPU 内核是一个速度可高达 24 MHz 的强大处理器，并且它是一个 4 MIPS 的 8 位 Harvard 架构微处理器。

CapSense 系统

模拟系统包含电容式感应硬件。它支持多种硬件算法。该硬件不需要使用外部组件也能够执行电容式感应和扫描。模拟系统由 CapSense PSoC 模块和内部 1 V 或 1.2 V 模拟电压参考组成，它们共同为多达 33 个输入^[2]提供电容式感应。电容式感应在每个 GPIO 引脚上都是可配置的。可以通过多个端口轻松快速扫描使能的 CapSense 引脚。

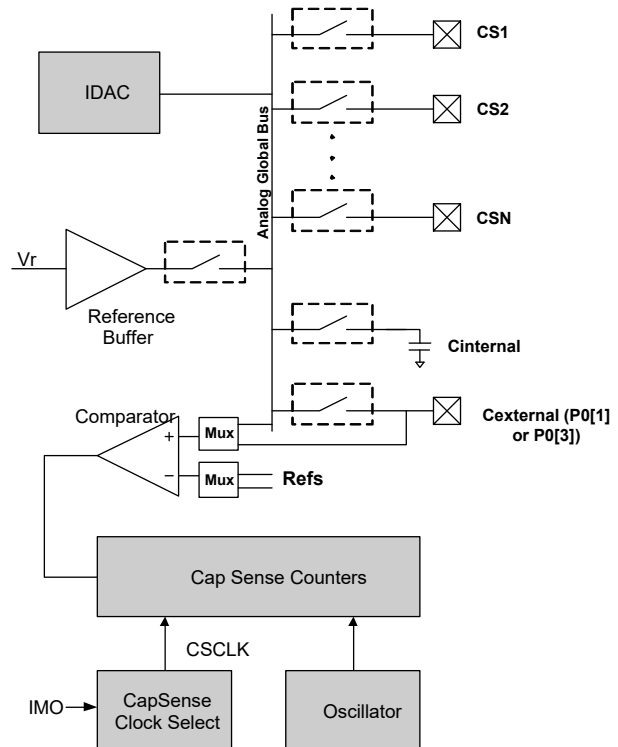
SmartSense

SmartSense 是赛普拉斯的创新解决方案，省去了 CapSense 应用中手动调试的必要。该解决方案使用很方便，并且提供了强大的抗噪性能。它是建立、监控和维持所有所需调试参数的唯一自动调试解决方案。使用 SmartSense，从原型设计进入批量生产阶段时，工程师可无需重新调试 PCB 和 / 或覆盖材料属性的制造误差。

SmartSense_EMC

除了可免除 CapSense 应用手动调试的 SmartSense 自动调试算法外，SmartSense EMC 用户模块还集成了唯一的一种算法。该算法能够提高电容式感应算法 / 电路的稳定性，从而预防高频传导和辐射噪声。所有电子器件必须符合辐射和传导外部噪声的特定限制，这些限制由 FCC、CE、U/L 等监管机构指定。良好的 PCB 布局设计、电源设计和系统设计是产品能够通过传导和辐射噪声测试的必要条件。由于产品的成本和外形大小因素的限制，理想的 PCB 布局、电源设计或系统设计通常难以实现。具有出色抗噪性能的 SmartSense EMC 则符合要求，可使此类应用轻松通过辐射和传导噪声测试。

图 2. CapSense 系统框图



注释：

2. 36 个 GPIO = 33 个引脚（用于电容式感测）+ 2 个引脚（用于 I²C）+ 1 个引脚（用于调制器电容）。

模拟复用器系统

模拟复用器总线可以连接至所有 GPIO 引脚。引脚可以单独或任意组合后连接到总线。该总线还可以连接到模拟系统，以便使用 CapSense 模块比较器进行分析。

借助开关控制逻辑，选定的引脚可以在硬件控制下连续预充电。从而能够对触摸感应等应用进行电容式测量。其他复用器应用包括：

- 灵活实用的电容式感应接口，例如滑条和触摸板。
- 可从任意 I/O 引脚接收模拟输入的芯片级复用器。
- 任意 I/O 引脚组合之间的交叉点连接。

其它系统资源

系统资源提供额外的功能，例如可配置的 USB 和 I²C 从设备、SPI 主设备 / 从设备的通信接口、三个 16 位可编程定时器，以及 M8C 支持的多个系统复位功能。

这些系统资源提供了对整个系统非常有用的附加功能。除此之外还包括低电压检测和上电复位。下面介绍的是每种系统资源的优势：

- I²C 从设备 / SPI 主设备 - 从设备模块通过两条线路提供 50/100/400 kHz 通信。通过三条或四条线路，在 46.9 kHz 到 3 MHz 的传输速度（如果系统时钟较慢，则传输速度也较慢）下进行 SPI 通信。
- 低压检测 (LVD) 中断可以在电压下降时向应用发出信号，而高级上电复位 (POR) 电路则能够省去系统监控方面的需要。
- 内部参考电压为电容式感应提供了一个绝对参考电压。
- 通过使用寄存器控制的旁路模式，用户可以禁用 LDO 电压调节器。

入门

为快速了解 PSoC 芯片，请先阅读本数据手册，然后再使用 PSoC Designer 集成开发环境 (IDE)。本数据手册概要介绍了 PSoC 集成电路，并描述具体的引脚、寄存器和电气规范。

深度信息以及有关编程的详细信息，请参见 CY8C20XX6A/SPSoC 器件的 [技术参考手册](#)。

如需最新的订购、封装和电气规范信息，请参见 www.cypress.com/psoc 网站上最新的 PSoC 器件数据手册。

CapSense 设计指南

设计指南是对各种可能的 CapSense 设计的绝佳介绍。可在 www.cypress.com/go/CapSenseDesignGuides 上访问设计指南。

有关 CapSense 设计的信息，请参见 [CapSense 设计指南入门](#)；有关 CY8C20XX6A/AS CapSense 控制器的特定信息，请参见《[CY8C20XX6A/H/AS CapSense® 设计指南](#)》。

芯片勘误表

勘误表记录已知的芯片问题，包括勘误触发条件、影响范围、可用解决方案和芯片修订适用性。有关 PSoC® CY8C20x36A/46A/66A/96A/46AS/66AS/36H/46H 系列，可访问 <http://www.cypress.com/?rID=56239> 上的芯片勘误表，以了解有关 CY8C20xx6A/AS/H 器件系列的勘误信息。对勘误表文档和数据手册进行比较，以了解器件的完整功能说明。

开发套件

可以在线获得 [PSoC 开发套件](#)，也可以从不断增加的地区和全球分销商（包括 Arrow、Avnet、Digi-Key、Farnell、Future Electronics 和 Newark）处获得。

培训

网址 www.cypress.com 下所在的在线免费 PSoC 技术培训（按需提供培训、在线研讨会和专题讨论会）涵盖了有助于您进行设计的大量主题和技能。

CYPros 顾问

从技术协助到完成 PSoC 设计，得到认证的 PSoC 顾问能够提供一切支持。要想联系或成为 PSoC 的顾问，请访问 [CYPros 顾问网站](#)。

解决方案库

请访问我们的 [以解决方案为中心且内容持续更新的设计库](#)。您可以从中找到各种应用设计，包括有助于快速完成设计的固件和硬件设计文件。

技术支持

也可以在线获取 [技术支持](#)（包括可搜索到的知识库文章和技术论坛）。如果找不到问题的解决方案，请致电 1-800-541-4736 联系技术支持。

开发工具

PSoC Designer™ 是革新的集成开发环境 (IDE)，您可以使用它来自定义 PSoC 以满足特定应用的需求。PSoC Designer 软件可加快系统的设计和上市进程。在拖放式设计环境中使用预先设定的模拟和数字外设库 (也称为用户模块) 来开发您的应用程序。然后，利用动态生成的应用编程接口 (API) 代码库来自定义您的设计。最后，使用集成调试环境 (包括在线仿真和标准的软件调试功能) 调试和测试您的设计。PSoC Designer 包括：

- 应用编辑器图形用户界面 (GUI)，用于器件和用户模块配置和动态重配置
- 内容丰富的用户模块目录
- 集成的源代码编辑器 (C 语言和汇编语言)
- 免费的 C 语言编译器 (无大小限制或时间限制)
- 内置调试器
- 在线仿真
- 通信接口内置支持：
 - 硬件和软件 I²C 从设备和主设备
 - 全速 USB 2.0
 - 最多四个全双工通用异步接收器/发送器 (UART)、SPI 主设备和从设备及无线模块

PSoC Designer 支持 PSoC 1 器件的整个库，并可在 Windows XP、Windows Vista 和 Windows 7 操作系统上运行。

PSoC Designer 软件子系统

设计入口

在芯片级视图中，选择需要使用的基本器件。然后选择不同的板上模拟和数字组件 (又称用户模块)。这些组件采用了 PSoC 模块。用户模块种类包括：模数转换器 (ADC)、数模转换器 (DAC)、放大器以及滤波器。为所选应用配置用户模块，且将它们互连并连接至适当的引脚。然后生成您的项目。这样，可以在项目中加入 API 和库，您可以使用它们来对应用进行编程。

通过此工具，用户还可以轻松开发多个配置和动态重新配置。利用动态重配置，可在运行时更改配置。本质上，您可以使用超过 100% 的 PSoC 特定应用资源来配置某个应用。

代码生成工具

这些代码生成工具能够在 PSoC Designer 界面中无缝工作，并且已经采用了一整套调试工具进行测试。您可以使用 C 语言、汇编语言或两者进行设计开发。

汇编器。汇编器可使汇编代码与 C 语言代码无缝合并。链接库会自动使用绝对寻址，或在相对模式下进行编译，然后与其他软件模块连接，以实现绝对寻址。

C 语言编译器。C 语言编译器支持 PSoC 器件系列。使用这些产品，您可以为 PSoC 器件系列创建完整的 C 语言程序。优化的 C 语言编译器能够提供针对 PSoC 架构定制的所有 C 语言功能。此外，还提供了各个嵌入式库。这些库能够提供端口和总线操作、标准键盘和显示屏支持，以及扩展的数学功能。

调试器

PSoC Designer 所提供的调试环境具有硬件在线仿真功能，不但提供了 PSoC 器件的内部视图，而且您还可以在物理系统中测试程序。借助调试器命令，可对数据存储进行读 / 编程和读 / 写操作，对 I/O 寄存器进行读 / 写操作。可对 CPU 寄存器进行读 / 写操作、设置和清除断点，并且提供了程序运行、暂停和步进控制。调试器还可让您创建相关寄存器和存储器位置的跟踪缓冲区。

在线帮助系统

在线帮助系统可提供与上下文相关的在线帮助。每个功能子系统都有上下文关联帮助，从而提供了程序性快速参考。此外，为了协助设计人员，该系统还提供了相关的教程和常见问题解答链接，以及在线支持论坛链接。

在线仿真器

功能强大的低成本在线仿真器 (ICE) 可提供开发支持。该工具可以编程单个器件。

仿真器包含一个通过 USB 端口连接到 PC 的基本装置。这个基本装置是通用的，能够用于所有 PSoC 器件。您可以单独购买任意器件系列的仿真转接板。仿真转接板取代了目标电路板中的 PSoC 器件并可执行全速 (24 MHz) 操作。

使用 PSoC Designer 进行设计

PSoC 器件的开发过程不同于传统固定功能微处理器的。可配置的模拟和数字硬件模块赋予 PSoC 架构独特的灵活性，有助于在开发期间管理规范变更，并降低库存成本。这些可配置的资源（被称为 PSoC 模块）能够实现多项用户可选功能。PSoC 开发过程如下：

6. 选择用户模块。
7. 配置用户模块。
8. 组织和连接。
9. 生成、验证和调试。

选择用户模块

PSoC Designer 提供了一个预建且预测试的硬件外设组件，称作“用户模块”。用户模块使外设器件（包括模拟和数字器件）的选择和实现变得更加简单。

配置用户模块

所选择的每个用户模块都能够建立基本寄存器设置来实现所选功能。此外，它们还提供了参数和属性，便于您针对特定应用进行调整精确配置。例如，PWM 用户模块能够配置一个或多个数字 PSoC 模块（每 8 位分辨率使用一个模块）。借助这些参数，您可以确定脉宽和占空比。根据所选应用配置相应的参数和属性。您可以直接输入数值或从下拉菜单中选择所需数值。数据手册中已经记录好了所有用户模块，并且您可以在 PSoC Designer 软件中或赛普拉斯网站上直接查询。这些用户模块数据手册介绍了用户模块的内部操作并提供了性能规范。每个数据手册均描述了各个用户模块参数的用途，以及成功实现设计所需要的其他信息。

组织和连接

通过将用户模块互连，并与 I/O 引脚连接，您可以在芯片级构建信号链。通过选择、配置和布线等操作，您可以全面控制所有的片上资源。

生成、验证和调试

当准备好硬件配置的测试或要开发项目代码时，请执行“生成配置文件”该步。这样会使 PSoC Designer 生成源代码，该源代码会自动按照您的规范配置器件，并为系统提供软件。生成的代码提供了带有高级函数的 API，并且该代码能在运行时控制并响应硬件事件。同时，它还提供了可根据需要应用的中断服务子程序。

在完善的代码开发环境中，您可以使用 C 语言、汇编语言或两者来开发和自定义应用。

开发过程的最后一步是在 PSoC Designer 的调试器（单击 Connect 图标访问）中完成的。PSoC Designer 会将 HEX 图像下载到全速运行的 ICE 中。PSoC Designer 的调试功能不差于具有类似功能但成本高出数倍的系统。除了传统的单步执行、运行到断点以及监视变量等功能外，调试接口还提供了大型跟踪缓冲器。这样，您可以定义复杂的断点事件，如监控地址和数据总线值、存储器位置以及外部信号。

引脚分布

CY8C20XX6A/S PSoC 器件拥有多种封装可供选择，后续表格分别列出并介绍了这些封装。每个端口引脚（标志为“P”）都能用作数字 I/O，并可连接到通用模拟总线。但 V_{SS} 、 V_{DD} 和 XRES 不能作为数字 I/O。

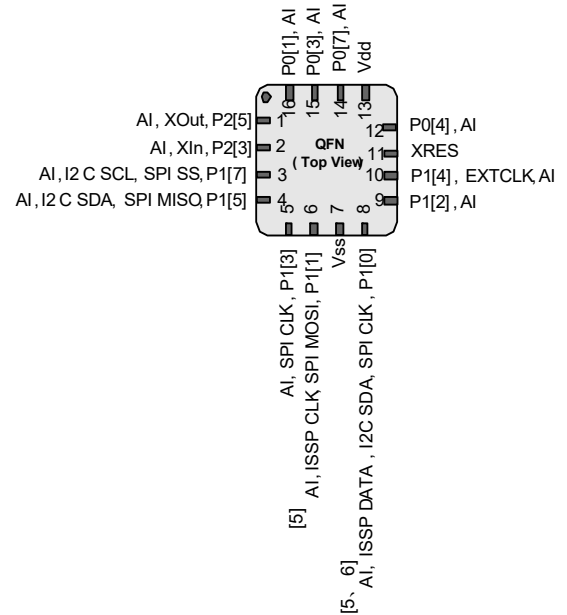
16-QFN（10 个感应输入）^[3、4]

表 1. 引脚定义 — CY8C20236A、CY8C20246A、CY8C20246ASoC 器件

引脚编号	类型		名称	说明
	数字	模拟		
1	I/O	I	P2[5]	晶振输出 (XOut)
2	I/O	I	P2[3]	晶振输入 (XIn)
3	IOHR	I	P1[7]	I ² C SCL、SPI SS
4	IOHR	I	P1[5]	I ² C SDA、SPI MISO
5	IOHR	I	P1[3]	SPI CLK
6	IOHR	I	P1[1]	ISSP CLK ^[5] 、I ² C SCL、SPI MOSI
7	电源		V_{SS}	接地 ^[7]
8	IOHR	I	P1[0]	ISSP DATA ^[5] 、I ² C SDA、SPI CLK ^[6]
9	IOHR	I	P1[2]	
10	IOHR	I	P1[4]	可选的外部时钟 (EXTCLK)
11	输入		XRES	采用内部下拉电阻的高电平有效外部复位
12	IOH	I	P0[4]	
13	电源		V_{DD}	供电电压
14	IOH	I	P0[7]	
15	IOH	I	P0[3]	积分输入
16	IOH	I	P0[1]	积分输入

图标：A = 模拟，I = 输入，O = 输出，OH = 5 mA 高电平输出驱动，R = 稳压输出。

图 3. CY8C20236A、CY8C20246A、CY8C20246AS



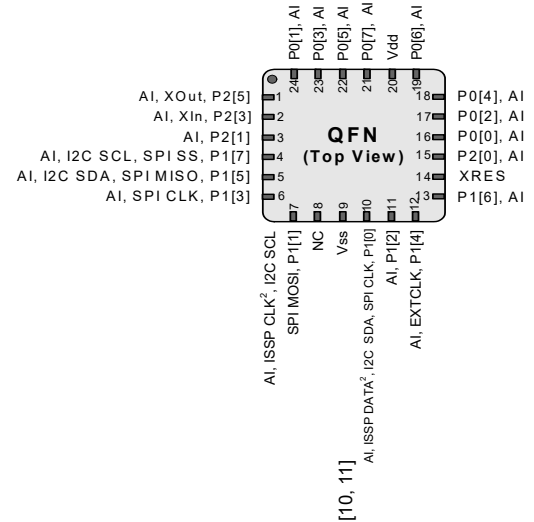
注释：

- 13 个 GPIO = 10 个引脚（用于电容式感测）+ 2 个引脚（用于 I2C）+ 1 个引脚（用于调制电容）。
- 无中心焊盘。
- 通电时，SDA（P1[0]）以 256 个睡眠时钟周期的时长驱动强高电平，然后在接下来 256 个睡眠时钟周期驱动电阻性低电平。SCL（P1[1]）线路在 512 个睡眠时钟周期内驱动电阻性低电平，然后两个引脚均转换到高阻抗状态。复位时，XRES 取消激活后，SDA 和 SCL 线路在 8 个睡眠时钟周期内驱动电阻性低电平，然后转换到高阻抗状态。因此，在上电或复位期间，P1[1] 和 P1[0] 可能干扰 I2C 总线。如果遇到这种情况，请使用备用引脚。
- 备用 SPI 时钟。
- 应将所有 VSS 引脚连接到同一个 GND 地层。

24-QFN (17 个感应输入) [8]
表 2. 引脚定义 — CY8C20336A、CY8C20346A、CY8C20346AS [9]

引脚编号	类型		名称	说明
	数字	模拟		
1	I/O	I	P2[5]	晶振输出 (XOut)
2	I/O	I	P2[3]	晶振输入 (XIn)
3	I/O	I	P2[1]	
4	IOHR	I	P1[7]	I ² C SCL、SPI SS
5	IOHR	I	P1[5]	I ² C SDA、SPI MISO
6	IOHR	I	P1[3]	SPI CLK
7	IOHR	I	P1[1]	ISSP CLK ^[10] 、I ² C SCL、SPI MOSI
8			NC	无连接
9	电源		V _{SS}	接地 [12]
10	IOHR	I	P1[0]	ISSP DATA ^[10] 、I ² C SDA、SPI CLK ^[11]
11	IOHR	I	P1[2]	
12	IOHR	I	P1[4]	可选的外部时钟输入 (EXTCLK)
13	IOHR	I	P1[6]	
14	输入		XRES	采用内部下拉电阻的高电平有效外部复位
15	I/O	I	P2[0]	
16	IOH	I	P0[0]	
17	IOH	I	P0[2]	
18	IOH	I	P0[4]	
19	IOH	I	P0[6]	
20	电源		V _{DD}	供电电压
21	IOH	I	P0[7]	
22	IOH	I	P0[5]	
23	IOH	I	P0[3]	积分输入
24	IOH	I	P0[1]	积分输入
CP	电源		V _{SS}	中心焊盘必须接地

图标: A = 模拟, I = 输入, O = 输出, OH = 5 mA 高电平输出驱动, R = 稳压输出。

图 4. CY8C20336A、CY8C20346A、CY8C20346AS

注释:

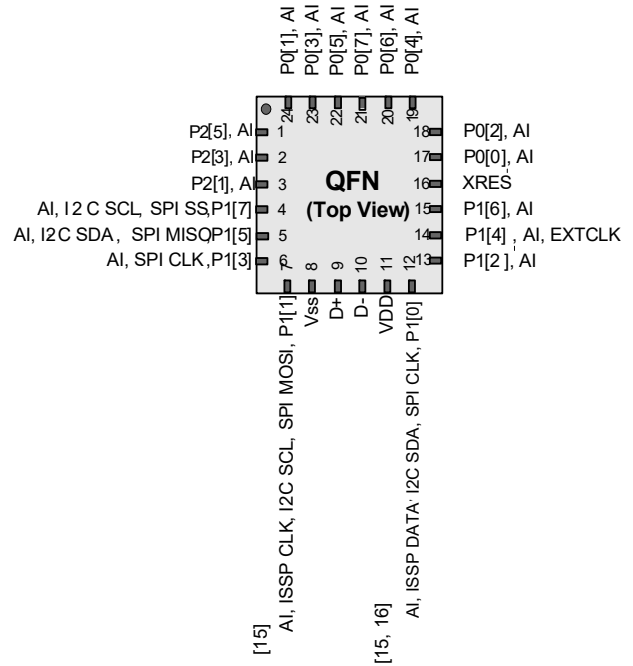
- 20 个 GPIO = 17 个引脚 (用于电容式感测) + 2 个引脚 (用于 I2C) + 1 个引脚 (用于调制电容)。
- QFN 封装上的中心焊盘 (CP) 必须接地 (V_{SS}), 以获得最佳机械、热学和电气性能。如果未接地, 则该中心焊盘必须处于电气悬空状态, 并且不能连接其他任何信号。
- 通电时, SDA (P1[0]) 以 256 个睡眠时钟周期的时长驱动强高电平, 然后在接下来的 256 个睡眠时钟周期内驱动电阻性低电平。SCL (P1[1]) 线路在 512 个睡眠时钟周期内驱动电阻性低电平, 然后两个引脚均转换到高阻抗状态。复位时, XRES 解除激活后, SDA 和 SCL 线路以 8 个睡眠时钟周期的时长驱动电阻性低电平, 然后转换到高阻抗状态。因此, 在上电或复位期间, P1[1] 和 P1[0] 可能干扰 I2C 总线。如果遇到这种情况, 请使用备用引脚。
- 备用 SPI 时钟。
- 应将所有 VSS 引脚连接到同一个 GND 地层。

24-QFN (15 个感应输入 (带 USB)) [13]

表 3. 引脚定义 — CY8C20396A [14]

引脚编号	类型		名称	说明
	数字	模拟		
1	I/O	I	P2[5]	
2	I/O	I	P2[3]	
3	I/O	I	P2[1]	
4	IOHR	I	P1[7]	I ² C SCL、SPI SS
5	IOHR	I	P1[5]	I ² C SDA、SPI MISO
6	IOHR	I	P1[3]	SPI CLK
7	IOHR	I	P1[1]	ISSP CLK ^[15] 、I ² C SCL、SPI MOSI
8	电源		V _{SS}	接地 [17]
9	I/O	I	D+	USB D+
10	I/O	I	D-	USB D-
11	电源		V _{DD}	供电电压
12	IOHR	I	P1[0]	ISSP DATA ^[15] 、I ² C SDA、SPI CLK ^[16]
13	IOHR	I	P1[2]	
14	IOHR	I	P1[4]	可选的外部时钟输入 (EXTCLK)
15	IOHR	I	P1[6]	
16	复位输入		XRES	采用内部下拉电阻的高电平有效外部复位
17	IOH	I	P0[0]	
18	IOH	I	P0[2]	
19	IOH	I	P0[4]	
20	IOH	I	P0[6]	
21	IOH	I	P0[7]	
22	IOH	I	P0[5]	
23	IOH	I	P0[3]	积分输入
24	IOH	I	P0[1]	积分输入
CP	电源		V _{SS}	中心焊盘必须接地

图 5. CY8C20396A



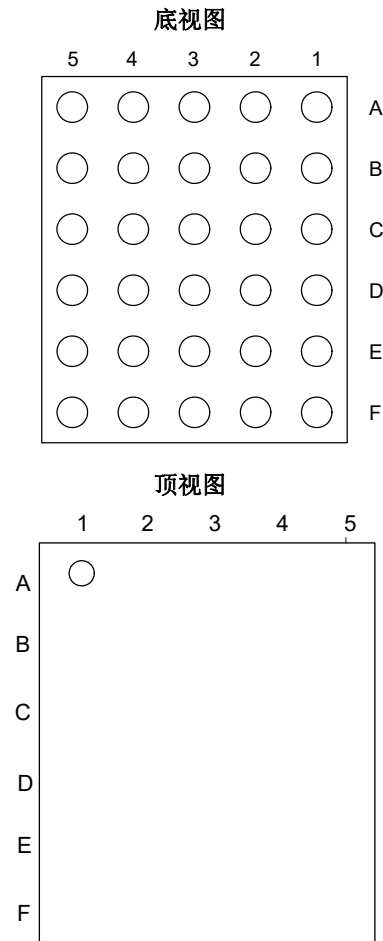
图标: I = 输入, O = 输出, OH = 5 mA 高电平输出驱动, R = 稳压输出。

注释:

- 20 个 GPIO = 15 个引脚 (用于电容式感测) + 2 个引脚 (用于 I2C) + 2 个引脚 (用于 USB) + 1 个引脚 (用于调制电容)。
- QFN 封装上的中心焊盘 (CP) 必须接地 (V_{SS}), 以获得最佳机械、热学和电气性能。如果未接地, 则该中心焊盘必须处于电气悬空状态, 并且不能连接其他任何信号。
- 通电时, SDA (P1[0]) 以 256 个睡眠时钟周期的时长驱动强高电平, 然后在接下来的 256 个睡眠时钟周期内驱动电阻性低电平。SCL (P1[1]) 线路在 512 个睡眠时钟周期内驱动电阻性低电平, 然后两个引脚均转换到高阻抗状态。复位时, XRES 解除激活后, SDA 和 SCL 线路以 8 个睡眠时钟周期的时长驱动电阻性低电平, 然后转换到高阻抗状态。因此, 在上电或复位期间, P1[1] 和 P1[0] 可能干扰 I2C 总线。如果遇到这种情况, 请使用备用引脚。
- 备用 SPI 时钟。
- 应将所有 VSS 引脚连接到同一个 GND 地层。

30 球 WLCSP (24 个感应输入) [18]
表 4. 引脚定义 — CY8C20766A、CY8C20746A 30-ball WLCSP

引脚编号	类型		名称	说明
	数字	模拟		
A1	IOH	I	P0[2]	
A2	IOH	I	P0[6]	
A3	电源		V _{DD}	供电电压
A4	IOH	I	P0[1]	积分输入
A5	I/O	I	P2[7]	
B1	I/O	I	P2[6]	
B2	IOH	I	P0[0]	
B3	IOH	I	P0[4]	
B4	IOH	I	P0[3]	积分输入
B5	I/O	I	P2[5]	晶振输出 (Xout)
C1	I/O	I	P2[2]	
C2	I/O	I	P2[4]	
C3	IOH	I	P0[7]	
C4	IOH	I	P0[5]	
C5	I/O	I	P2[3]	晶振输入 (Xin)
D1	I/O	I	P2[0]	
D2	I/O	I	P3[0]	
D3	I/O	I	P3[1]	
D4	I/O	I	P3[3]	
D5	I/O	I	P2[1]	
E1	输入		XRES	带有内部下拉电阻的高电平有效外部复位
E2	IOHR	I	P1[6]	
E3	IOHR	I	P1[4]	可选的外部时钟输入 (EXT CLK)
E4	IOHR	I	P1[7]	I ² C SCL、SPI SS
E5	IOHR	I	P1[5]	I ² C SDA、SPI MISO
F1	IOHR	I	P1[2]	
F2	IOHR	I	P1[0]	ISSP DATA ^[19] 、I ² C SDA、SPI CLK ^[20]
F3	电源		V _{SS}	接地电源 ^[21]
F4	IOHR	I	P1[1]	ISSP CLK ^[19] 、I ² C SCL、SPI MOSI
F5	IOHR	I	P1[3]	SPI CLK

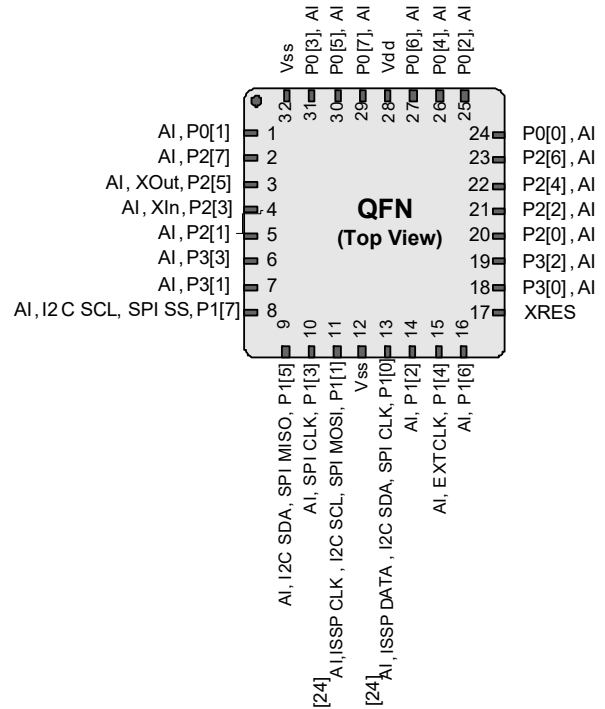
图 6. CY8C20766A 30-ball WLCSP

注释:

18. 27 个 GPIO = 24 个引脚 (用于电容式感测) + 2 个引脚 (用于 I2C) + 1 个引脚 (用于调制电容)。
19. 通电时, SDA (P1[0]) 以 256 个睡眠时钟周期的时长驱动强高电平, 然后在接下来 256 个睡眠时钟周期驱动电阻性低电平。SCL (P1[1]) 线路以 512 个睡眠时钟周期时长驱动电阻性低电平, 然后两个引脚均跃变到高阻抗状态。复位时, XRES 解除激活后, SDA 和 SCL 线路以 8 个睡眠时钟周期的时长驱动电阻性低电平, 然后转换到高阻抗状态。因此, 在上电或复位期间, P1[1] 和 P1[0] 可能干扰 I2C 总线。如果遇到这种情况, 请使用备用引脚。
20. 备用 SPI 时钟。
21. 应将所有 VSS 引脚连接到同一个 GND 地层。

32-QFN (25 个感应输入) [22]
表 5. 引脚定义 — CY8C20436A、CY8C20446A、CY8C20446AS、[CY8C20466A、CY8C20466AS]^{23]}

引脚编号	类型		名称	说明
	数字	模拟		
1	IOH	I	P0[1]	积分输入
2	I/O	I	P2[7]	
3	I/O	I	P2[5]	晶振输出 (XOut)
4	I/O	I	P2[3]	晶振输入 (XIn)
5	I/O	I	P2[1]	
6	I/O	I	P3[3]	
7	I/O	I	P3[1]	
8	IOHR	I	P1[7]	I ² C SCL、SPI SS
9	IOHR	I	P1[5]	I ² C SDA、SPI MISO
10	IOHR	I	P1[3]	SPI CLK
11	IOHR	I	P1[1]	ISSP CLK ^[24] 、I ² C SCL、SPI MOSI
12	电源		V _{SS}	接地 [26]
13	IOHR	I	P1[0]	ISSP DATA ^[24] 、I ² C SDA、SPI CLK ^[25]
14	IOHR	I	P1[2]	
15	IOHR	I	P1[4]	可选外部时钟输入 (EXTCLK)
16	IOHR	I	P1[6]	
17	输入		XRES	带有内部下拉电阻的高电平有效外部复位
18	I/O	I	P3[0]	
19	I/O	I	P3[2]	
20	I/O	I	P2[0]	
21	I/O	I	P2[2]	
22	I/O	I	P2[4]	
23	I/O	I	P2[6]	
24	IOH	I	P0[0]	
25	IOH	I	P0[2]	
26	IOH	I	P0[4]	
27	IOH	I	P0[6]	
28	电源		V _{DD}	供电电压
29	IOH	I	P0[7]	
30	IOH	I	P0[5]	
31	IOH	I	P0[3]	积分输入
32	电源		V _{SS}	接地 [26]
CP	电源		V _{SS}	中心焊盘必须接地

图标: A = 模拟, I = 输入, O = 输出, OH = 5 mA 高电平输出驱动, R = 稳压输出。

图 7. CY8C20436A、CY8C20446A、CY8C20446AS、CY8C20466A、CY8C20466AS

注释:

22. 28 个 GPIO = 25 个引脚 (用于电容式感测) + 2 个引脚 (用于 I2C) + 1 个引脚 (用于调制电容)。
23. QFN 封装上的中心焊盘 (CP) 必须接地 (V_{SS}), 以获得最佳机械、热学和电气性能。如果未接地, 则该中心焊盘必须处于电气悬空状态, 并且不能连接其他任何信号。
24. 通电时, SDA (P1[0]) 以 256 个睡眠时钟周期的时长驱动强高电平, 然后在接下来的 256 个睡眠时钟周期内驱动电阻性低电平。SCL (P1[1]) 线路在 512 个睡眠时钟周期内驱动电阻性低电平, 然后两个引脚均转换到高阻抗状态。复位时, XRES 解除激活后, SDA 和 SCL 线路以 8 个睡眠时钟周期的时长驱动电阻性低电平, 然后转换到高阻抗状态。因此, 在上电或复位期间, P1[1] 和 P1[0] 可能干扰 I2C 总线。如果遇到这种情况, 请使用备用引脚。
25. 备用 SPI 时钟。
26. 应将所有 VSS 引脚连接到同一个 GND 地层。

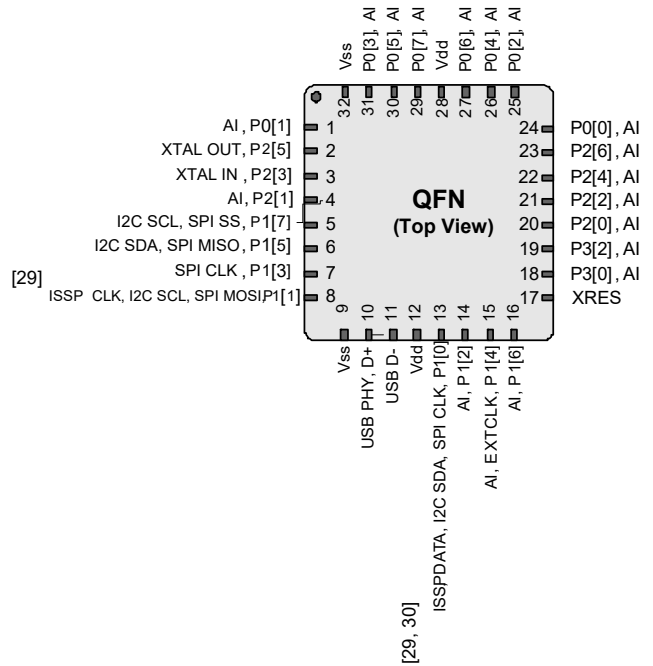
32-QFN (22 个感应输入 (带 USB)) [27]
表 6. 引脚定义 — CY8C20496A [28]

引脚编号	类型		名称	说明
	数字	模拟		
1	IOH	I	P0[1]	积分输入
2	I/O	I	P2[5]	XTAL 输出
3	I/O	I	P2[3]	XTAL 输入
4	I/O	I	P2[1]	
5	IOHR	I	P1[7]	I ² C SCL、SPI SS
6	IOHR	I	P1[5]	I ² C SDA、SPI MISO
7	IOHR	I	P1[3]	SPI CLK
8	IOHR	I	P1[1]	ISSP CLK ^[29] 、I ² C SCL、SPI MOSI
9	电源		V _{SS}	接地引脚 ^[31]
10			D+	USB D+
11			D-	USB D-
12	电源		V _{DD}	电源引脚
13	IOHR	I	P1[0]	ISSP DATA ^[29] 、I ² C SDA、SPI CLK ^[30]
14	IOHR	I	P1[2]	
15	IOHR	I	P1[4]	可选外部时钟输入 (EXTCLK)
16	IOHR	I	P1[6]	
17	输入		XRES	带有内部下拉电阻的高电平有效外部复位
18	I/O	I	P3[0]	
19	I/O	I	P3[2]	
20	I/O	I	P2[0]	
21	I/O	I	P2[2]	
22	I/O	I	P2[4]	
23	I/O	I	P2[6]	
24	IOH	I	P0[0]	
25	IOH	I	P0[2]	
26	IOH	I	P0[4]	
27	IOH	I	P0[6]	
28	电源		V _{DD}	电源引脚
29	IOH	I	P0[7]	
30	IOH	I	P0[5]	
31	IOH	I	P0[3]	积分输入
32	电源		V _{SS}	接地引脚 ^[31]

图标: A = 模拟, I = 输入, O = 输出, OH = 5 mA 高电平输出驱动, R = 稳压输出。

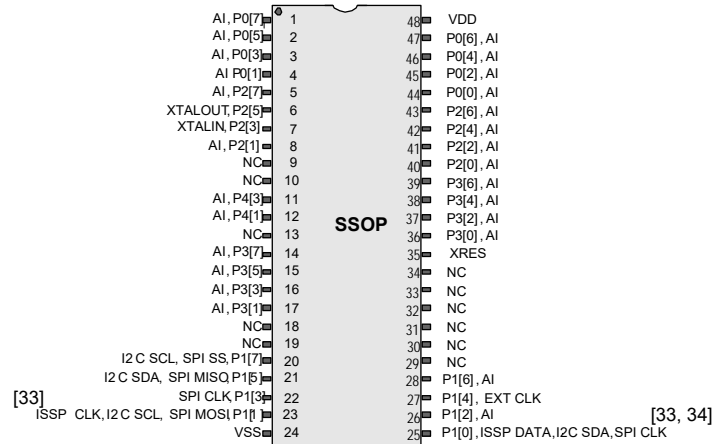
注释:

27. 27 个 GPIO = 22 个引脚 (用于电容式感测) + 2 个引脚 (用于 I2C) + 2 个引脚 (用于 USB) + 1 个引脚 (用于调制电容)。
28. QFN 封装上的中心焊盘 (CP) 必须接地 (V_{SS}), 以获得最佳机械、热学和电气性能。如果未接地, 则该中心焊盘必须处于电气悬空状态, 并且不能连接其他任何信号。
29. 通电时, SDA (P1[0]) 以 256 个睡眠时钟周期的时长驱动强高电平, 然后在接下来的 256 个睡眠时钟周期内驱动电阻性低电平。SCL (P1[1]) 线路在 512 个睡眠时钟周期内驱动电阻性低电平, 然后两个引脚均转换到高阻抗状态。复位时, XRES 解除激活后, SDA 和 SCL 线路以 8 个睡眠时钟周期的时长驱动电阻性低电平, 然后转换到高阻抗状态。因此, 在上电或复位期间, P1[1] 和 P1[0] 可能干扰 I2C 总线。如果遇到这种情况, 请使用备用引脚。
30. 备用 SPI 时钟。
31. 应将所有 VSS 引脚连接到同一个 GND 地层。

图 8. CY8C20496A


48-SSOP (31 个感应输入) [32]
表 7. 引脚定义 — CY8C20536A、CY8C20546A 和 CY8C20566A [33]

引脚编号	数字	模拟	名称	说明
1	IOH	I	P0[7]	
2	IOH	I	P0[5]	
3	IOH	I	P0[3]	积分输入
4	IOH	I	P0[1]	积分输入
5	I/O	I	P2[7]	
6	I/O	I	P2[5]	XTAL 输出
7	I/O	I	P2[3]	XTAL 输入
8	I/O	I	P2[1]	
9			NC	无连接
10			NC	无连接
11	I/O	I	P4[3]	
12	I/O	I	P4[1]	
13			NC	无连接
14	I/O	I	P3[7]	
15	I/O	I	P3[5]	
16	I/O	I	P3[3]	
17	I/O	I	P3[1]	
18			NC	无连接
19			NC	无连接
20	IOHR	I	P1[7]	I ² C SCL、SPI SS
21	IOHR	I	P1[5]	I ² C SDA、SPI MISO
22	IOHR	I	P1[3]	SPI CLK
23	IOHR	I	P1[1]	ISSP CLK ^[33] 、I ² C SCL、SPI MOSI
24			V _{SS}	接地引脚 ^[35]
25	IOHR	I	P1[0]	ISSP DATA ^[33] 、I ² C SDA、SPI CLK ^[34]
26	IOHR	I	P1[2]	
27	IOHR	I	P1[4]	可选的外部时钟输入 (EXT CLK)
28	IOHR	I	P1[6]	
29			NC	无连接
30			NC	无连接
31			NC	无连接
32			NC	无连接
33			NC	无连接
34			NC	无连接
35			XRES	带有内部下拉电阻的高电平有效外部复位
36	I/O	I	P3[0]	
37	I/O	I	P3[2]	
38	I/O	I	P3[4]	
39	I/O	I	P3[6]	
40	I/O	I	P2[0]	

图 9. CY8C20536A、CY8C20546A 以及 CY8C20566A


图标: A = 模拟, I = 输入, O = 输出, NC = 无连接, H = 5 mA 高输出驱动, R = 稳压输出选项。

注释:

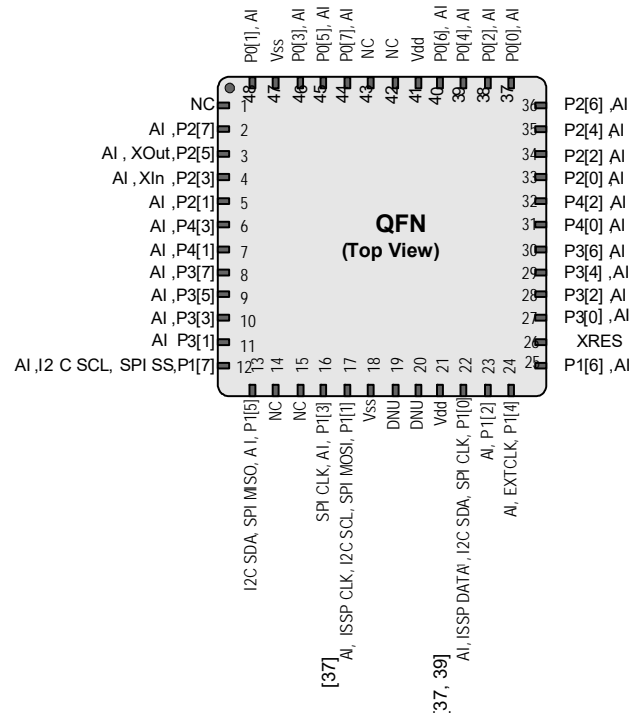
- 32. 34 个 GPIO = 31 个引脚 (用于电容式感测) + 2 个引脚 (用于 I2C) + 1 个引脚 (用于调制电容)。
- 33. 通电时, SDA (P1[0]) 以 256 个睡眠时钟周期时长驱动强高电平, 然后在接下来 256 个睡眠时钟周期驱动电阻性低电平。SCL (P1[1]) 线路在 512 个睡眠时钟周期内驱动电阻性低电平, 然后两个引脚均转换到高阻抗状态。复位时, XRES 解除激活后, SDA 和 SCL 线路以 8 个睡眠时钟周期的时长驱动电阻性低电平, 然后转换到高阻抗状态。因此, 在上电或复位期间, P1[1] 和 P1[0] 可能干扰 I2C 总线。如果遇到这种情况, 请使用备用引脚。
- 34. 备用 SPI 时钟。
- 35. 应将所有 VSS 引脚连接到同一个 GND 地层。

48-QFN (33 个感应输入) [36]

表 8. 引脚定义 — CY8C20636A [37、38]

引脚编号	数字	模拟	名称	说明
1			NC	无连接
2	I/O	I	P2[7]	
3	I/O	I	P2[5]	晶振输出 (XOut)
4	I/O	I	P2[3]	晶振输入 (XIn)
5	I/O	I	P2[1]	
6	I/O	I	P4[3]	
7	I/O	I	P4[1]	
8	I/O	I	P3[7]	
9	I/O	I	P3[5]	
10	I/O	I	P3[3]	
11	I/O	I	P3[1]	
12	IOHR	I	P1[7]	I ² C SCL、SPI SS
13	IOHR	I	P1[5]	I ² C SDA、SPI MISO
14			NC	无连接
15			NC	无连接
16	IOHR	I	P1[3]	SPI CLK
17	IOHR	I	P1[1]	ISSP CLK[37]、I2C SCL、SPI MOSI
18	电源		V _{SS}	接地 [40]
19			DNU	
20			DNU	
21	电源		V _{DD}	供电电压
22	IOHR	I	P1[0]	ISSP DATA[37]、I2C SDA、SPI CLK[39]
23	IOHR	I	P1[2]	
24	IOHR	I	P1[4]	可选的外部时钟输入 (EXTCLK)
25	IOHR	I	P1[6]	
26	输入		XRES	带有内部下拉电阻的高电平有效外部复位
27	I/O	I	P3[0]	
28	I/O	I	P3[2]	
29	I/O	I	P3[4]	
30	I/O	I	P3[6]	
31	I/O	I	P4[0]	
32	I/O	I	P4[2]	
33	I/O	I	P2[0]	
34	I/O	I	P2[2]	
35	I/O	I	P2[4]	
36	I/O	I	P2[6]	
37	IOH	I	P0[0]	积分输入
38	IOH	I	P0[2]	
39	IOH	I	P0[4]	
40			CP	中心焊盘必须接地

图 10. CY8C20636A



引脚编号	数字	模拟	名称	说明
40			CP	中心焊盘必须接地
41	电源		V _{DD}	供电电压
42			NC	无连接
43			NC	无连接
44	IOH	I	P0[7]	
45	IOH	I	P0[5]	
46	IOH	I	P0[3]	积分输入
47	电源		V _{SS}	接地 [40]
48	IOH	I	P0[1]	

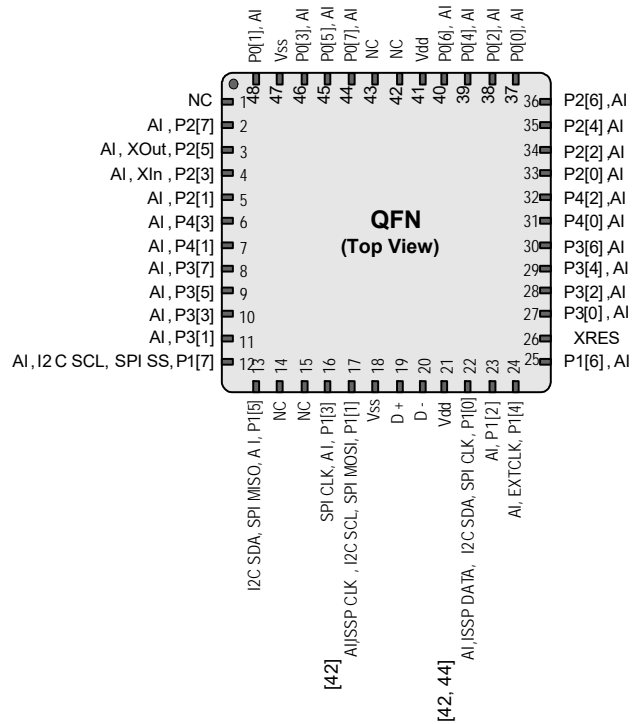
图标: A = 模拟, I = 输入, O = 输出, NC = 无连接, OH = 5 mA 高电平输出驱动, R = 稳压输出。

注释:

- 36. 36 个 GPIO = 33 个引脚 (用于电容式感测) + 2 个引脚 (用于 I2C) + 1 个引脚 (用于调制电容)。
- 37. 通电时, SDA (P1[0]) 经过 256 个睡眠时钟周期驱动强高电平一次, 然后在接下来的 256 个睡眠时钟周期内驱动电阻为低电平。SCL (P1[1]) 线路在 512 个睡眠时钟周期内驱动电阻性低电平, 然后两个引脚均转换到高阻抗状态。复位时, XRES 解除激活后, SDA 和 SCL 线路以 8 个睡眠时钟周期的时长驱动电阻性低电平, 然后转换到高阻抗状态。因此, 在上电或复位期间, P1[1] 和 P1[0] 可能干扰 I2C 总线。如果遇到这种情况, 请使用备用引脚。
- 38. QFN 封装上的中心焊盘 (CP) 必须接地 (V_{SS}), 以获得最佳机械、热学和电气性能。如果未接地, 则该中心焊盘必须处于电气悬空状态, 并且不能连接其他任何信号。
- 39. 备用 SPI 时钟。
- 40. 应将所有 VSS 引脚连接到同一个 GND 地层。

48-QFN (33 个感应输入 (带 USB)) [41]
表 9. 引脚定义 — CY8C20646A、CY8C20646AS、CY8C20666A、CY8C20666AS [42、43]

引脚编号	数字	模拟	名称	说明
1			NC	无连接
2	I/O	I	P2[7]	
3	I/O	I	P2[5]	晶振输出 (XOut)
4	I/O	I	P2[3]	晶振输入 (XIn)
5	I/O	I	P2[1]	
6	I/O	I	P4[3]	
7	I/O	I	P4[1]	
8	I/O	I	P3[7]	
9	I/O	I	P3[5]	
10	I/O	I	P3[3]	
11	I/O	I	P3[1]	
12	IOHR	I	P1[7]	I ² C SCL、SPI SS
13	IOHR	I	P1[5]	I ² C SDA、SPI MISO
14			NC	无连接
15			NC	无连接
16	IOHR	I	P1[3]	SPI CLK
17	IOHR	I	P1[1]	ISSP CLK[42]、I2C SCL、SPI MOSI
18	电源		V _{SS}	接地 [45]
19	I/O		D+	USB D+
20	I/O		D-	USB D-
21	电源		V _{DD}	供电电压
22	IOHR	I	P1[0]	ISSP DATA[42]、I2C SDA、SPI CLK[44]
23	IOHR	I	P1[2]	
24	IOHR	I	P1[4]	可选的外部时钟输入 (EXTCLK)
25	IOHR	I	P1[6]	
26	输入		XRES	带有内部下拉电阻的高电平有效外部复位
27	I/O	I	P3[0]	
28	I/O	I	P3[2]	
29	I/O	I	P3[4]	
30	I/O	I	P3[6]	
31	I/O	I	P4[0]	
32	I/O	I	P4[2]	
33	I/O	I	P2[0]	
34	I/O	I	P2[2]	
35	I/O	I	P2[4]	
36	I/O	I	P2[6]	
37	IOH	I	P0[0]	积分输入
38	IOH	I	P0[2]	
39	IOH	I	P0[4]	
40	IOH	I	P0[6]	
41	电源		V _{DD}	供电电压
42			NC	无连接
43			NC	无连接
44	IOH	I	P0[7]	
45	IOH	I	P0[5]	
46	IOH	I	P0[3]	积分输入
47	电源		V _{SS}	接地 [45]
48	IOH	I	P0[1]	
CP	电源		V _{SS}	中心焊盘必须接地

图 11. CY8C20646A、CY8C20646AS、CY8C20666A、CY8C20666AS


引脚编号	数字	模拟	名称	说明
40	IOH	I	P0[6]	
41	电源		V _{DD}	供电电压
42			NC	无连接
43			NC	无连接
44	IOH	I	P0[7]	
45	IOH	I	P0[5]	
46	IOH	I	P0[3]	积分输入
47	电源		V _{SS}	接地 [45]
48	IOH	I	P0[1]	
CP	电源		V _{SS}	中心焊盘必须接地

图标: A = 模拟, I = 输入, O = 输出, NC = 无连接, OH = 5 mA 高电平输出驱动, R = 稳压输出。

注释:

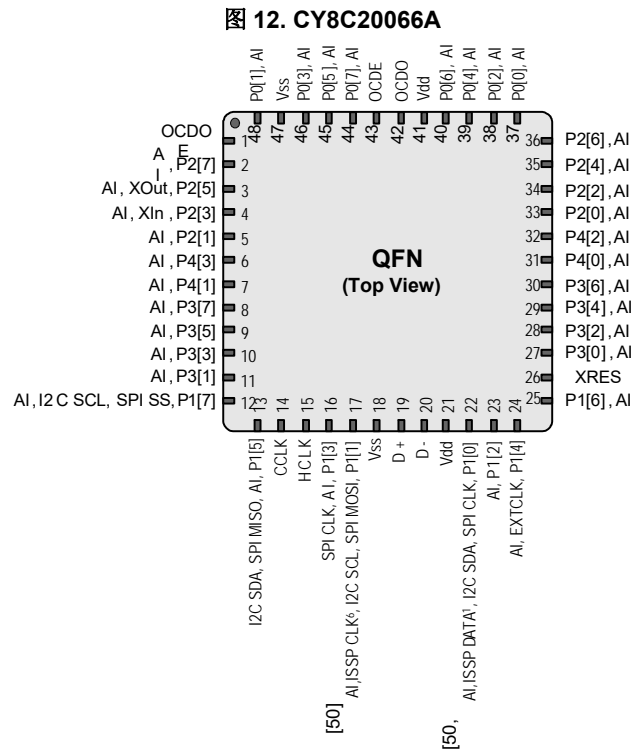
- 38 个 GPIO = 33 个引脚 (用于电容式感测) + 2 个引脚 (用于 I2C) + 2 个引脚 (用于 USB) + 1 个引脚 (用于调制电容)。
- 通电时, SDA (P1[0]) 将驱动 256 个睡眠时钟周期时长的强高电平, 然后在接下来的 256 个睡眠时钟周期内驱动电阻为低电平。SCL (P1[1]) 线路以 512 个睡眠时钟周期的时长驱动电阻性低电平, 并且两个引脚均转换到高阻抗状态。复位时, XRES 解除激活后, SDA 和 SCL 线路以 8 个睡眠时钟周期的时长驱动电阻性低电平, 然后转换到高阻抗状态。在上面两种情况中, 这些线路上的上拉电阻与下拉电阻 (5.6 KΩ) 被合并, 构成一个分压器。因此, 在通电或复位期间, P1[1] 和 P1[0] 可能干扰 I2C 总线。如果遇到这种情况, 请使用备用引脚。
- QFN 封装中的中心焊盘 (CP) 必须接地 (V_{SS}), 以获得最佳机械、热学和电气性能。如果未接地, 则该中心焊盘必须处于电气悬空状态, 并且不能连接其他任何信号。
- 备用 SPI 时钟。
- 应将所有 VSS 引脚连接到同一个 GND 地层。

48-QFN (OCD) (33 个感应输入) [46]

48-QFN 器件适用于 CY8C20066A 片上调试 (OCD)。注意：该器件仅用于进行在线调试。

表 10. 引脚定义 — CY8C20066A [47、48]

引脚编号	数字	模拟	名称	说明
1 ^[49]			OCDOE	OCD 模式方向引脚
2	I/O	I	P2[7]	
3	I/O	I	P2[5]	晶振输出 (XOut)
4	I/O	I	P2[3]	晶振输入 (XIn)
5	I/O	I	P2[1]	
6	I/O	I	P4[3]	
7	I/O	I	P4[1]	
8	I/O	I	P3[7]	
9	I/O	I	P3[5]	
10	I/O	I	P3[3]	
11	I/O	I	P3[1]	
12	IOHR	I	P1[7]	I ² C SCL、SPI SS
13	IOHR	I	P1[5]	I ² C SDA、SPI MISO
14 ^[49]			CCLK	OCD 引脚为 CPU 时钟的输出
15 ^[49]			HCLK	OCD 高速时钟输出
16	IOHR	I	P1[3]	SPI CLK
17	IOHR	I	P1[1]	ISSP CLK[50]、I2C SCL、SPI MOSI
18	电源		V _{SS}	接地 [52]
19	I/O		D+	USB D+
20	I/O		D-	USB D-
21	电源		V _{DD}	供电电压
22	IOHR	I	P1[0]	ISSP DATA[50]、I2C SDA、SPI CLK[51]
23	IOHR	I	P1[2]	
24	IOHR	I	P1[4]	可选的外部时钟输入 (EXTCLK)
25	IOHR	I	P1[6]	
26	输入		XRES	带有内部下拉电阻的高电平有效外部复位
27	I/O	I	P3[0]	
28	I/O	I	P3[2]	
29	I/O	I	P3[4]	
30	I/O	I	P3[6]	
31	I/O	I	P4[0]	
32	I/O	I	P4[2]	
33	I/O	I	P2[0]	
34	I/O	I	P2[2]	
35	I/O	I	P2[4]	
36	I/O	I	P2[6]	



引脚编号	数字	模拟	名称	说明
37	IOH	I	P0[0]	
38	IOH	I	P0[2]	
39	IOH	I	P0[4]	
40	IOH	I	P0[6]	
41	电源		V _{DD}	供电电压
42 ^[49]			OCDO	OCD 偶数据 I/O
43 ^[49]			OCDE	OCD 奇数据输出
44	IOH	I	P0[7]	
45	IOH	I	P0[5]	
46	IOH	I	P0[3]	积分输入
47	电源		V _{SS}	接地 [52]
48	IOH	I	P0[1]	
CP	电源		V _{SS}	中心焊盘必须接地

图标： A = 模拟，I = 输入，O = 输出，NC = 无连接，H = 5 mA 高电平输出驱动，R = 稳压输出。

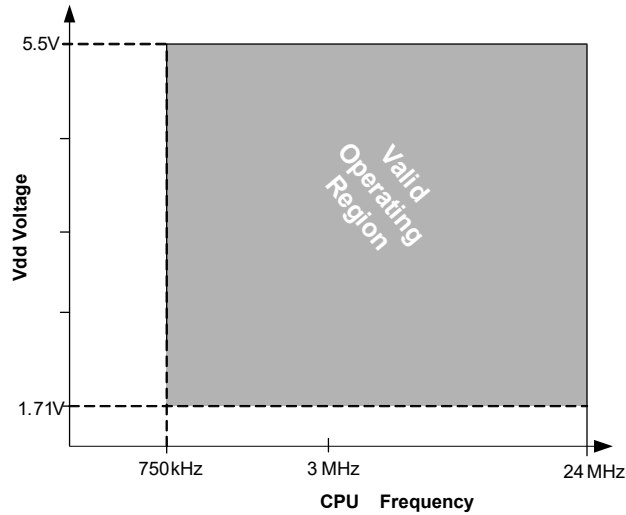
注释：

- 38 个 GPIO = 33 个引脚 (用于电容式感测) + 2 个引脚 (用于 I2C) + 2 个引脚 (用于 USB) + 1 个引脚 (用于调制电容)。
- 这个器件在原型开发期间可用于在线调试，但调试次数有限。不能将它用于批量生产。
- 48-QFN 封装中的中心焊盘 (CP) 必须接地 (V_{SS})，以获得最佳机械、热学和电气性能。如果未接地，则该中心焊盘必须处于电气悬空状态，并且不能连接任何其他信号。
- 此引脚 (仅与 OCD 器件相关) 用来将器件连接到 ICE-Cube 在线仿真器，以供固件调试使用。欲了解更多有关 ICE-Cube 用途的信息，请参考 [CY3215-DK PSoC® 在线仿真器套件指南](#)。
- 通电时，SDA (P1[0]) 以 256 个睡眠时钟周期的时长驱动高电平，然后在接下来的 256 个睡眠时钟周期内驱动电阻性低电平。SCL (P1[1]) 线路以 512 个睡眠时钟周期的时长驱动电阻性低电平，并且两个引脚均转换到高阻抗状态。复位时，XRES 解除激活后，SDA 和 SCL 线路以 8 个睡眠时钟周期的时长驱动电阻性低电平，然后转换到高阻抗状态。在上面两种情况中，这些线路上的上拉电阻与下拉电阻 (5.6 kΩ) 被合并，构成一个分压器。因此，在通电或复位期间，P1[1] 和 P1[0] 可能干扰 I2C 总线。如果遇到这种情况，请使用备用引脚。
- 备用 SPI 时钟。
- 应将所有 VSS 引脚连接到同一个 GND 地层。

电气规范

本节介绍了 CY8C20XX6A/S PSoC 器件的直流和交流电气规范。如需要最新的电气规范，请访问 <http://www.cypress.com/psoc> 网站，以确保您拥有最新的数据手册。

图 13. 电压与 CPU 频率



绝对最大额定值

超过最大额定值可能会缩短器件的使用寿命。用户指南未经测试。

表 11. 最大绝对额定值

符号	说明	条件	最小值	典型值	最大值	单位
T _{STG}	存放温度	存放温度越高，数据保持时间越短。推荐的存放温度为 +25 °C ± 25 °C。存放温度长期保持在 85 °C 以上会降低可靠性。	-55	+25	+125	°C
V _{DD}	相对于 V _{SS} 的供电电压	-	-0.5	-	+6.0	V
V _{IO}	直流输入电压	-	V _{SS} - 0.5	-	V _{DD} + 0.5	V
V _{IOZ} ^[53]	应用于三态的直流电压	-	V _{SS} - 0.5	-	V _{DD} + 0.5	V
I _{MIO}	任意端口引脚的最大输入电流	-	-25	-	+50	mA
ESD	静电放电电压	ESD 人体模型	2000	-	-	V
LU	栓锁电流	符合 JESD78 标准	-	-	200	mA

工作温度

表 12. 工作温度

符号	说明	条件	最小值	典型值	最大值	单位
T _A	环境温度	-	-40	-	+85	°C
T _C	商业级温度范围	-	0	-	70	°C
T _J	Die 工作温度	从环境温度升高到结温，会因封装不同而异。请参考第 38 页上的热阻。用户必须限制功耗，以便满足此要求。	-40	-	+100	°C

注释:

53. Port1 引脚在 I/O 配置处于高阻模式且引脚输入电压高于 V_{DD} 时具有热插拔性能。

直流芯片级规范

表 13 列出了在整个电压和温度范围内的最大和最小规范。

表 13. 直流芯片级规范

符号	说明	条件	最小值	典型值	最大值	单位
V_{DD} [54、55、56、57]	供电电压	无 USB 活动。请参考 第 26 页上的直流 POR 和 LVD 规范	1.71	–	5.50	V
V_{DDUSB} [54、55、56、57]	工作电压	USB 活动，已使能的 USB 电压调节器	4.35	–	5.25	V
		USB 活动，USB 电压调节器被旁路	3.15	3.3	3.60	V
I_{DD24}	供电电流，IMO = 24 MHz	条件为： $V_{DD} \leq 3.0\text{ V}$ 、 $T_A = 25\text{ }^\circ\text{C}$ 、CPU = 24 MHz。CapSense 在 12 MHz 频率下运行，不给任何 I/O 供电	–	2.88	4.00	mA
I_{DD12}	供电电流，IMO = 12 MHz	条件为： $V_{DD} \leq 3.0\text{ V}$ 、 $T_A = 25\text{ }^\circ\text{C}$ 、CPU = 12 MHz。CapSense 在 12 MHz 频率下运行，不给任何 I/O 供电	–	1.71	2.60	mA
I_{DD6}	供电电流，IMO = 6 MHz	条件为： $V_{DD} \leq 3.0\text{ V}$ 、 $T_A = 25\text{ }^\circ\text{C}$ 、CPU = 6 MHz。CapSense 在 6 MHz 频率下运行，不给任何 I/O 供电	–	1.16	1.80	mA
$I_{DDAVG10}$	每个传感器的平均供电电流	以 10 mS 的速率扫描一个传感器	–	250	–	μA
$I_{DDAVG100}$	每个传感器的平均供电电流	以 100 mS 的速率扫描一个传感器	–	25	–	μA
$I_{DDAVG500}$	每个传感器的平均供电电流	以 500 mS 的速率扫描一个传感器	–	7	–	μA
I_{SB0} [58、59、60、61、62、63]	深度睡眠电流	$V_{DD} \leq 3.0\text{ V}$ 、 $T_A = 25\text{ }^\circ\text{C}$ 、关闭 I/O 电压调节器	–	0.10	1.05	μA
I_{SB1} [58、59、60、61、62、63]	POR、LVD 和睡眠定时器的待机电流	$V_{DD} \leq 3.0\text{ V}$ 、 $T_A = 25\text{ }^\circ\text{C}$ 、关闭 I/O 电压调节器	–	1.07	1.50	μA
I_{SBI2C} [58、59、60、61、62、63]	使能了 I ² C 的待机电流	条件为： $V_{DD} = 3.3\text{ V}$ 、 $T_A = 25\text{ }^\circ\text{C}$ 、CPU = 24 MHz	–	1.64	–	μA

注释：

54. 当 V_{DD} 电压保持在 1.71 V 至 1.9 V 范围内的时长超过 50 μs 时，从 1.71 V 至 1.9 V 范围移至 2 V 以上的转换率必须慢于 1 V/500 μs ，以避免触发 POR。其他任何电压范围或跃变时转换率的另外限制是 SR_{POWER_UP} 参数。
55. 如果在待机睡眠模式下断电，为了正确检测并从 V_{DD} 欠压情况中恢复，必须执行以下操作：
 - a. 断电前，退出睡眠模式。
 - b. 确保在 V_{DD} 下降至 100 mV 以下后再重新上电。
 - c. 设置 OSC_CR0 寄存器中的 No Buzz 位，从而在睡眠时能持续为电压监测电路供电。
 - d. 升高蜂鸣器速率以确保捕获 V_{DD} 下降沿。通过 SLP_CFG 寄存器中的 PSSDC 位来配置该速率。
有关参考寄存器的详细信息，请参见 *CY8C20X36 技术参考手册*。在深度睡眠模式下，额外低电压监测电路支持在沿速率慢于 1 V/ms 时检测 V_{DD} 欠压情况。
56. 对于 USB 模式，总线供电应用的 V_{DD} 供电电压应限制在 4.35 ~ 5.35 V 的范围内。对于自供电应用， V_{DD} 的范围应为 3.15 ~ 3.45 V。
57. 为能正常实现 CapSense 模块功能，如果 V_{DD} 的下降电压超过了基本 V_{DD} 电压的 5%，则 V_{DD} 的下降速率不能超过 200 mV/s。 V_{DD} 基本电压应介于 1.8 V 至 5.5 V 之间。
58. **勘误表：** 当器件进入待机模式或 I2C_USB 模式中的睡眠状态，并且带隙电路的刷新间隔大于 8 ms（默认值），而收到睡眠结束输入时，器件可能不会退出睡眠状态。更多有关信息，请参阅第 46 页上的勘误表。
59. **勘误表：** 当器件正在转换为睡眠模式或正在退出睡眠模式，同时 I2C 主设备启动了数据操作时，I2C 模块偶尔会发生数据和总线损坏错误。更多有关信息，请参阅第 46 页上的勘误表。
60. **勘误表：** 当通过设置寄存器 0_B0h 的位 1 (PT0_CFG) 在单触发模式中使用可编程定时器 0，并且使用定时器中断将器件从睡眠模式中唤醒时，中断服务子程序 (ISR) 可能被执行两次。更多有关信息，请参阅第 46 页上的勘误表。
61. **勘误表：** 在睡眠模式中，如果同时发生 GPIO 中断和定时器 0 或睡眠定时器中断，则可能会错过 GPIO 中断，并且不会执行相应的 GPIO ISR。更多有关信息，请参阅第 46 页上的勘误表。
62. **勘误表：** 如果在固件要求器件进入睡眠模式前的很短时间（2.5 CPU 周期内）生成了一个中断，该中断将被错过。更多有关信息，请参阅第 46 页上的勘误表。
63. **勘误表：** 触发模拟中断时，器件将从睡眠中唤醒。更多有关信息，请参阅第 46 页上的勘误表。

直流 GPIO 规范

下表分别列出的是相应电压和温度范围内许可的最大和最小规范：3.0 V 至 5.5 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、2.4 V 至 3.0 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 或 1.71 V 至 2.4 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V 和 3.3 V 的情况，并仅供设计指导之用。

表 14. 3.0 V 到 5.5 V 的直流 GPIO 规范

符号	说明	条件	最小值	典型值	最大值	单位
R _{PU}	上拉电阻	–	4	5.60	8	kΩ
V _{OH1}	端口 2 或 3 或 4 引脚上的输出高电平电压	I _{OH} ≤ 10 μA, 所有 I/O 的最大拉电流为 10 mA	V _{DD} – 0.20	–	–	V
V _{OH2}	端口 2 或 3 或 4 引脚上的输出高电平电压	I _{OH} = 1 mA, 所有 I/O 的最大拉电流为 20 mA	V _{DD} – 0.90	–	–	V
V _{OH3}	端口 0 或 1 引脚上的输出高电平电压, 其中已对端口 1 禁用了 LDO 电压调节器	I _{OH} < 10 μA, 所有 I/O 的最大拉电流为 10 mA	V _{DD} – 0.20	–	–	V
V _{OH4}	端口 0 或 1 引脚上的输出高电平电压, 已禁用端口 1 的 LDO 电压调节器	I _{OH} = 5 mA, 所有 I/O 的最大拉电流为 20 mA	V _{DD} – 0.90	–	–	V
V _{OH5}	输出高电压端口 1 引脚, 其中已使能 3 V 输出的 LDO 电压调节器	I _{OH} < 10 μA, V _{DD} > 3.1 V, 最多 4 个 I/O, 所有拉电流为 5 mA	2.85	3.00	3.30	V
V _{OH6}	端口 1 引脚上的输出高电平电压, 已使能 3 V 输出的 LDO 电压调节器	I _{OH} = 5 mA, V _{DD} > 3.1 V, 所有 I/O 的最大拉电流为 20 mA	2.20	–	–	V
V _{OH7}	端口 1 引脚上的输出高电平电压, 已使能 2.5 V 输出的 LDO	I _{OH} < 10 μA, V _{DD} > 2.7 V, 所有 I/O 的最大拉电流为 20 mA	2.35	2.50	2.75	V
V _{OH8}	端口 1 引脚上的输出高电平电压, 已使能 2.5 V 输出的 LDO	I _{OH} = 2 mA, V _{DD} > 2.7 V, 所有 I/O 的最大拉电流为 20 mA	1.90	–	–	V
V _{OH9}	端口 1 引脚上的输出高电平电压, 已使能 1.8 V 输出的 LDO	I _{OH} < 10 μA, V _{DD} > 2.7 V, 所有 I/O 的最大拉电流为 20 mA	1.60	1.80	2.10	V
V _{OH10}	端口 1 引脚上的输出高电平电压, 其中已使能 1.8 V 输出的 LDO	I _{OH} = 1 mA, V _{DD} > 2.7 V, 所有 I/O 的最大拉电流为 20 mA	1.20	–	–	V
V _{OL}	输出低电压	I _{OL} = 25 mA, V _{DD} > 3.3 V, 偶数端口引脚 (例如, P0[2] 和 P1[4]) 的最大灌电流为 60 mA, 奇数端口引脚 (例如, P0[3] 和 P1[5]) 的最大灌电流为 60 mA	–	–	0.75	V
V _{IL}	输入低电平电压	–	–	–	0.80	V
V _{IH}	输入高电平电压	–	2.00	–	–	V
V _H	输入迟滞电压	–	–	80	–	mV
I _{IL}	输入漏电流 (绝对值)	–	–	0.001	1	μA
C _{PIN}	引脚电容	封装和引脚端温度 = 25 °C	0.50	1.70	7	pF
V _{ILLVT3.3}	已设置低阈值使能的输入低电平电压, 针对端口 1 使能	IO_CFG1 的位 3 设置为使能端口 1 输入的低阈值电压	0.8	V	–	–
V _{IHLVT3.3}	已使能低阈值的输入高电压, 针对端口 1 使能	IO_CFG1 的位 3 设置为使能端口 1 输入的低阈值电压	1.4	–	–	V
V _{ILLVT5.5}	已使能低阈值的输入低电压, 针对端口 1 使能	IO_CFG1 的位 3 设置为使能端口 1 输入的低阈值电压	0.8	V	–	–
V _{IHLVT5.5}	已使能低阈值的输入高电压, 针对端口 1 使能	IO_CFG1 的位 3 设置为使能端口 1 输入的低阈值电压	1.7	–	–	V

表 15. 2.4 V 到 3.0 V 的直流 GPIO 规范

符号	说明	条件	最小值	典型值	最大值	单位
R _{PU}	上拉电阻	–	4	5.60	8	kΩ
V _{OH1}	端口 2 或 3 或 4 引脚上的输出高电平电压	I _{OH} < 10 μA, 所有 I/O 的最大拉电流为 10 mA	V _{DD} – 0.20	–	–	V
V _{OH2}	端口 2 或 3 或 4 引脚上的输出高电平电压	I _{OH} = 0.2 mA, 所有 I/O 的最大拉电流为 10 mA	V _{DD} – 0.40	–	–	V
V _{OH3}	端口 0 或 1 引脚上的输出高电平电压, 其中已对端口 1 禁用了 LDO 电压调节器	I _{OH} < 10 μA, 所有 I/O 的最大拉电流为 10 mA	V _{DD} – 0.20	–	–	V
V _{OH4}	端口 0 或 1 引脚上的输出高电平电压, 已禁用端口 1 的 LDO 电压调节器	I _{OH} = 2 mA, 所有 I/O 的最大拉电流为 10 mA	V _{DD} – 0.50	–	–	V
V _{OH5A}	端口 1 引脚上的输出高电平电压, 其中已使能了输出 1.8 V 的 LDO	I _{OH} < 10 μA, V _{DD} > 2.4 V, 所有 I/O 的最大拉电流为 20 mA	1.50	1.80	2.10	V
V _{OH6A}	端口 1 引脚上的输出高电平电压, 已使能 1.8 V 输出的 LDO	I _{OH} = 1 mA, V _{DD} > 2.4 V, 所有 I/O 的最大拉电流为 20 mA	1.20	–	–	V
V _{OL}	输出低电压	I _{OL} = 10 mA, 在偶数端口引脚 (例如 P0[2] 和 P1[4]) 上, 最大灌电流为 30 mA; 在奇数端口引脚 (例如 P0[3] 和 P1[5]) 上, 最大灌电流为 30 mA	–	–	0.75	V
V _{IL}	输入低电平电压	–	–	–	0.72	V
V _{IH}	输入高电平电压	–	1.40	–	–	V
V _H	输入迟滞电压	–	–	80	–	mV
I _{IL}	输入漏电流 (绝对值)	–	–	1	1000	nA
C _{PIN}	引脚上的电容负载	封装和引脚端 温度 = 25 °C	0.50	1.70	7	pF
V _{ILLVT2.5}	已使能低阈值的输入低电压, 针对端口 1 使能	IO_CFG1 的位 3 设置为使能端口 1 输入的低阈值电压	0.7	V	–	
V _{IHLVT2.5}	已使能低阈值的输入高电压, 针对端口 1 使能	IO_CFG1 的位 3 设置为使能端口 1 输入的低阈值电压	1.2		–	V

表 16. 1.71 V 到 2.4 V 直流 GPIO 规范

符号	说明	条件	最小值	典型值	最大值	单位
R _{PU}	上拉电阻	–	4	5.60	8	kΩ
V _{OH1}	端口 2 或 3 或 4 引脚上的输出高电平电压	I _{OH} = 10 μA, 所有 I/O 的最大拉电流为 10 mA	V _{DD} – 0.20	–	–	V
V _{OH2}	端口 2 或 3 或 4 引脚上的输出高电平电压	I _{OH} = 0.5 mA, 所有 I/O 的最大拉电流为 10 mA	V _{DD} – 0.50	–	–	V
V _{OH3}	端口 0 或 1 引脚上的输出高电平电压, 其中已对端口 1 禁用了 LDO 电压调节器	I _{OH} = 100 μA, 所有 I/O 的最大拉电流为 10 mA	V _{DD} – 0.20	–	–	V
V _{OH4}	端口 0 或 1 引脚的输出高电平电压, 其中已禁用端口 1 的 LDO 电压调节器	I _{OH} = 2 mA, 所有 I/O 的最大拉电流为 10 mA	V _{DD} – 0.50	–	–	V
V _{OL}	输出低电压	I _{OL} = 5 mA, 偶数端口引脚 (例如, P0[2]和P1[4]) 的最大灌电流为20 mA, 奇数端口引脚 (例如, P0[3] 和 P1[5]) 的最大灌电流为 30 mA	–	–	0.40	V
V _{IL}	输入低电平电压	–	–	–	0.30 × V _{DD}	V
V _{IH}	输入高电平电压	–	0.65 × V _{DD}	–	–	V
V _H	输入迟滞电压	–	–	80	–	mV
I _{IL}	输入漏电流 (绝对值)	–	–	1	1000	nA

表 16. 1.71 V 到 2.4 V 直流 GPIO 规范 (续)

符号	说明	条件	最小值	典型值	最大值	单位
C _{PIN}	引脚上的电容负载	封装和引脚端 温度 = 25 °C	0.50	1.70	7	pF

表 17. 直流特性 — USB 接口

符号	说明	条件	最小值	典型值	最大值	单位
R _{USBI}	USB D+ 上拉电阻	有空闲总线	900	–	1575	Ω
R _{USBA}	USB D+ 上拉电阻	接收流量时	1425	–	3090	Ω
V _{OHUSB}	静态输出高电平	–	2.8	–	3.6	V
V _{OLUSB}	静态输出低电平	–	–	–	0.3	V
V _{DI}	差分输入灵敏度	–	0.2	–		V
V _{CM}	差分输入共模范围	–	0.8	–	2.5	V
V _{SE}	单端接收器阈值	–	0.8	–	2.0	V
C _{IN}	收发器电容	–	–	–	50	pF
I _{IO}	高阻态数据线漏电	在 D+ 或 D- 线上	–10	–	+10	μA
R _{PS2}	PS/2 上拉电阻	–	3000	5000	7000	Ω
R _{EXT}	外部 USB 串联电阻	与每个 USB 引脚串联	21.78	22.0	22.22	Ω

直流模拟复用器总线参数

表 18 列出了在整个电压和温度范围内的最大和最小规范。

表 18. 直流模拟复用器总线规范

符号	说明	条件	最小值	典型值	最大值	单位
R _{SW}	连接到通用模拟总线的开关电阻	–	–	–	800	Ω
R _{GND}	连接到 V _{SS} 的初始化开关电阻	–	–	–	800	Ω

用于测量 R_{SW} 和 R_{GND} 的最大引脚电压为 1.8 V

直流低功耗比较器规范

表 19 列出了在整个电压和温度范围内的最大和最小规范。

表 19. 直流比较器规范

符号	说明	条件	最小值	典型值	最大值	单位
V _{LPC}	低功耗比较器 (LPC) 通用模式	最大电压限制为 V _{DD}	0.0	–	1.8	V
I _{LPC}	LPC 供电电流	–	–	10	40	μA
V _{OSLPC}	LPC 电压偏移	–	–	3	30	mV

比较器用户模块的电气规范

表 20 列出了最大和最小规范。除非另有声明，否则这些规范适用于整个器件电压和温度工作范围： $-40\text{ }^{\circ}\text{C} \leq T_A \leq 85\text{ }^{\circ}\text{C}$ ， $1.71\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ 。

表 20. 比较器用户模块电气规范

符号	说明	条件	最小值	典型值	最大值	单位
t_{COMP}	比较器响应时间	50 mV 过驱动	–	70	100	ns
偏移		有效范围：0.2 V 到 $V_{DD} - 0.2\text{ V}$	–	2.5	30	mV
电流		平均直流电流，50 mV 过驱动	–	20	80	μA
PSRR	供电电压 > 2 V	电源抑制比	–	80	–	dB
	供电电压 < 2 V	电源抑制比	–	40	–	dB
输入范围		–	0		1.5	V

ADC 电气规范
表 21. ADC 用户模块电气规范

符号	说明	条件	最小值	典型值	最大值	单位
输入						
V_{IN}	输入电压范围	–	0	–	V_{REFADC}	V
C_{IIN}	输入电容	–	–	–	5	pF
R_{IN}	输入电阻	对于 8 位、9 位或 10 位分辨率的等效开关电容输入电阻	$1 / (500\text{fF} \times \text{数据时钟})$	$1 / (400\text{fF} \times \text{数据时钟})$	$1 / (300\text{fF} \times \text{数据时钟})$	Ω
参考电压						
V_{REFADC}	ADC 参考电压	–	1.14	–	1.26	V
转换速率						
F_{CLK}	数据时钟	该时钟的源是芯片内部主振荡器。有关精度的信息，请参考 交流芯片级规范	2.25	–	6	MHz
S8	8 位采样率	数据时钟设置为 6 MHz。采样率 = $0.001 / (2^{\wedge} \text{分辨率} / \text{数据时钟})$	–	23.43	–	kSPS
S10	10 位采样率	数据时钟设置为 6 MHz。采样率 = $0.001 / (2^{\wedge} \text{分辨率} / \text{数据时钟})$	–	5.85	–	kSPS
直流精度						
RES	分辨率	可设置为 8 位、9 位或 10 位	8	–	10	位
DNL	差分非线性	–	–1	–	+2	LSB
INL	积分非线性	–	–2	–	+2	LSB
E_{OFFSET}	偏移误差	8 位分辨率	0	3.20	19.20	LSB
		10 位分辨率	0	12.80	76.80	LSB
E_{GAIN}	增益误差	适用于任何分辨率	–5	–	+5	%FSR
电源						
I_{ADC}	工作电流	–	–	2.10	2.60	mA
PSRR	电源抑制比	PSRR ($V_{DD} > 3.0\text{ V}$)	–	24	–	dB
		PSRR ($V_{DD} < 3.0\text{ V}$)	–	30	–	dB

直流 POR 和 LVD 规范

表 22 列出了在整个电压和温度范围内的最大和最小规范。

表 22. 直流 POR 和 LVD 规范

符号	说明	条件	最小值	典型值	最大值	单位
V _{POR0}	在 PSoC Designer 中选定 1.66 V	在启动、从 XRES 引脚复位或从看门狗复位的过程中，V _{DD} 必须大于或等于 1.71 V。	1.61	1.66	1.71	V
V _{POR1}	在 PSoC Designer 中选定 2.36 V		–	2.36	2.41	V
V _{POR2}	在 PSoC Designer 中选定 2.60 V		–	2.60	2.66	V
V _{POR3}	在 PSoC Designer 中选定 2.82 V		–	2.82	2.95	V
V _{LVD0}	在 PSoC Designer 中选定 2.45 V	–	2.40	2.45	2.51	V
V _{LVD1}	在 PSoC Designer 中选定 2.71 V		2.64 ^[64]	2.71	2.78	V
V _{LVD2}	在 PSoC Designer 中选定 2.92 V		2.85 ^[65]	2.92	2.99	V
V _{LVD3}	在 PSoC Designer 中选定 3.02 V		2.95 ^[66]	3.02	3.09	V
V _{LVD4}	在 PSoC Designer 中选定 3.13 V		3.06	3.13	3.20	V
V _{LVD5}	在 PSoC Designer 中选定 1.90 V		1.84	1.90	2.32	V
V _{LVD6}	在 PSoC Designer 中选定 1.80 V		1.75 ^[67]	1.80	1.84	V
V _{LVD7}	在 PSoC Designer 中选定 4.73 V		4.62	4.73	4.83	V

直流编程规范

表 23 列出了在整个电压和温度范围内的最大和最小规范。

表 23. 直流编程规范

符号	说明	条件	最小值	典型值	最大值	单位
V _{DDIWRITE}	闪存写操作的供电电压	–	1.71	–	5.25	V
I _{DDP}	编程或验证期间使用的供电电流	–	–	5	25	mA
V _{ILP}	编程或验证期间的输入低电平电压	请参考第 22 页上的直流 GPIO 规范	–	–	V _{IL}	V
V _{IHP}	编程或验证期间的输入高电平电压	请参考第 22 页上的直流 GPIO 规范	V _{IH}	–	–	V
I _{ILP}	编程或验证期间中在 P1[0] 或 P1[1] 上使用 V _{ILP} 电压时的输入电流	驱动内部下拉电阻	–	–	0.2	mA
I _{IHP}	编程或验证期间中在 P1[0] 或 P1[1] 上使用 V _{IHP} 电压时的输入电流	驱动内部下拉电阻	–	–	1.5	mA
V _{OLP}	编程或验证期间的输出低电压	–	–	–	V _{SS} + 0.75	V
V _{OHP}	编程或验证期间的输出高电压	请参考第 22 页上的直流 GPIO 规范。对于 V _{DD} > 3 V，请使用第 20 页上的表 12 中的 V _{OHP4} 。	V _{OHP}	–	V _{DD}	V
Flash _{ENPB}	闪存写入次数	每一模块的擦 / 写次数	50,000	–	–	–
Flash _{DR}	闪存数据保持	遵循最大闪存写入次数；环境温度为 55 °C	20	–	–	年

注释：

64. 对于下降的供电电压，始终要比 V_{PPOR1} 电压高 50 mV。
 65. 对于下降的供电电压，应始终保持比 V_{PPOR2} 电压高 50 mV。
 66. 对于下降的供电电压，应始终保持比 V_{PPOR3} 电压高 50 mV。
 67. 对于下降的供电电压，始终要比 V_{PPOR0} 电压高 50 mV。

I²C 直流规格

表 24 分别列出了在以下电压和温度范围内的最大和最小规范：3.0 V 到 5.5 V 和 $-40\text{ }^{\circ}\text{C} \leq T_A \leq 85\text{ }^{\circ}\text{C}$ 、2.4 V 到 3.0 V 和 $-40\text{ }^{\circ}\text{C} \leq T_A \leq 85\text{ }^{\circ}\text{C}$ 、或 1.71 V 到 2.4 V 和 $-40\text{ }^{\circ}\text{C} \leq T_A \leq 85\text{ }^{\circ}\text{C}$ 。典型参数适用于 25 °C，并且电压为 5V 和 3.3 V 的条件，这些参数仅供设计指南使用。

表 24. 直流 I²C 规范

符号	说明	条件	最小值	典型值	最大值	单位
V _{ILi2C}	输入低电平	$3.1\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	–	–	$0.25 \times V_{DD}$	V
		$2.5\text{ V} \leq V_{DD} \leq 3.0\text{ V}$	–	–	$0.3 \times V_{DD}$	V
		$1.71\text{ V} \leq V_{DD} \leq 2.4\text{ V}$	–	–	$0.3 \times V_{DD}$	V
V _{IHi2C}	输入高电平电压	$1.71\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	$0.65 \times V_{DD}$	–	–	V

直流参考缓冲器使用规范

表 25 分别列出了在以下电压和温度范围内的最大和最小规范：3.0 V 到 5.5 V 和 $-40\text{ }^{\circ}\text{C} \leq T_A \leq 85\text{ }^{\circ}\text{C}$ 、2.4 V 到 3.0 V 和 $-40\text{ }^{\circ}\text{C} \leq T_A \leq 85\text{ }^{\circ}\text{C}$ 、或 1.71 V 到 2.4 V 和 $-40\text{ }^{\circ}\text{C} \leq T_A \leq 85\text{ }^{\circ}\text{C}$ 。典型参数适用于 25 °C 且电压为 5V 和 3.3V 的条件，这些参数仅供设计指南使用。

表 25. 参考缓冲器的直流规范

符号	说明	条件	最小值	典型值	最大值	单位
V _{Ref}	参考缓冲器输出	$1.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	1	–	1.05	V
V _{RefHi}	参考缓冲器输出	$1.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	1.2	–	1.25	V

IDAC 直流规范

表 26 列出了在整个电压和温度范围内的最大和最小规范。

表 26. 直流 IDAC 规范

符号	说明	最小值	典型值	最大值	单位	注意
IDAC_DNL	差分非线性	–4.5	–	+4.5	LSB	–
IDAC_INL	积分非线性	–5	–	+5	LSB	–
IDAC_Gain (源)	范围 = 0.5x	6.64	–	22.46	μA	DAC 设置 = 128 dec。 不建议用于 CapSense 应用。
	范围 = 1x	14.5	–	47.8	μA	
	范围 = 2x	42.7	–	92.3	μA	
	范围 = 4x	91.1	–	170	μA	
	范围 = 8x	184.5	–	426.9	μA	

交流芯片级规范

表 27 列出了在整个电压和温度范围内的最大和最小规范。

表 27. 交流芯片级规范

符号	说明	条件	最小值	典型值	最大值	单位
F _{IMO24}	IMO 频率设置为 24 MHz	–	22.8	24	25.2	MHz
F _{IMO12}	IMO 频率设置为 12 MHz	–	11.4	12	12.6	MHz
F _{IMO6}	IMO 频率设置为 6 MHz	–	5.7	6.0	6.3	MHz
F _{CPU}	CPU 频率	–	0.75	–	25.20	MHz
F _{32K1}	ILO 频率	–	15	32	50	kHz
F _{32K_U}	ILO 的未调整频率	–	13	32	82	kHz
DC _{IMO}	IMO 的占空比	–	40	50	60	%
DC _{ILO}	ILO 的占空比	–	40	50	60	%
SR _{POWER_UP}	电源压摆率	上电期间的 V _{DD} 压摆率	–	–	250	V/ms
t _{XRST}	上电时的外部复位脉宽	供电电压有效后	1	–	–	ms
t _{XRST2}	上电后的外部复位脉宽 ^[68]	在器件启动后使用	10	–	–	μs
t _{OS}	ECO 启动时间	–	–	1	–	s
t _{JIT_IMO} ^[69]	N=32	6 MHz IMO 周期间抖动 (RMS)	–	0.7	6.7	ns
		6 MHz IMO 长期 N (N = 32) 周期间抖动 (RMS)	–	4.3	29.3	ns
		6 MHz IMO 周期抖动 (RMS)	–	0.7	3.3	ns
		12 MHz IMO 周期间抖动 (RMS)	–	0.5	5.2	ns
		12 MHz IMO 长期 N (N = 32) 周期间抖动 (RMS)	–	2.3	5.6	ns
		12 MHz IMO 周期抖动 (RMS)	–	0.4	2.6	ns
		24 MHz IMO 周期间抖动 (RMS)	–	1.0	8.7	ns
		24 MHz IMO 长期 N (N = 32) 周期间抖动 (RMS)	–	1.4	6.0	ns
		24 MHz IMO 周期抖动 (RMS)	–	0.6	4.0	ns

注释:

68. 编程器件时, 所需的 XRES 最小脉冲长度会变长 (请参见第 31 页上的表 33)。

69. 更多信息, 请参考赛普拉斯抖动规范应用笔记, 了解赛普拉斯时钟产品数据手册的抖动规范 — AN5054。

GPIO 交流规范

表 28 列出了在整个电压和温度范围内的最大和最小规范。

表 28. 交流 GPIO 规范

符号	说明	条件	最小值	典型值	最大值	单位
F_{GPIO}	GPIO 工作频率	端口 0、1 处于正常强驱动模式	0	—	1.71 V < V_{DD} < 2.40 V 时， 该频率为 6 MHz	MHz
			0	—	2.40 V < V_{DD} < 5.50 V 时， 该频率为 12 MHz	MHz
t_{RISE23}	上升时间，强驱动模式， $C_{load} = 50$ pF 端口 2、3 或 4 引脚	$V_{DD} = 3.0$ 到 3.6 V，10% 到 90%	15	—	80	ns
$t_{RISE23L}$	上升时间，强驱动模式低电源， $C_{load} = 50$ pF，端口 2、3 或 4 引脚	$V_{DD} = 1.71$ 到 3.0 V，10% 到 90%	15	—	80	ns
t_{RISE01}	上升时间，强驱动模式， $C_{load} = 50$ pF 端口 0 或 1	$V_{DD} = 3.0$ 到 3.6 V，10% 到 90% LDO 使能或禁用	10	—	50	ns
$t_{RISE01L}$	上升时间，强驱动模式低电源， $C_{load} = 50$ pF，端口 0 或 1	$V_{DD} = 1.71$ 到 3.0 V，10% 到 90% LDO 使能或禁用	10	—	80	ns
t_{FALL}	下降时间，强驱动模式， $C_{load} = 50$ pF 所有端口	$V_{DD} = 3.0$ 到 3.6 V，10% 到 90%	10	—	50	ns
t_{FALLL}	下降时间，强驱动模式低电源， $C_{load} = 50$ pF，所有端口	$V_{DD} = 1.71$ 到 3.0 V，10% 到 90%	10	—	70	ns

图 14. GPIO 时序图

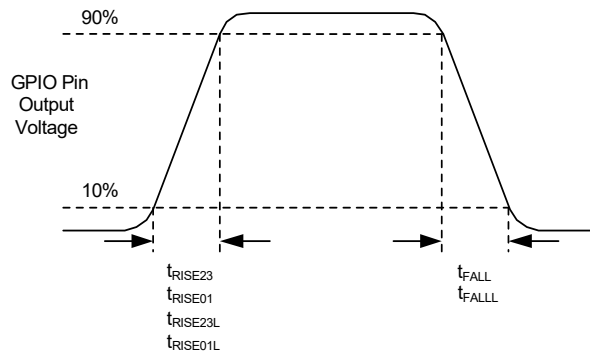


表 29. 交流特性 — USB 数据时序

符号	说明	条件	最小值	典型值	最大值	单位
t_{DRATE}	全速数据速率	平均比特率	12 – 0.25%	12	12 + 0.25%	MHz
t_{JR1}	接收器抖动容差	到下一次跃变	–18.5	–	18.5	ns
t_{JR2}	接收器抖动容差	到成对跃变	–9.0	–	9	ns
t_{DJ1}	FS 驱动器抖动	到下一次跃变	–3.5	–	3.5	ns
t_{DJ2}	FS 驱动器抖动	到成对跃变	–4.0	–	4.0	ns
t_{FDEOP}	差分跃变的源抖动	到 SE0 跃变	–2.0	–	5	ns
t_{FEOPT}	EOP 的源 SE0 间隔	–	160.0	–	175	ns
t_{FEOPR}	EOP 的接收器 SE0 间隔	–	82.0	–	–	ns
t_{FST}	差分跃变期间的 SE0 间隔时间	–	–	–	14	ns

表 30. 交流特性 — USB 驱动器

符号	说明	条件	最小值	典型值	最大值	单位
t_{FR}	跃变上升时间	50 pF	4	–	20	ns
t_{FF}	跃变下降时间	50 pF	4	–	20	ns
$t_{FRFM}^{[70]}$	上升 / 下降时间匹配	–	90	–	111	%
V_{CRS}	输出信号交变电压	–	1.30	–	2.00	V

交流比较器规范

表 31 列出了在整个电压和温度范围内的最大和最小规范。

表 31. 低功耗比较器的交流规范

符号	说明	条件	最小值	典型值	最大值	单位
t_{LPC}	比较器响应时间, 50 mV 过驱动	50 mV 过驱动不包括偏移电压。	–	–	100	ns

交流外部时钟规范

表 32 列出了在整个电压和温度范围内的最大和最小规范。

表 32. 外部时钟的交流规范

符号	说明	条件	最小值	典型值	最大值	单位
F_{OSCEXT}	频率 (外部振荡器频率)	–	0.75	–	25.20	MHz
	高电平周期	–	20.60	–	5300	ns
	低电平周期	–	20.60	–	–	ns
	从 IMO 上电到切换的时间	–	150	–	–	μs

注释:

70. T_{FRFM} 并非满足所有条件。较低的供电电压 (如低于 3.3 V 的电压) 存在一个拐角情况。该条件不会影响 USB 通信。在电压为 3.15 V 时所测试的信号完整性显示为良好的眼图。

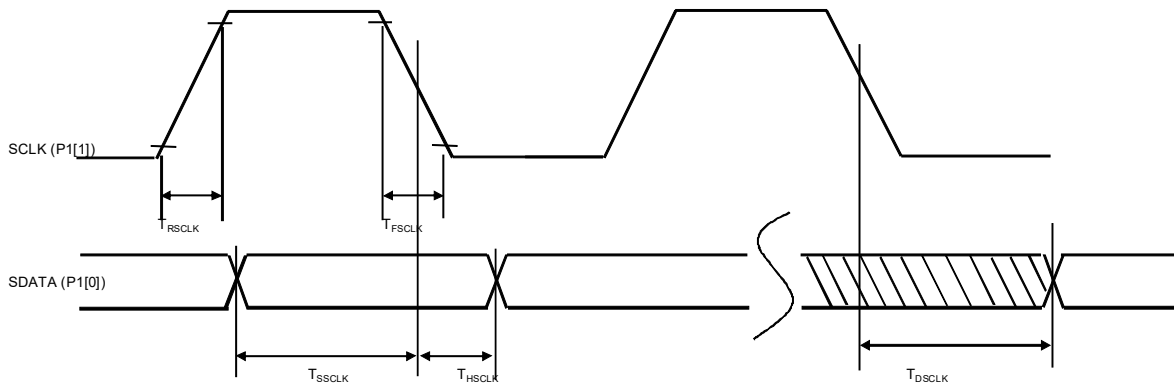
交流编程规范
图 15. 交流波形


表 33 列出了在整个电压和温度范围内的最大和最小规范。

表 33. 交流编程规范

符号	说明	条件	最小值	典型值	最大值	单位
t_{RSCLK}	SCLK 的上升时间	—	1	—	20	ns
t_{FSCLK}	SCLK 的下降时间	—	1	—	20	ns
t_{SSCLK}	从数据建立到 SCLK 下降沿的时间	—	40	—	—	ns
t_{HSCLK}	SCLK 下降沿后的数据保持时间	—	40	—	—	ns
F_{SCLK}	SCLK 的频率	—	0	—	8	MHz
t_{ERASEB}	闪存擦除时间（模块）	—	—	—	18	ms
t_{WRITE}	闪存模块写入时间	—	—	—	25	ms
t_{DSCLK}	从 SCLK 下降沿开始的数据输出延迟时间	$3.6 < V_{DD}$	—	—	60	ns
t_{DSCLK3}	SCLK 下降沿后的数据输出延迟时间	$3.0 \leq V_{DD} \leq 3.6$	—	—	85	ns
t_{DSCLK2}	SCLK 下降沿后的数据输出延迟时间	$1.71 \leq V_{DD} \leq 3.0$	—	—	130	ns
t_{XRST3}	上电后的外部复位脉宽	退出睡眠模式时需要进入编程模式	300	—	—	μs
t_{XRES}	XRES 脉冲长度	—	300	—	—	μs
$t_{VDDWAIT}^{[71]}$	从 V_{DD} 稳定到等待和轮询信号关闭的时间	—	0.1	—	1	ms
$t_{VDDXRES}^{[71]}$	从 V_{DD} 稳定到 XRES 激活的延迟时间	—	14.27	—	—	ms
t_{POLL}	SDATA 为高脉冲的时间	—	0.01	—	200	ms
$t_{ACQ}^{[71]}$	基于 256 个 ILO 时钟周期, V_{DD} 上升事件后的“关键窗口”时间。	—	3.20	—	19.60	ms
$t_{XRESINI}^{[71]}$	基于 8 个 ILO 时钟周期, XRES 事件后的“关键窗口”时间。	—	98	—	615	μs

注释:

71. 有效温度范围为 5 到 50 °C。更多信息, 请查阅 CY8C20X66、CY8C20X46、CY8C20X36、CY7C643XX、CY7C604XX、CY8CTST2XX、CY8CTMG2XX、CY8C20X67、CY8C20X47、CY8C20X37 的编程规范。

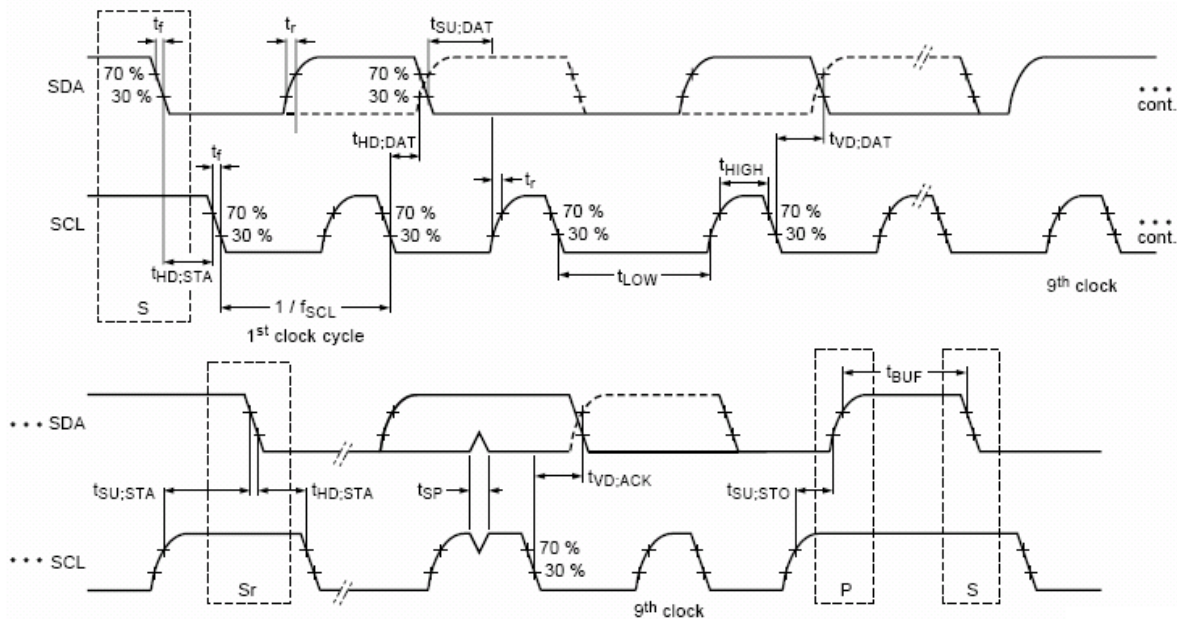
I²C 交流规范

表 34 列出了在整个电压和温度范围内的最大和最小规范。

表 34. I²C SDA 和 SCL 引脚的交流特性

符号	说明	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
f _{SCL}	SCL 时钟频率	0	100	0	400	kHz
t _{HD;STA}	(重复) 启动条件的保持时间。经过这段时间后，会生成第一个时钟脉冲	4.0	–	0.6	–	μs
t _{LOW}	SCL 时钟为低电平的时间	4.7	–	1.3	–	μs
t _{HIGH}	SCL 时钟为高电平的时间	4.0	–	0.6	–	μs
t _{SU;STA}	重复启动条件的建立时间	4.7	–	0.6	–	μs
t _{HD;DAT}	数据保持时间	0	3.45	0	0.90	μs
t _{SU;DAT}	数据建立时间	250	–	100 ^[72]	–	ns
t _{SU;STO}	停止条件的建立时间	4.0	–	0.6	–	μs
t _{BUF}	停止和启动条件之间的总线空闲时间	4.7	–	1.3	–	μs
t _{SP}	输入滤波器抑制的尖峰脉宽	–	–	0	50	ns

图 16. I²C 总线上快速 / 标准模式的时序定义



注释:

72. 快速模式 I²C 总线器件可以用于标准模式 I²C 总线系统，但必须满足 t_{SU;DAT} ≥ 250 ns 的要求。如果器件没有延长 SCL 信号的低电平时间，这种情况会自动发生。如果器件延长 SCL 信号的低电平时间，则它必须在 SCL 线路被释放之前 t_{rmax} + t_{SU;DAT} = 1000 + 250 = 1250 ns 时间（根据标准模式 I²C 总线规范）将下一个数据位输出到 SDA 线路。

表 35. SPI 主设备交流规范

符号	说明	条件	最小值	典型值	最大值	单位
F_{SCLK}	SCLK 时钟频率	$V_{DD} \geq 2.4\text{ V}$ $V_{DD} < 2.4\text{ V}$	— —	— —	6 3	MHz MHz
DC	SCLK 占空比	—	—	50	—	%
t_{SETUP}	从 MISO 到 SCLK 的建立时间	$V_{DD} \geq 2.4\text{ V}$ $V_{DD} < 2.4\text{ V}$	60 100	— —	— —	ns ns
t_{HOLD}	SCLK 到 MISO 的保持时间	—	40	—	—	ns
t_{OUT_VAL}	从 SCLK 到 MOSI 有效的时间	—	—	—	40	ns
t_{OUT_H}	MOSI 为高电平的时间	—	40	—	—	ns

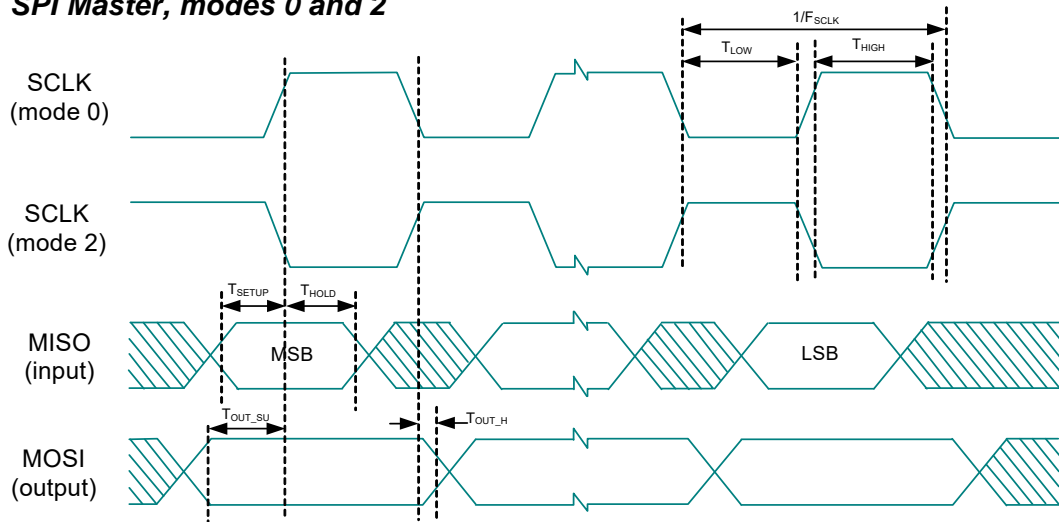
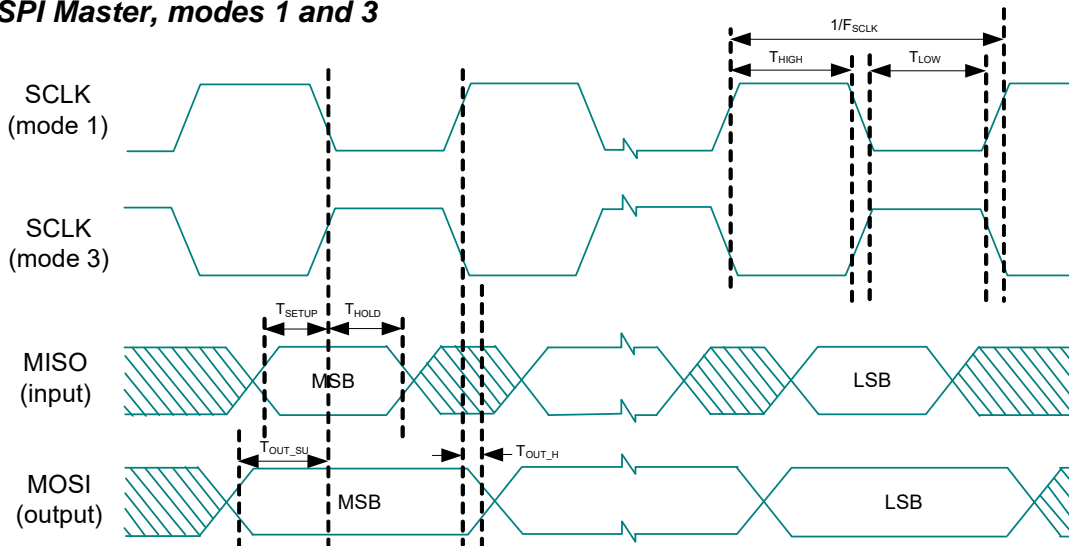
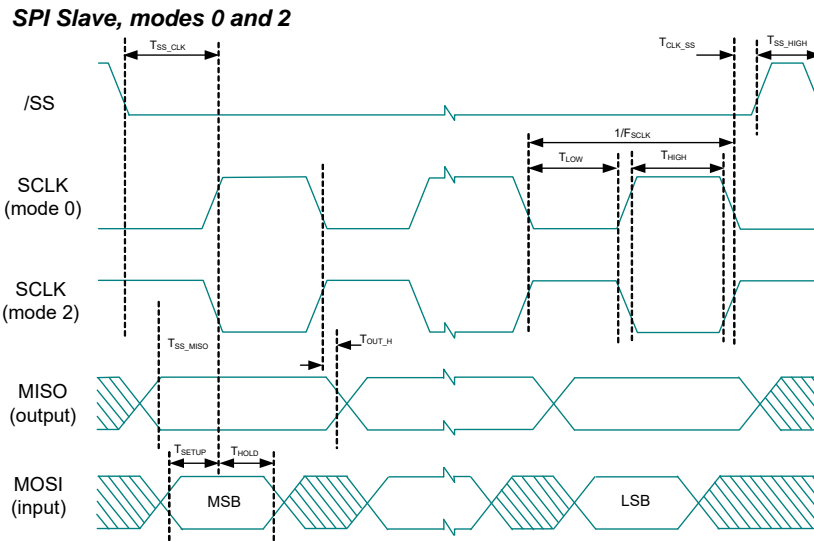
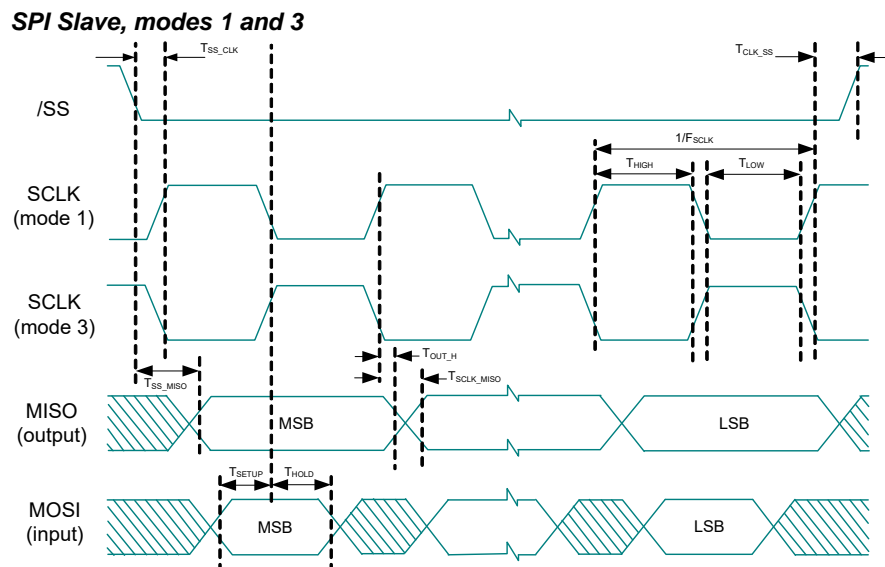
图 17. SPI 主设备模式 0 和 2
SPI Master, modes 0 and 2

图 18. SPI 主设备模式 1 和 3
SPI Master, modes 1 and 3


表 36. SPI 从设备交流规范

符号	说明	条件	最小值	典型值	最大值	单位
F_{SCLK}	SCLK 时钟频率	—	—	—	4	MHz
t_{LOW}	SCLK 为低电平的时间	—	42	—	—	ns
t_{HIGH}	SCLK 为高电平的时间	—	42	—	—	ns
t_{SETUP}	从 MOSI 到 SCLK 的建立时间	—	30	—	—	ns
t_{HOLD}	从 SCLK 到 MOSI 的保持时间	—	50	—	—	ns
t_{SS_MISO}	从 SS 为高电平到 MISO 有效的时间	—	—	—	153	ns
t_{SCLK_MISO}	从 SCLK 到 MISO 有效的时间	—	—	—	125	ns
t_{SS_HIGH}	SS 为高电平的时间	—	50	—	—	ns </td
t_{SS_CLK}	从 SS 为低电平到第一个 SCLK 的时间	—	2/SCLK	—	—	ns
t_{CLK_SS}	从最后一个 SCLK 到 SS 为高电平的时间	—	2/SCLK	—	—	ns

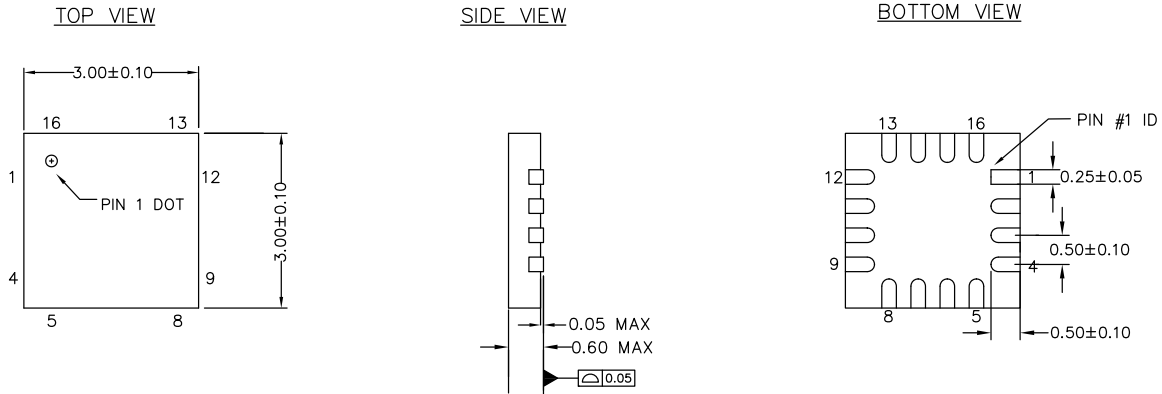
图 19. SPI 从设备模式 0 和 2

图 20. SPI 从设备模式 1 和 3


封装信息

本节介绍了 CY8C20XX6A/SPSoC 器件的封装规范以及每种封装的热阻。

重要说明: 仿真工具在目标 PCB 上可能需要比芯片空间更大的面积。有关仿真工具尺寸的详细说明, 请参考 <http://www.cypress.com/design/MR10161> 中标题为 *PSoC 仿真器转接板尺寸* 的文档。

图 21. 16-QFN (无 E-Pad) (3 × 3 × 0.6 mm) LG16A (Sawn) 封装外形, 001-09116

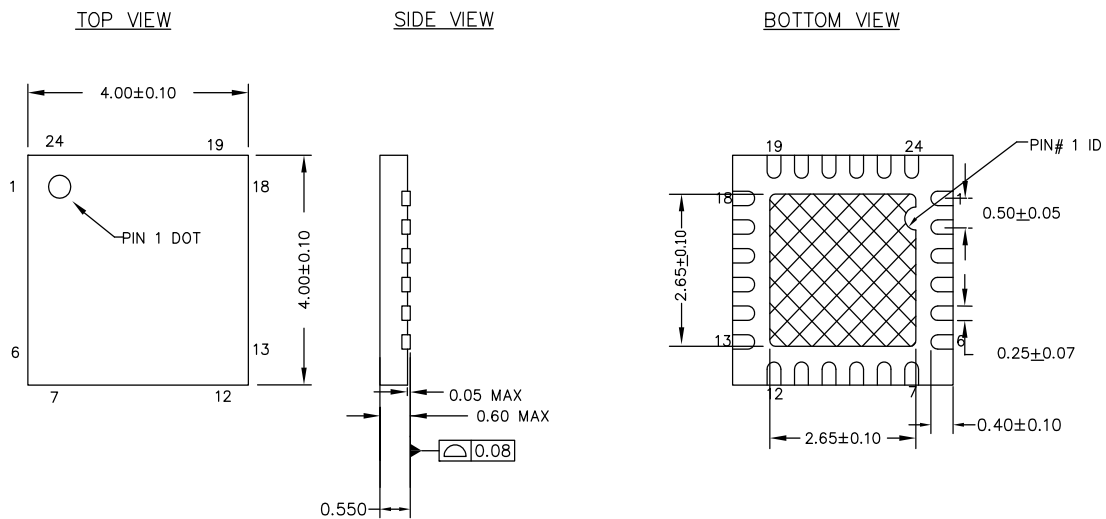


NOTES


1. REFERENCE JEDEC # MO-220
2. ALL DIMENSIONS ARE IN MILLIMETERS

001-09116 *J

图 22. 24-QFN (4 × 4 × 0.55 mm) LQ24A 2.65 × 2.65 E-Pad (Sawn) 封装外形, 001-13937

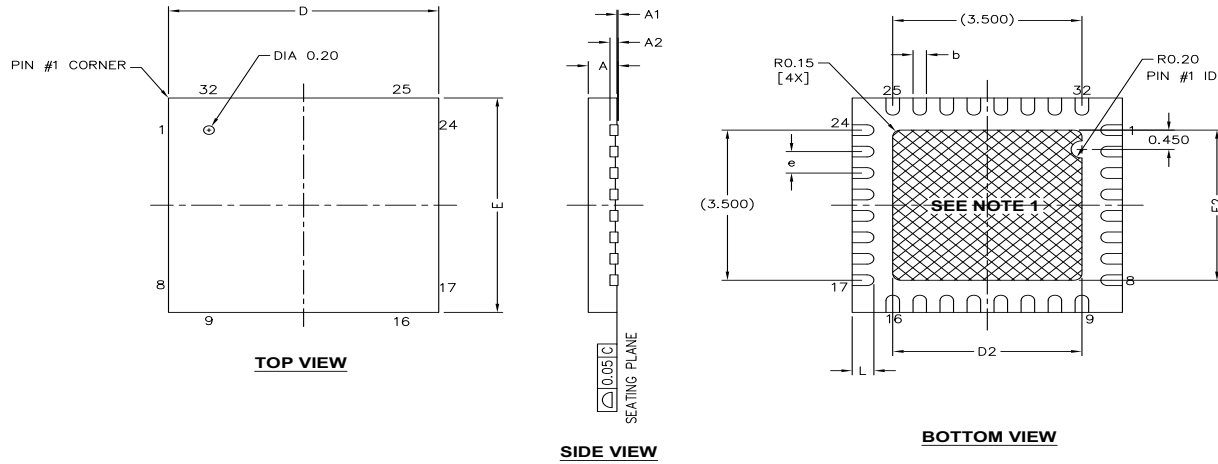


NOTES :

1.  HATCH IS SOLDERABLE EXPOSED METAL.
2. REFERENCE JEDEC # MO-248
3. PACKAGE WEIGHT : 29 ± 3 mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

001-13937 *G

图 23. 32-QFN (5 × 5 × 0.55 mm) LQ32 3.5 × 3.5 E-Pad (Sawn) 封装外形, 001-42168

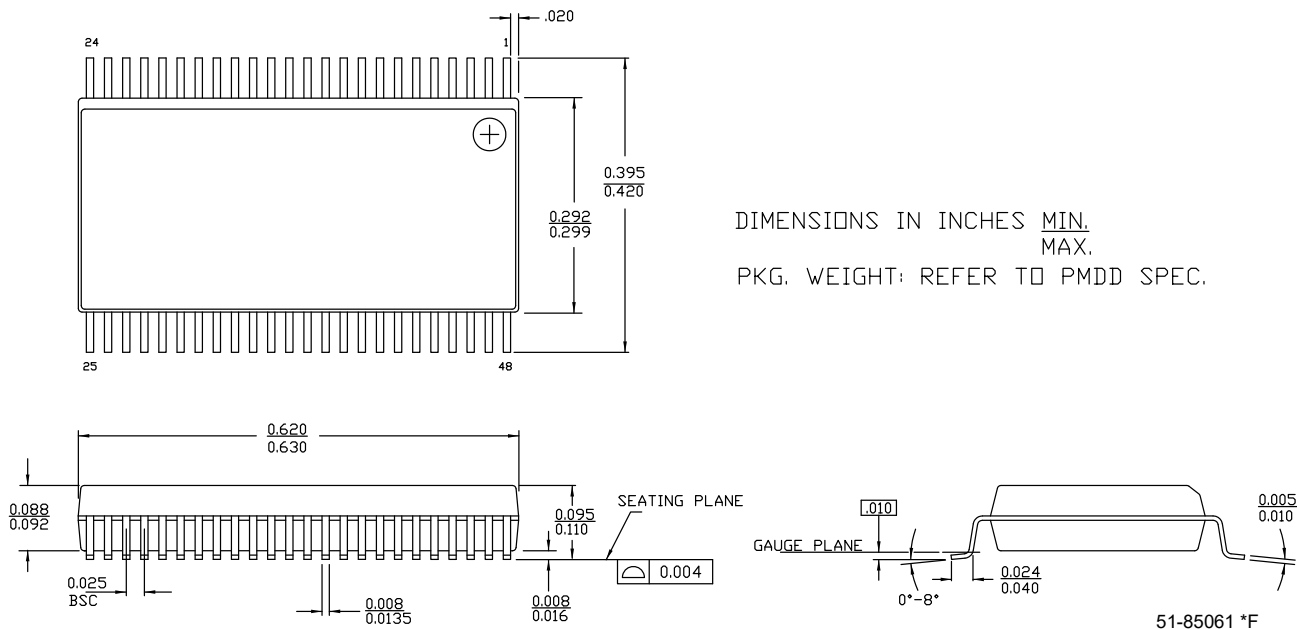


NOTES:

1. HATCH AREA IS SOLDERABLE EXPOSED PAD
2. BASED ON REF JEDEC # MO-248
3. PACKAGE WEIGHT: 0.0388g
4. DIMENSIONS ARE IN MILLIMETERS

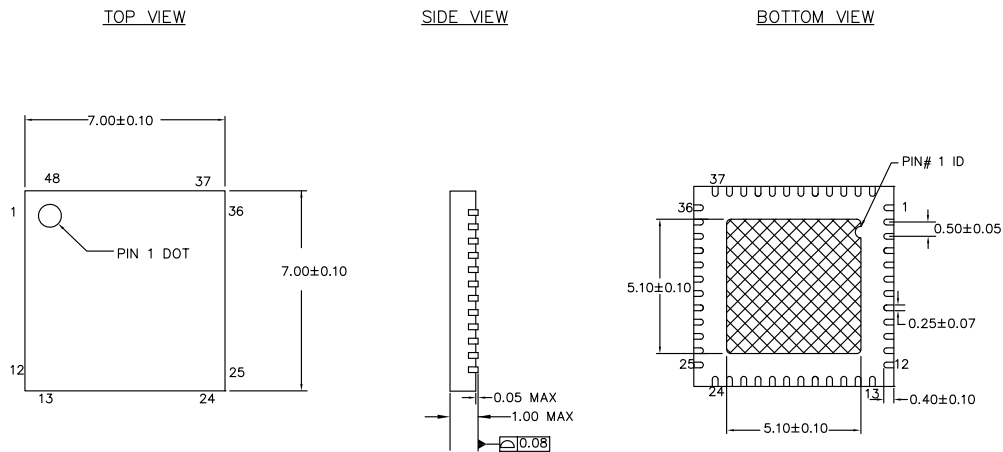
001-42168 *F


图 24. 48-SSOP (300 Mils) O483 封装外形, 51-85061



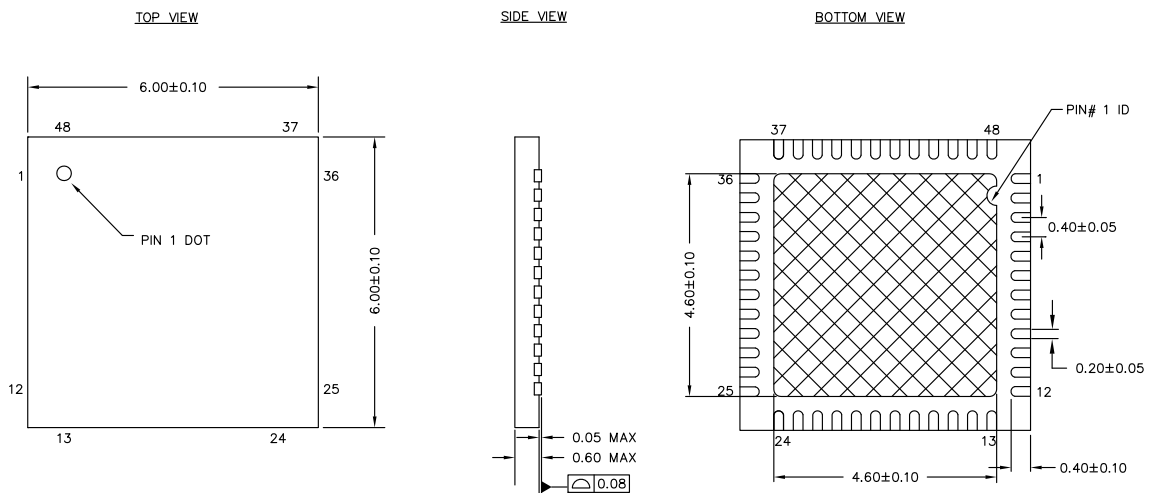
DIMENSIONS IN INCHES MIN.
MAX.
PKG. WEIGHT: REFER TO PMDD SPEC.


51-85061 *F

图 25. 48-QFN (7 × 7 × 1.0 mm) LT48A 5.1 × 5.1 E-Pad (Sawn) 封装外形, 001-13191

NOTES:

1.  HATCH AREA IS SOLDERABLE EXPOSED METAL.
2. REFERENCE JEDEC#: MO-220
3. PACKAGE WEIGHT: 13 ± 1 mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

001-13191 *H

图 26. 48-QFN (6 × 6 × 0.6 mm) LQ48A 4.6 × 4.6 E-Pad (Sawn) 封装外形, 001-57280

NOTES:

1.  HATCH AREA IS SOLDERABLE EXPOSED PAD
2. REFERENCE JEDEC # MO-248
3. PACKAGE WEIGHT: 68 ± 7 mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

001-57280*E

重要说明

- 有关安装QFN封装的首选尺寸的信息, 请参考http://www.amkor.com/products/notes_papers/MLFAppNote.pdf网站上提供的应用笔记。
- 低功耗 PSoC 器件无需使用散热过孔。

热阻
表 37. 每种封装的热阻

封装	典型 θ_{JA} [73]	典型 θ_{JC}
16-QFN (无中心焊盘)	33 °C/W	–
24-QFN [74]	21 °C/W	–
32-QFN [74]	20 °C/W	–
48-SSOP	69 °C/W	–
48-QFN (6 × 6 × 0.6 mm) [74]	25.20 °C/W	3.04 °C/W
48-QFN (7 × 7 × 1.0 mm) [74]	18 °C/W	–
30 球 WLCSP	54 °C/W	–

晶振引脚上的电容
表 38. 晶振引脚上的典型封装电容

封装	封装电容
32-QFN	3.2 pF
48-QFN	3.3 pF

回流焊规范

表 39 显示不可超过的回流焊温度限制。

表 39. 回流焊规范

封装	最大峰值温度 (T_C)	温度超过 $T_C - 5\text{ °C}$ 的最大时间
16-QFN	260 °C	30 秒
24-QFN	260 °C	30 秒
32-QFN	260 °C	30 秒
48-SSOP	260 °C	30 秒
48-QFN (6 × 6 × 0.6mm)	260 °C	30 秒
48-QFN (7 × 7 × 1.0mm)	260 °C	30 秒
30 球 WLCSP	260 °C	30 秒

注释:

73. $T_J = T_A + \text{功耗} \times \theta_{JA}$

74. 要达到 QFN 封装的指定热阻，中心热焊盘必须焊接到 PCB 接地层。

开发工具选择

软件

PSoC Designer™

PSoC Designer 是 PSoC 开发软件套装的核心。这款稳健的软件被数以千计的 PSoC 开发人员用于简化 PSoC 设计已有超过 5 年的时间。PSoC Designer 在 <http://www.cypress.com> 网站上免费提供。

PSoC 编程器

PSoC Programmer 非常灵活，它不仅可用于开发，而且适用于工厂编程，因此可作为独立的编程应用，也可从 PSoC Designer 中直接调用。PSoC Programmer 软件与 PSoC ICE-Cube 在线仿真器和 PSoC MiniProg 这两种器件兼容。在 <http://www.cypress.com> 网站上免费提供了 PSoC Programmer。

开发套件

所有开发套件均在赛普拉斯在线商店销售。

CY3215-DK 基本开发套件

CY3215-DK 用于通过 PSoC Designer 进行原型设计和开发。该套件支持在线仿真功能，它的界面允许用户运行、暂停和单步执行处理器，另外还可以查看特定存储器位置的内容。PSoC Designer 也支持高级仿真功能。该套件包括：

- PSoC Designer 软件 CD
- ICE-Cube 在线仿真器
- CY8C29X66A 系列的 ICE Flex-Pod
- Cat-5 适配器
- Mini-Eval 编程板
- 110 ~ 240V 电源，Euro-Plug 适配器
- iMAGEcraft C 语言编译器（需要注册）
- ISSP 线缆
- USB 2.0 线缆和蓝色 Cat-5 线缆
- 2 个 CY8C29466A-24PXI 28-PDIP 芯片样品

评估工具

所有评估工具均在赛普拉斯在线商店销售。

CY3210-MiniProg1

CY3210-MiniProg1 套件可让用户通过 MiniProg1 编程单元对 PSoC 器件进行编程。MiniProg 是一种紧凑的小型原型设计编程器，通过随附的 USB 2.0 线缆连接到 PC。该套件包括：

- MiniProg 编程单元
- MiniEval Socket 编程和评估板
- 28 引脚 CY8C29466A-24PXI PDIP PSoC 器件样品

- 28 引脚 CY8C27443A-24PXI PDIP PSoC 器件样品

- PSoC Designer 软件 CD

- 入门指南

- USB 2.0 线缆

CY3210-PSoCEval1

CY3210-PSoCEval1 套件包含一个评估板和一个 MiniProg1 编程单元。评估板包括 LCD 模块、电位器、LED 和大量实验板空间，可满足您的所有评估需要。该套件包括：

- 带 LCD 模块的评估板

- MiniProg 编程单元

- 28 引脚 CY8C29466A-24PXI PDIP PSoC 器件样品（2）

- PSoC Designer 软件 CD

- 入门指南

- USB 2.0 线缆

CY3280-20X66 的通用 CapSense 控制器

CY3280-20X66 CapSense 控制器套件旨在使用预定义的控制电路和插入硬件来简化 CY8C20XX6A CapSense 系列设计原型及调试。编程硬件和 I2C-USB 桥接器也包含在内，用于调试和数据采集应用。

该套件包括：

- CY3280-20X66 CapSense 控制器电路板

- CY3240-I2USB 桥接器

- CY3210 MiniProg1 编程器

- USB 2.0 可伸缩线缆

- CY3280-20X66 套件 CD

器件编程器

您可以在赛普拉斯在线商店上购买所有的器件编程器。

CY3216 模块化编程器

CY3216 模块编程器套件包括模块编程器和 MiniProg1 编程单元。模块化编程器包括 3 个编程模块卡，并支持多个赛普拉斯产品。该套件包括：

- 模块化编程器基础

- 三个编程模块卡

- MiniProg 编程单元

- PSoC Designer 软件 CD

- 入门指南

- USB 2.0 线缆

CY3207ISSP 系统内串行编程器 (ISSP)

CY3207ISSP 是一个生产编程器。它包括保护电路和一个工业外壳，该工业外壳在生产编程环境中比 MiniProg 更强大。请注意，CY3207ISSP 需要特殊软件，而且与 PSoC Programmer 不兼容。该套件包括：

- CY3207 编程器单元
- PSoC ISSP 软件 CD
- 110 ~ 240 V 电源， Euro-Plug 适配器
- USB 2.0 线缆

附件 (仿真和编程)
表 40. 仿真和编程附件

器件型号	引脚封装	Flex-Pod 套件 ^[75]	支脚套件 ^[76]	适配器 ^[77]
CY8C20236A-24LKXI	16-QFN (无 E-Pad)	CY3250-20246QFN	CY3250-20246QFN-POD	请参见注意 74
CY8C20246A-24LKXI	16-QFN (无 E-Pad)	CY3250-20246QFN	CY3250-20246QFN-POD	请参见注意 77
CY8C20246AS-24LKXI	16-QFN (无 E-Pad)	未支持		
CY8C20336A-24LQXI	24-QFN	CY3250-20346QFN	CY3250-20346QFN-POD	请参见注意 74
CY8C20346A-24LQXI	24-QFN	CY3250-20346QFN	CY3250-20346QFN-POD	请参见注意 77
CY8C20396A-24LQXI	24-QFN	未支持		
CY8C20436A-24LQXI	32-QFN	CY3250-20466QFN	CY3250-20466QFN-POD	请参见注意 74
CY8C20446A-24LQXI	32-QFN	CY3250-20466QFN	CY3250-20466QFN-POD	请参见注意 77
CY8C20446AS-24LQXI	32-QFN	未支持		
CY8C20466A-24LQXI	32-QFN	CY3250-20466QFN	CY3250-20466QFN-POD	请参见注意 77
CY8C20466AS-24LQXI	32-QFN	未支持		
CY8C20496A-24LQXI	32-QFN	未支持		
CY8C20536A-24PVXI	48-SSOP	CY3250-20566	CY3250-20566-POD	请参见注意 77
CY8C20546A-24PVXI	48-SSOP	CY3250-20566	CY3250-20566-POD	请参见注意 77
CY8C20566A-24PVXI	48-SSOP	CY3250-20566	CY3250-20566-POD	请参见注意 77

第三方工具

由第三方供应商专门设计的一些工具用于在开发和生产过程中与 PSoC 器件配套使用。有关这些工具的详细信息，可在 <http://www.cypress.com> 网站的 Documentation > Evaluation Boards 路径下面找到。

在您的电路板上构建 PSoC 仿真器

批量生产前，欲了解如何使用片上调试 (OCD) 非生产 SoC 器件来仿真电路，请参考应用笔记 [AN2323: 调试 — 在您的电路板上构建一个 PSoC 仿真器](#)。

注释：

75. Flex-Pod 套件包含一个练习用 Flex-pod 和一个练习用 PCB，另外附带两个 Flex-pod。

76. 支脚套件包括可焊接到目标 PCB 上的表面安装支脚。

77. 编程适配器用于将非 DIP 封装转换成 DIP 封装。有关每种适配器的详细信息和订购信息，请访问 <http://www.emulation.com>。

订购信息

表 41 列出了 CY8C20XX6A/S PSoC 器件的关键封装特性和订购代码。

表 41. PSoC 器件的关键特性和订购信息

封装	订购代码	闪存 (字节)	SRAM (字节)	CapSense 模块	数字 I/O 引脚	模拟输入 [78]	XRES 引脚	USB	ADC
16-QFN (3 × 3 × 0.6 mm) (无 E-Pad)	CY8C20236A-24LKXI	8 K	1 K	1	13	13	有	无	有
16-QFN (3 × 3 × 0.6 mm) (无 E-Pad) (盘带封装)	CY8C20236A-24LKXIT	8 K	1 K	1	13	13	有	无	有
16-QFN (3 × 3 × 0.6 mm) (无 E-Pad)	CY8C20246A-24LKXI	16 K	2 K	1	13	13	有	无	有
16-QFN (3 × 3 × 0.6 mm) (无 E-Pad)	CY8C20246AS-24LKXI	16 K	2 K	1	13	13	有	无	有
16-QFN (3 × 3 × 0.6 mm) (无 E-Pad) (盘带封装)	CY8C20246A-24LKXIT	16 K	2 K	1	13	13	有	无	有
16-QFN (3 × 3 × 0.6 mm) (无 E-Pad) (盘带封装)	CY8C20246AS-24LKXIT	16 K	2 K	1	13	13	有	无	有
24-QFN (4 × 4 × 0.6 mm)	CY8C20336A-24LQXI	8 K	1 K	1	20	20	有	无	有
24-QFN (4 × 4 × 0.6 mm) (盘带封装)	CY8C20336A-24LQXIT	8 K	1 K	1	20	20	有	无	有
24-QFN (4 × 4 × 0.6 mm)	CY8C20346A-24LQXI	16 K	2 K	1	20	20	有	无	有
24-QFN (4 × 4 × 0.6 mm) (盘带封装)	CY8C20346A-24LQXIT	16 K	2 K	1	20	20	有	无	有
24-QFN (4 × 4 × 0.6 mm) (盘带封装)	CY8C20346AS-24LQXIT	16 K	2 K	1	20	20	有	无	有
24-QFN (4 × 4 × 0.6 mm)	CY8C20396A-24LQXI	16 K	2 K	1	19	19	支持	支持	有
24-QFN (4 × 4 × 0.6 mm) (盘带封装)	CY8C20396A-24LQXIT	16 K	2 K	1	19	19	支持	支持	有
32-QFN (5 × 5 × 0.6 mm)	CY8C20436A-24LQXI	8 K	1 K	1	28	28	有	无	有
32-QFN (5 × 5 × 0.6 mm) (盘带封装)	CY8C20436A-24LQXIT	8 K	1 K	1	28	28	有	无	有
32-QFN (5 × 5 × 0.6 mm)	CY8C20446A-24LQXI	16 K	2 K	1	28	28	有	无	有
32-QFN (5 × 5 × 0.6 mm)	CY8C20446AS-24LQXI	16 K	2 K	1	28	28	有	无	有
32-QFN (5 × 5 × 0.6 mm) (盘带封装)	CY8C20446A-24LQXIT	16 K	2 K	1	28	28	有	无	有
32-QFN (5 × 5 × 0.6 mm) (盘带封装)	CY8C20446AS-24LQXIT	16 K	2 K	1	28	28	有	无	有
32-QFN (5 × 5 × 0.6 mm)	CY8C20466A-24LQXI	32 K	2 K	1	28	28	有	无	有
32-QFN (5 × 5 × 0.6 mm)	CY8C20466AS-24LQXI	32 K	2 K	1	28	28	有	无	有
32-QFN (5 × 5 × 0.6 mm) (盘带封装)	CY8C20466A-24LQXIT	32 K	2 K	1	28	28	有	无	有
32-QFN (5 × 5 × 0.6 mm) (盘带封装)	CY8C20466AS-24LQXIT	32 K	2 K	1	28	28	有	无	有
32-QFN (5 × 5 × 0.6 mm)	CY8C20496A-24LQXI	16 K	2 K	1	25	25	有	有	有
32-QFN (5 × 5 × 0.6 mm) (盘带封装)	CY8C20496A-24LQXIT	16 K	2 K	1	25	25	有	有	有

注释:

78. 双功能数字 I/O 引脚也连接到通用模拟复用器。

表 41. PSoC 器件的关键特性和订购信息 (续)

封装	订购代码	闪存 (字节)	SRAM (字节)	CapSense 模块	数字 I/O 引脚	模拟输入 [78]	XRES 引脚	USB	ADC
48-SSOP [79]	CY8C20536A-24PVXI [79]	8 K	1 K	1	34	34	有	无	有
48-SSOP (盘带封装) [79]	CY8C20536A-24PVXIT [79]	8 K	1 K	1	34	34	有	无	有
48-SSOP [79]	CY8C20546A-24PVXI [79]	16 K	2 K	1	34	34	有	无	有
48-SSOP (盘带封装) [79]	CY8C20546A-24PVXIT [79]	16 K	2 K	1	34	34	有	无	有
48-SSOP [79]	CY8C20566A-24PVXI [79]	32 K	2 K	1	34	34	有	无	有
48-SSOP (盘带封装) [79]	CY8C20566A-24PVXIT [79]	32 K	2 K	1	34	34	有	无	有
48-QFN (6 × 6 × 0.6 mm)	CY8C20636A-24LQXI	8 K	1 K	1	36	36	有	无	有
48-QFN (6 × 6 × 0.6 mm) (盘带封装)	CY8C20636A-24LQXIT	8 K	1 K	1	36	36	有	无	有
48-QFN (7 × 7 × 1.0 mm) [79]	CY8C20636A-24LTXI [79]	8 K	1 K	1	36	36	有	无	有
48-QFN (7 × 7 × 1.0 mm) (盘带封装) [79]	CY8C20636A-24LTXIT [79]	8 K	1 K	1	36	36	有	无	有
48-QFN (6 × 6 × 0.6 mm)	CY8C20646A-24LQXI	16 K	2 K	1	36	36	有	有	有
48-QFN (6 × 6 × 0.6 mm) (盘带封装)	CY8C20646A-24LQXIT	16 K	2 K	1	36	36	有	有	有
48-QFN (7 × 7 × 1.0 mm) [79]	CY8C20646A-24LTXI [79]	16 K	2 K	1	36	36	有	有	有
48-QFN (7 × 7 × 1.0 mm) (盘带封装) [79]	CY8C20646A-24LTXIT [79]	16 K	2 K	1	36	36	有	有	有
48-QFN (6 × 6 × 0.6 mm)	CY8C20666A-24LQXI	32 K	2 K	1	36	36	有	有	有
48-QFN (6 × 6 × 0.6 mm) (盘带封装)	CY8C20666A-24LQXIT	32 K	2 K	1	36	36	有	有	有
48-QFN (7 × 7 × 1.0 mm) [79]	CY8C20666A-24LTXI [79]	32 K	2 K	1	36	36	有	有	有
48-QFN (7 × 7 × 1.0 mm) [79]	CY8C20666AS-24LTXI [79]	32 K	2 K	1	36	36	有	有	有
48-QFN (7 × 7 × 1.0 mm) (盘带封装) [79]	CY8C20666A-24LTXIT [79]	32 K	2 K	1	36	36	有	有	有
48-QFN (7 × 7 × 1.0 mm) (盘带封装) [79]	CY8C20666AS-24LTXIT [79]	32 K	2 K	1	36	36	有	有	有
48-QFN (7 × 7 × 1.0 mm) (OCD) [80]	CY8C20066A-24LTXI [80]	32 K	2 K	1	36	36	有	有	有
30 球 WLCSP	CY8C20746A-24FDXC	16 K	1 K	1	27	27	有	无	有
30 球 WLCSP (盘带封装)	CY8C20746A-24FDXCT	16 K	1 K	1	27	27	有	无	有
30 球 WLCSP	CY8C20766A-24FDXC	32 K	2 K	1	27	27	有	无	有
30 球 WLCSP (盘带封装)	CY8C20766A-24FDXCT	32 K	2 K	1	27	27	有	无	有
32-QFN (5 × 5 × 0.6 mm)	CY8C20436AN-24LQXI	8 K	1 K	1	28	28	有	无	无
32-QFN (5 × 5 × 0.6 mm) (盘带封装)	CY8C20436AN-24LQXIT	8 K	1 K	1	28	28	有	无	无
16-QFN (3 × 3 × 0.6 mm) (无 E-Pad)	CY8C20246AS-24LKXI	16 K	2 K	1	13	13	有	无	有
16-QFN (3 × 3 × 0.6 mm) (无 E-Pad, 盘带封装)	CY8C20246AS-24LKXIT	16 K	2 K	1	13	13	有	无	有
24-QFN (4 × 4 × 0.6 mm) (盘带封装)	CY8C20346AS-24LQXIT	16 K	2 K	1	20	20	有	无	有

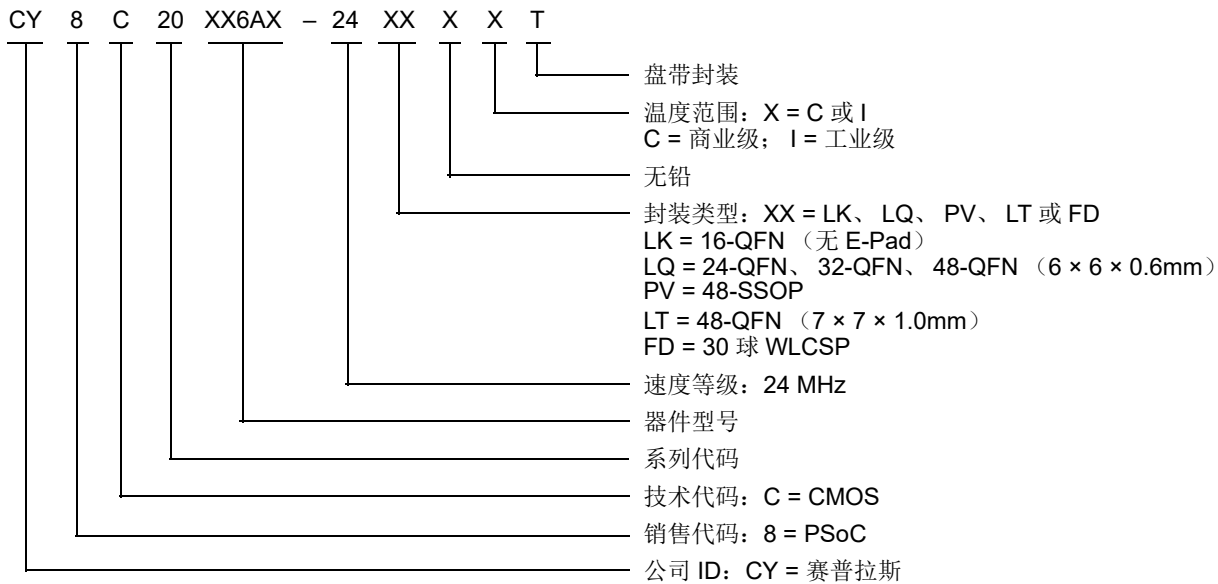
注释:

79. 不建议用于新设计。

80. 双功能数字 I/O 引脚也连接到通用模拟复用器。

表 41. PSoC 器件的关键特性和订购信息 (续)

封装	订购代码	闪存 (字节)	SRAM (字节)	CapSense 模块	数字 I/O 引脚	模拟输入 [78]	XRES 引脚	USB	ADC
32-QFN (5 × 5 × 0.6 mm)	CY8C20446AS-24LQXI	16 K	2 K	1	28	28	有	无	有
32-QFN (5 × 5 × 0.6 mm) (盘带封装)	CY8C20446AS-24LQXIT	16 K	2 K	1	28	28	有	无	有
32-QFN (5 × 5 × 0.6 mm)	CY8C20466AS-24LQXI	32 K	2 K	1	28	28	有	无	有
32-QFN (5 × 5 × 0.6 mm) (盘带封装)	CY8C20466AS-24LQXIT	32 K	2 K	1	28	28	有	无	有
48-QFN (6 × 6 × 0.6 mm)	CY8C20666AS-24LQXI	32 K	2 K	1	36	36	有	有	有
48-QFN (6 × 6 × 0.6 mm) (盘带封装)	CY8C20666AS-24LQXIT	32 K	2 K	1	36	36	有	有	有
48-QFN (7 × 7 × 1.0 mm) [81]	CY8C20666AS-24LTXI [81]	32 K	2 K	1	36	36	有	有	有
48-QFN (7 × 7 × 1.0 mm) (盘带封装) [81]	CY8C20666AS-24LTXIT [81]	32 K	2 K	1	36	36	有	有	有
48-QFN (6 × 6 × 0.6 mm)	CY8C20646AS-24LQXI	16 K	2 K	1	36	36	有	有	有
48-QFN (6 × 6 × 0.6 mm) (盘带封装)	CY8C20646AS-24LQXIT	16 K	2 K	1	36	36	有	有	有
48-QFN (7 × 7 × 1.0 mm) [81]	CY8C20646AS-24LTXI [81]	16 K	2 K	1	36	36	有	有	有
48-QFN (7 × 7 × 1.0 mm) (盘带封装) [81]	CY8C20646AS-24LTXIT [81]	16 K	2 K	1	36	36	有	有	有

订购代码定义

注释:

81. 不建议用于新设计。

缩略语

表 42. 本文中使用的缩略语

缩略语	说明
AC	交流电
ADC	模数转换器
API	应用编程接口
CMOS	互补金属氧化物半导体
CPU	中央处理单元
DAC	数模转换器
DC	直流电
EOP	输出模块数据包终点
FSR	全量程范围
GPIO	通用输入 / 输出
GUI	图形用户界面
I ² C	内部集成电路
ICE	在线仿真器
IDAC	数模转换器电流
ILO	内部低速振荡器
IMO	内部主振荡器
I/O	输入 / 输出
ISSP	系统内串行编程
LCD	液晶显示屏
LDO	低压差（电压调节器）
LSB	最低有效位
LVD	低电压检测
MCU	微控制器单元
MIPS	每秒百万条指令
MISO	主入从出
MOSI	主出从入
MSB	最高有效位
OCD	片上调试器
POR	上电复位
PPOR	精密上电复位
PSRR	电源抑制比
PWRSYS	供电系统
PSoC [®]	可编程片上系统
SLIMO	内部低速主振荡器
SRAM	静态随机存取存储器
SNR	信噪比
QFN	四方扁平无引脚
SCL	串行 I2C 时钟
SDA	串行 I2C 数据
SDATA	串行 ISSP 数据
SPI	串行外设接口
SS	从设备选择
SSOP	紧缩小外形封装
TC	测试控制器
USB	通用串行总线
USB D+	USB 数据 +
USB D-	USB 数据 -
WLCSP	晶圆级芯片尺寸封装
XTAL	晶体

参考文档

- [CY8C20xx6 器件的技术参考手册](#)
- [20xx6 系统内串行编程（IS SP）协议（AN2026C）](#)
- [20xx6 器件的主机源串行编程（AN59389）](#)

文档规范

测量单位

表 43. 测量单位

符号	测量单位
°C	摄氏度
dB	分贝
fF	飞法
g	克
Hz	赫兹
KB	1024 字节
Kbit	1024 位
KHz	千赫兹
Ksps	每秒千次采样
kΩ	千欧姆
MHz	兆赫兹
MΩ	兆欧
μA	微安
μF	微法
μH	微亨
μs	微秒
μW	微瓦
mA	毫安
ms	毫秒
mV	毫伏
nA	纳安
nF	纳法
ns	纳秒
nV	纳伏
W	欧姆
pA	皮安
pF	皮法
pp	峰 - 峰值
ppm	百万分比
ps	皮秒
sps	每秒采样数
s	sigma: 一个标准差
V	伏特
W	瓦特

数字规范

十六进制数字中的所有字母均为大写，结尾带小写的 'h'（例如，'14h' 或 '3Ah'）。十六进制数字还可以使用前缀 '0x' 表示（C 编码规范）。二进制数字在结尾带小写的 'b'（例如，'01010100b' 或 '01000011b'）。不用 'h'、'b' 或 0x 来表示的数字是十进制数字。

术语表

交叉点连接	通过模拟复用器总线进行任意 GPIO 组合之间的连接。
差分非线性	在理想情况下，任何两个相邻的数字代码均与输出模拟电压相对应，二者正好相差 1 LSB。差分非线性度是用于测量偏离理想 1 LSB 步长的最坏偏差情况。
保持时间	保持时间是时钟事件到来后输入到锁存器或触发器的数据必须保持稳定的时间，以确保锁存数据是正确的。
I ² C	它是多主设备串行总线，用于将低速外设连接到 MCU。
积分非线性	它是用来描述 DAC/ADC 理想输出与实际输出电平之间最大偏差的术语。
门锁电流	根据 JESD78 标准进行门锁测试时的电流（温度为 125 摄氏度）
电源抑制比（PSRR）	PSRR 被定义为电源电压变化量与器件输出电压的相应变化量之间的比率。
扫描	从所有传感器电容值到数字值的转换。
建立时间	用于准备器件、机器、流程或系统就绪运行的所需时间。
信噪比	电容式手指信号与系统噪声之间的比率。
SPI	串行外设接口是同步串行数据连接标准。

勘误表

本部分描述了 PSoC® CY8C20x36A/46A/66A/96A/46AS/66AS/36H/46H 系列的勘误表。勘误表中包括勘误触发条件、影响范围、可用解决方案和芯片修订适用性。若有任何问题，请联系您本地赛普拉斯销售代表。

合格状态

产品状态：版本发布。

勘误表汇总

下面勘误表的内容适用于 CY8C20x36A/46A/66A/96A/46AS/66AS/36H/46H 系列。

1. 从睡眠模式唤醒可能会间歇性失败

■ 问题定义

如果器件进入待机模式或 I2C_USB 模式下的睡眠状态，并且带隙电路的刷新闻隔大于 8 ms（默认值），那么，当收到睡眠结束输入时，器件可能不会退出睡眠状态。

■ 受影响的参数

无

■ 触发条件 (S)

默认情况下，当器件处于待机或 I2C_USB 睡眠模式时，大约每经过 8 ms 都会给带隙电路上电一次，以进行 POR 或 LVD 事件检测。通过设置 SLP_CFG2 寄存器中的 ALT_BUZZ 位或 OSC_CR0 寄存器中的 Disable Buzz 位，可分别延长间隔或禁止定期上电，从而降低睡眠电流。如果带隙电路的刷新闻隔大于默认的 8 ms，则器件可能无法从睡眠状态唤醒并进入锁定状态；只有通过看门狗复位、XRES 或 POR 才能恢复器件的状态。

■ 影响范围

以上所述的触发条件会使器件再也不能被唤醒。

■ 解决方案

进入待机或 I2C_USB 睡眠模式前，请勿通过设置 SLP_CFG2 寄存器中的 ALT_BUZZ 位或 OSC_CR0 寄存器中的 Disable Buzz 位分别延长或禁止带隙刷新闻隔。

■ 修复状态

在下一个芯片版本中尚未纠正该问题。

2. I²C 错误

■ 问题定义

如果器件在进入或退出睡眠模式的同时，I²C 主设备启动了某个数据传输，则 I²C 模块会偶尔发生数据和总线损坏错误。

■ 受影响的参数

会影响 I²C 对器件进行通信的可靠性以及 I²C 主设备和第三方 I²C 从设备之间进行通信的可靠性。

■ 触发条件 (S)

器件进入或退出睡眠模式时可能触发该现象。

■ 影响范围

数据错误将导致向 I²C 主设备报告的数据不正确，或器件从主设备收到的数据不正确。总线损坏错误会使 I²C 主设备与第三方 I²C 从设备间进行数据操作中的数据受到损坏。

■ 解决方案

固件中提供了固件解决方案。通常，解决方案为进入睡眠模式前断开了 I²C 模块与总线间的连接。处于睡眠状态中的 I²C 数据操作受一个特定的协议支持。根据该协议，在进行 I²C 数据操作前，主设备将唤醒器件。

■ 修复状态

在将来芯片版本中得到纠正。

■ 更改

无

3. DoubleTimer0 ISR

■ 问题定义

当通过设置寄存器 0（PT0_CFG，地址为 B0h）的位 1 在单触发模式中使用可编程定时器 0，和使用定时器中断将器件从睡眠模式中唤醒时，中断服务子程序（ISR）可能被执行两次。

■ 受影响的参数

数据手册中的参数不受任何影响。

■ 触发条件（S）

由启用定时器的单触发模式，并使用定时器将器件从睡眠模式中唤醒导致。

■ 影响范围

ISR 可能被执行两次。

■ 解决方案

在 ISR 中，固件通过使用语句（如 “and reg[B0h], FDh”）清除单触发位

■ 修复状态

将不被修复

■ 更改

无

4. 错过 GPIO 中断

■ 问题定义

在睡眠模式中，如果同时发生 GPIO 中断和定时器 0 或睡眠定时器中断，可能会错过 GPIO 中断，并且不执行相应的 GPIO ISR。

■ 受影响的参数

数据手册中的参数不受任何影响。

■ 触发条件（S）

由启动睡眠模式后，GPIO 中断和定时器 0 或睡眠定时器中断同时发生导致。

■ 影响范围

不会执行 GPIO 中断服务子程序。

■ 解决方案

系统的架构需要满足能够检测到错过 GPIO 中断的要求。例如，如果使用 GPIO 唤醒系统来执行某个功能，那么系统需要检测该功能是否未被执行，并且重新发出 GPIO 中断。

此外，如果使用 GPIO 中断唤醒系统，则固件最好禁用睡眠定时器和定时器 0。

或者，睡眠定时器和定时器 0 的 ISR 要手动检查 GPIO 的状态，以确定主机系统是否尝试生成一个 GPIO 中断。

■ 修复状态

将不被修复

■ 更改

无

5. 转为睡眠模式时错过的中断

■ 问题定义

如果在固件要求器件进入睡眠模式前的很短时间内（2.5 CPU 周期内）生成了一个中断，该中断将被错过。

■ 受影响的参数

数据手册中的参数不受任何影响。

■ 触发条件（S）

由在生成某个中断前使能睡眠模式导致。

■ 影响范围

不会执行相应的中断服务子程序。

■ 解决方案

无。

■ 修复状态

将不被修复

■ 更改

无

6. 通过模拟中断从睡眠模式中唤醒

■ 问题定义

触发某个模拟中断时，器件从睡眠中唤醒

■ 受影响的参数

数据手册中的参数不受任何影响。

■ 触发条件（S）

工作温度为 50 °C 或 50 °C 以上，并且器件处于睡眠模式时使能某个模拟中断导致

■ 影响范围

器件意外从睡眠中唤醒

■ 解决方案

进入睡眠模式前禁用模拟中断；唤醒后，再使能中断。

■ 修复状态

将不被修复

■ 更改

无

文档修订记录页

文档标题: **CY8C20XX6A/S**, 带有 **SmartSense™** 自动调试功能、**1–33** 按键、**0–6** 滑块的 **1.8 V** 可编程 **CapSense®** 控制器
文档编号: **001-92797**

修订版	ECN	变更者	提交日期	变更说明
**	4564089	ROWA	11/03/2014	本文档版本号为 Rev**, 译自英文版 001-54459 Rev*U。
*A	4991264	RZZH	10/28/2015	本文档版本号为 Rev*A, 译自英文版 001-54459 Rev*W。
*B	6651858	RZZH	08/21/2019	本文档版本号为 Rev*B, 译自英文版 001-54459 Rev*Y。

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要想找到最靠近您的办事处，请访问[赛普拉斯所在地](#)。

产品

ARM® Cortex® 微控制器	cypress.com/arm
汽车级产品	cypress.com/automotive
时钟与缓冲器	cypress.com/clocks
接口	cypress.com/interface
物联网	cypress.com/iot
存储器	cypress.com/memory
微控制器	cypress.com/mcu
PSoC	cypress.com/psoc
电源管理 IC	cypress.com/pmhc
触摸感应	cypress.com/touch
USB 控制器	cypress.com/usb
无线连接	cypress.com/wireless

PSoC® 解决方案

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#)

赛普拉斯开发者社区

[论坛](#) | [WICED IOT 论坛](#) | [项目](#) | [视频](#) | [博客](#) | [培训](#) | [组件](#)

技术支持

cypress.com/support

© 赛普拉斯半导体公司，2009-2019 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC (“赛普拉斯”) 的财产。本文件，包括其包含或引用的任何软件或固件 (“软件”)，根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性的、非独家且不可转让的如下许可 (无再许可) (1) 在赛普拉斯特软件著作权项下的下列许可 (一) 对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和 (二) 仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供 (无论直接提供或通过经销商和分销商间接提供)，和 (2) 在被软件 (由赛普拉斯公司提供，且未经修改) 侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适用性和特定用途的默示保证。没有任何电子设备是绝对安全的。因此，尽管赛普拉斯在其硬件和软件产品中采取了必要的安全措施，但是赛普拉斯并不承担任何由于使用赛普拉斯产品而引起的安全问题及安全漏洞的责任，例如未经授权的使用或访问赛普拉斯产品。此外，本材料中所介绍的赛普拉斯产品有可能存在设计缺陷或设计错误，从而导致产品的性能与公布的规格不一致。(如果发现此类问题，赛普拉斯会提供勘误表) 赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用者应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统 (包括急救设备和手术植入物)、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途 (“非预期用途”)。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WICED，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。

Mouser Electronics

Authorized Distributor

Click to View Pricing, Inventory, Delivery & Lifecycle Information:

Infineon:

[CY8C20236A-24LKXIT](#) [CY8C20246A-24LKXIT](#) [CY8C20336A-24LQXIT](#) [CY8C20346A-24LQXIT](#) [CY8C20636A-24LTXIT](#) [CY8C20646A-24LTXIT](#) [CY8C20636A-24LQXIT](#) [CY8C20646A-24LQXI](#) [CY8C20646A-24LQXIT](#)
[CY8C20336A-24LQXI](#) [CY8C20446A-24LQXI](#) [CY8C20496A-24LQXIT](#) [CY8C20436A-24LQXI](#) [CY8C20496A-24LQXI](#)
[CY8C20546A-24PVXIT](#) [CY8C20666A-24LQXI](#) [CY8C20536A-24PVXI](#) [CY8C20546A-24PVXI](#) [CY8C20636A-24LQXI](#)
[CY8C20446AS-24LQXI](#) [CY8C20646A-24LTXI](#) [CY8C20246A-24LKXI](#) [CY8C20466A-24LQXI](#) [CY8C20446A-24LQXIT](#)
[CY8C20396A-24LQXI](#) [CY8C20466A-24LQXIT](#) [CY8C20396A-24LQXIT](#) [CY8C20636A-24LTXI](#) [CY8C20346A-24LQXI](#)
[CY8C20436A-24LQXIT](#) [CY8C20536A-24PVXIT](#) [CY8C20236A-24LKXI](#)