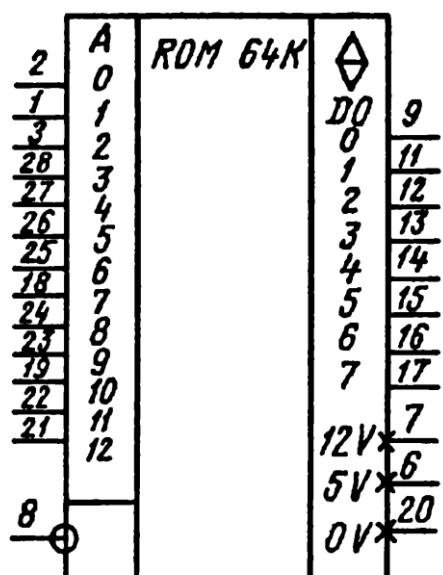


KP568PE2

Микросхема представляет собой статическое постоянное запоминающее устройство емкостью 65536 бит (8192×8) с полной дешифрацией адреса, выходными усилителями и схемой управления "Выбор ИС" с выходом на 3 состояния. Содержит 69500 интегральных элементов. Корпус типа 2121.28-5, масса не более 7 г.

Назначение выводов: 1, 2, 3, 18, 19, 21, 22, 23, 24, 25, 26, 27, 28 — адресные входы; 6 — напряжение питания (U_{n2}); 7 — напряжение питания (U_{n1}); 8 — выбор микросхемы; 9, 11, 12, 13, 14, 15, 16, 17 — выходы; 20 — общий.



Условное графическое обозначение KP568PE2

Электрические параметры

Номинальное напряжение питания:

- U_{n1} $12 \text{ В} \pm 10\%$
 U_{n2} $5 \text{ В} \pm 10\%$

Выходное напряжение низкого уровня $\leq 0,4 \text{ В}$

Выходное напряжение высокого уровня $\geq 2,4 \text{ В}$

Ток потребления:

- от источника питания U_{n1} $\leq 25 \text{ мА}$
от источника питания U_{n2} $\leq 20 \text{ мА}$
- Входной ток низкого уровня $\leq 0,8 \text{ мА}$
Входной ток высокого уровня $\leq 0,02 \text{ мА}$
- Ток утечки на выходе $\leq 3 \text{ мкА}$
- Удельная потребляемая мощность $\leq 6,4 \text{ мкВт/бит}$
- Потребляемая мощность $\leq 600 \text{ мВт}$
- Время выборки адреса $\leq 250 \text{ нс}$
- Время цикла $\geq 400 \text{ нс}$