

特性

与AD7656/AD7657/AD7658引脚兼容、软件兼容，

去耦要求降低

6个独立ADC

真双极性模拟输入

引脚/软件可选范围： $\pm 10\text{ V}$ 、 $\pm 5\text{ V}$

高吞吐速率：250 kSPS

iCMOS工艺技术

低功耗

140 mW (250 kSPS, 5 V电源)

高抗噪性能，宽带宽

信噪比(SNR)88 dB (输入频率10 kHz时)

片内基准电压及缓冲

高速并行、串行和菊花链接口模式

高速串行接口

SPI/QSPI™/MICROWIRE™/DSP兼容

待机模式：最大315 μW

64引脚LQFP封装

应用

电力线路监控和测量系统

仪表和控制系统

多轴定位系统

特性

AD7656-1/AD7657-1/AD7658-1¹分别是AD7656/AD7657/AD7658降低去耦要求的引脚和软件兼容版本，均内置6个16/14/12位、快速、低功耗逐次逼近型ADC，并集成到一个封装中，采用iCMOS®工艺（工业级CMOS）设计。iCMOS是一种将高压硅与亚微米CMOS及互补双极性技术相结合的工艺。通过这种工艺，可开发在33V高压下工作的高性能模拟IC，其体积性能比是以往的高压器件所无法实现的。与采用传统CMOS工艺的模拟IC不同，iCMOS组件不但可以输入双极性信号，同时还能提升性能，大幅降低功耗并减小封装尺寸。

三款器件的吞吐速率高达250 kSPS，并且内置低噪声、宽带宽采样保持放大器，可处理最高4.5 MHz的输入频率。

¹受美国专利第6,731,232号保护。

Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

功能框图

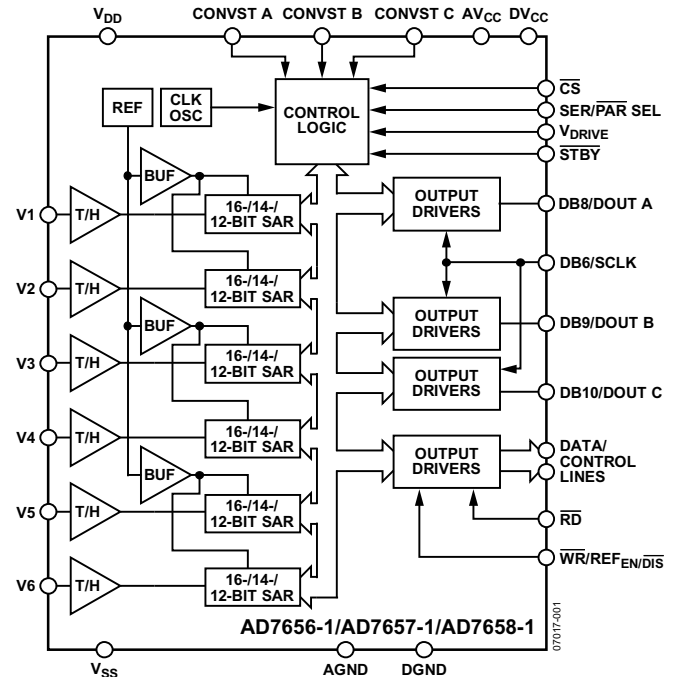


图1.

转换过程与数据采集利用CONVST信号和内部振荡器进行控制。三个CONVST引脚（CONVST A、CONVST B和CONVST C）允许三对ADC独立地进行同步采样。AD7656-1/AD7657-1/AD7658-1具有一个高速并行接口和一个高速串行接口，为器件与微处理器或DSP的接口连接创造了条件。选择串行接口模式时，每个器件都允许多个ADC以菊花链形式连接至单个串行接口。三款器件均可在 $\pm 4 \times V_{REF}$ 范围和 $\pm 2 \times V_{REF}$ 范围内支持真双极性输入信号。此外还内置一个2.5 V片内基准电压源。

产品聚焦

1. 片内集成6个16/14/12位250 kSPS ADC。
2. 6个真双极性、高阻抗模拟输入。
3. 高速并行和串行接口。
4. 与AD7656/AD7657/AD7658器件相比，降低了去耦要求和物料清单成本。

目录

特性	1	工作原理	21
应用	1	转换器详解	21
功能框图	1	ADC传递函数	22
概述	1	内部/外部基准电压	22
产品聚焦	1	典型连接图	22
修订历史	2	驱动模拟输入	23
技术规格	3	接口选项	23
AD7656-1	3	ADC软件选择	25
AD7657-1	5	更改模拟输入范围($\overline{H}/S\ SEL = 0$)	26
AD7658-1	7	更改模拟输入范围($\overline{H}/S\ SEL = 1$)	26
时序规格	9	串行读取操作	26
绝对最大额定值	10	菊花链模式(DCEN = 1, SER/ $\overline{PAR}\ SEL = 1$)	28
热阻	10	应用须知	30
ESD警告	10	电路板布局	30
引脚配置和功能描述	11	外形尺寸	31
典型工作特性	15	订购指南	31
术语	19		

修订历史

2009年3月—修订版0至修订版A

更改特性	1
更改表1	3
更改表2	5
更改表3	7
更改表4	9
更改绝对最大额定值表	10
更改引脚配置和功能描述表	11
更改图9	14
更改转换器详解部分	20
更改内部/外部基准电压部分	21
更改接口选项部分	22
更改并行接口部分	22
更改串行接口(SER/ $\overline{PAR}\ SEL = 1$)部分	25
更改菊花链模式(DCEN = 1, SER/ $\overline{PAR}\ SEL = 1$)	27
更改布局部分	30
更新外形尺寸	31
更改订购指南	31

2008年7月—修订版0:初始版

技术规格

AD7656-1

除非另有说明， $V_{REF} = 2.5\text{ V}$ 内部/外部基准电压， $AV_{CC} = 4.75\text{ V}$ 至 5.25 V ， $DV_{CC} = 4.75\text{ V}$ 至 5.25 V ， $V_{DRIVE} = 2.7\text{ V}$ 至 5.25 V ；对于 $\pm 4 \times V_{REF}$ 范围， $V_{DD} = 10\text{ V}$ 至 16.5 V ， $V_{SS} = -10\text{ V}$ 至 -16.5 V ；对于 $\pm 2 \times V_{REF}$ 范围， $V_{DD} = 5\text{ V}$ 至 16.5 V ， $V_{SS} = -5\text{ V}$ 至 -16.5 V ； $f_{SAMPLE} = 250\text{ kSPS}$ ， $T_A = T_{MIN}$ 至 T_{MAX} 。

表1

参数	最小值	典型值	最大值	单位	测试条件/注释
动态性能					$f_{IN} = 10\text{ kHz}$ 正弦波
信纳比 (SINAD) ¹		88		dB	
信噪比 (SNR) ¹		88		dB	
总谐波失真 (THD) ¹			-90	dB	
峰值谐波或杂散噪声 (SFDR) ¹			-105	dB	$V_{DD}/V_{SS} = \pm 5\text{ V}$ 至 $\pm 16.5\text{ V}$
交调失真 (IMD) ¹			-100	dB	$f_a = 10.5\text{ kHz}$, $f_b = 9.5\text{ kHz}$
二阶项			-112	dB	
三阶项			-107	dB	
孔径延迟			10	ns	
孔径延迟匹配			4	ns	
孔径抖动			35	ps	
通道间隔离 ¹			-100	dB	未选中通道的 f_{IN} 高达 100 kHz
全功率带宽		4.5		MHz	@ -3 dB
		2.2		MHz	@ -0.1 dB
直流精度					
分辨率	16			位	
无失码					
B 级	15			位	
Y 级	14			位	
积分非线性 ¹			± 3	LSB	
		± 1		LSB	
正满量程误差 ¹			± 0.8	% FS	典型值 $\pm 0.381\%$ FSR
正满量程误差匹配 ¹			± 0.35	% FS	
双极性零电平误差 ¹					典型值 $\pm 0.0137\%$ FSR
B 级			± 0.048	% FS	
Y 级			± 0.048	% FS	
双极性零电平误差匹配 ¹			± 0.038	% FS	
负满量程误差 ¹			± 0.8	% FS	典型值 $\pm 0.381\%$ FSR
负满量程误差匹配 ¹			± 0.35	% FS	
模拟输入					
输入电压范围	$-4 \times V_{REF}$		$+4 \times V_{REF}$	V	各范围的 V_{DD}/V_{SS} 最小值见表8。
	$-2 \times V_{REF}$		$+2 \times V_{REF}$	V	RNGx 位或 RANGE 引脚 = 0
			± 1	μA	RNGx 位或 RANGE 引脚 = 1
直流泄漏电流			± 1	μA	
输入电容 ²		10		pF	$\pm 4 \times V_{REF}$ 范围 (采样时)
		14		pF	$\pm 2 \times V_{REF}$ 范围 (采样时)
基准电压输入/输出					
基准输入电压范围	2.5		2.5	V	
直流泄漏电流			± 1	μA	
输入电容 ²		18.5		pF	$REF_{EN\overline{DIS}} = 1$
基准输出电压	2.49		2.51	V	
长期稳定性		150		ppm	1000 小时
基准温度系数			25	ppm/ $^{\circ}\text{C}$	
		6		ppm/ $^{\circ}\text{C}$	

AD7656-1/AD7657-1/AD7658-1

参数	最小值	典型值	最大值	单位	测试条件/注释
逻辑输入					
输入高电压 (V _{INH})	0.7 × V _{DRIVE}			V	典型值10 nA, V _{IN} = 0 V 或 V _{DRIVE}
输入低电压 (V _{INL})			0.3 × V _{DRIVE}	V	
输入电流 (I _{IN})			±10	μA	
输入电容 (C _{IN}) ²			10	pF	
逻辑输出					
输出高电压 (V _{OH})	V _{DRIVE} - 0.2			V	I _{SOURCE} = 200 μA I _{SINK} = 200 μA
输出低电压 (V _{OL})			0.2	V	
浮空态泄漏电流			±10	μA	
浮空态输出电容 ²			10	pF	
输出编码	二进制补码				
转换速率					
转换时间			3.1	μs	仅并行接口模式
采样保持器采集时间 ^{1,2}			550	ns	
吞吐速率			250	kSPS	
电源要求					
V _{DD}	-5		+16.5	V	对于4 × V _{REF} 范围, V _{DD} = 10V至16.5V 对于4 × V _{REF} 范围, V _{SS} = -10V至-16.5V
V _{SS}	-5		-16.5	V	
AV _{CC}	4.75		5.25	V	数字输入 = 0 V 或 V _{DRIVE} AV _{CC} = DV _{CC} = V _{DRIVE} = +5.25 V, V _{DD} = +16.5 V, V _{SS} = -16.5 V f _{SAMPLE} = 250 kSPS, AV _{CC} = DV _{CC} = V _{DRIVE} = +5.25 V, V _{DD} = +16.5 V, V _{SS} = -16.5 V V _{SS} = -16.5 V, f _{SAMPLE} = 250 kSPS V _{DD} = +16.5 V, f _{SAMPLE} = 250 kSPS AV _{CC} = DV _{CC} = V _{DRIVE} = +5.25 V, V _{DD} = +16.5 V, V _{SS} = -16.5 V SCLK 开或关, AV _{CC} = DV _{CC} = V _{DRIVE} = +5.25 V, V _{DD} = +16.5 V, V _{SS} = -16.5 V AV _{CC} = DV _{CC} = V _{DRIVE} = +5.25 V, V _{DD} = +16.5 V, V _{SS} = -16.5 V f _{SAMPLE} = 250 kSPS
DV _{CC}	4.75		5.25	V	
V _{DRIVE}	2.7		5.25	V	
I _{TOTAL} ³					
正常模式-静态			18	mA	
正常模式-工作状态			26	mA	
I _{SS} (工作状态)			0.25	mA	
I _{DD} (工作状态)			0.25	mA	
部分省电模式			7	mA	
完全省电模式 (STBY 引脚)			60	μA	
功耗					
正常模式-静态			94	mW	
正常模式-工作状态			140	mW	
部分省电模式			40	mW	
完全省电模式 (STBY 引脚)			315	μW	

¹ 见术语部分。

² 样片在初次发布期间均经过测试, 以确保符合标准要求。

³ 包括I_{AVCC}、I_{VDD}、I_{VSS}、I_{VDRIVE}和I_{DVCC}。

AD7657-1

除非另有说明， $V_{REF} = 2.5\text{ V}$ 内部/外部基准电压， $AV_{CC} = 4.75\text{ V}$ 至 5.25 V ， $DV_{CC} = 4.75\text{ V}$ 至 5.25 V ， $V_{DRIVE} = 2.7\text{ V}$ 至 5.25 V ；对于 $\pm 4 \times V_{REF}$ 范围， $V_{DD} = 10\text{ V}$ 至 16.5 V ， $V_{SS} = -10\text{ V}$ 至 -16.5 V ；对于 $\pm 2 \times V_{REF}$ 范围， $V_{DD} = 5\text{ V}$ 至 16.5 V ， $V_{SS} = -5\text{ V}$ 至 -16.5 V ； $f_{SAMPLE} = 250\text{ kSPS}$ ， $T_A = T_{MIN}$ 至 T_{MAX} 。

表2

参数	最小值	典型值	最大值	单位	测试条件/注释
动态性能					$f_{IN} = 10\text{ kHz}$ 正弦波
信纳比(SINAD) ¹		82.5		dB	
信噪比(SNR) ¹		83.5		dB	
总谐波失真(THD) ¹			-90	dB	
			-105	dB	
峰值谐波或杂散噪声(SFDR) ¹			-100	dB	
交调失真(IMD) ¹					$f_a = 10.5\text{ kHz}$, $f_b = 9.5\text{ kHz}$
二阶项		-109		dB	
三阶项		-104		dB	
孔径延迟			10	ns	
孔径延迟匹配			4	ns	
孔径抖动		35		ps	
通道间隔离		-100		dB	未选中通道的 f_{IN} 高达 100 kHz
全功率带宽 ¹		4.5		MHz	@ -3 dB
		2.2		MHz	@ -0.1 dB
直流精度					
分辨率	14			位	
无失码	14			位	
积分非线性 ¹			± 1	LSB	
		± 1			
正满量程误差 ¹			± 0.95	% FS	典型值 $\pm 0.27\%$ FSR
正满量程误差匹配 ¹			± 0.366	% FS	
双极性零电平误差 ¹			± 0.04	% FS	典型值 $\pm 0.016\%$ FSR
双极性零电平误差匹配 ¹			± 0.0427	% FS	
负满量程误差 ¹			± 0.95	% FS	典型值 $\pm 0.27\%$ FSR
负满量程误差匹配 ¹			± 0.366	% FS	
模拟输入					各范围的 V_{DD}/V_{SS} 最小值见表8
输入电压范围	$-4 \times V_{REF}$		$+4 \times V_{REF}$	V	RNGx 位或 RANGE 引脚 = 0
	$-2 \times V_{REF}$		$+2 \times V_{REF}$	V	RNGx 位或 RANGE 引脚 = 1
直流泄漏电流			± 1	μA	
输入电容 ²		10		pF	$\pm 4 \times V_{REF}$ 范围 (采样时)
		14		pF	$\pm 2 \times V_{REF}$ 范围 (采样时)
基准电压输入/输出					
基准输入电压范围	2.5		2.5	V	
直流泄漏电流			± 1	μA	
输入电容 ²		18.5		pF	$REF_{EN}/\overline{DIS} = 1$
基准输出电压	2.49		2.51	V	
长期稳定性		150		ppm	1000 小时
基准温度系数			25	ppm/ $^{\circ}\text{C}$	
		6		ppm/ $^{\circ}\text{C}$	
逻辑输入					
输入高电压 (V_{INH})	$0.7 \times V_{DRIVE}$			V	
输入低电压 (V_{INL})			$0.3 \times V_{DRIVE}$	V	
输入电流 (I_{IN})			± 10	μA	典型值 10 nA , $V_{IN} = 0\text{ V}$ 或 V_{DRIVE}
输入电容 (C_{IN}) ²			10	pF	

AD7656-1/AD7657-1/AD7658-1

参数	最小值	典型值	最大值	单位	测试条件/注释
逻辑输出					
输出高电压 (V _{OH})	V _{DRIVE} - 0.2			V	I _{SOURCE} = 200 μA
输出低电压 (V _{OL})			0.2	V	I _{SINK} = 200 μA
浮空态泄漏电流			±10	μA	
浮空态输出电容 ²			10	pF	
输出编码		二进制补码			
转换速率					
转换时间			3.1	μs	
采样保持器采集时间 ^{1,2}			550	ns	
吞吐速率			250	kSPS	仅并行接口模式
电源要求					
V _{DD}	-5		+16.5	V	对于4 × V _{REF} 范围, V _{DD} = 10 V至16.5 V
V _{SS}	-5		-16.5	V	对于4 × V _{REF} 范围, V _{SS} = -10 V至-16.5 V
AV _{CC}	4.75		5.25	V	
DV _{CC}	4.75		5.25	V	
V _{DRIVE}	2.7		5.25	V	
I _{TOTAL} ³					数字输入 = 0 V 或 V _{DRIVE}
正常模式 - 静态			18	mA	AV _{CC} = DV _{CC} = V _{DRIVE} = +5.25 V, V _{DD} = +16.5 V, V _{SS} = -16.5 V
正常模式 - 工作状态			26	mA	f _{SAMPLE} = 250 kSPS, AV _{CC} = DV _{CC} = V _{DRIVE} = +5.25 V, V _{DD} = +16.5 V, V _{SS} = -16.5 V
I _{SS} (工作状态)			0.25	mA	V _{SS} = -16.5 V, f _{SAMPLE} = 250 kSPS
I _{DD} (工作状态)			0.25	mA	V _{DD} = 16.5 V, f _{SAMPLE} = 250 kSPS
部分省电模式			7	mA	AV _{CC} = DV _{CC} = V _{DRIVE} = +5.25 V, V _{DD} = +16.5 V, V _{SS} = -16.5 V
完全省电模式 (STBY引脚)			60	μA	SCLK 开或关, AV _{CC} = DV _{CC} = V _{DRIVE} = +5.25 V, V _{DD} = +16.5 V, V _{SS} = -16.5 V
功耗					AV _{CC} = DV _{CC} = V _{DRIVE} = +5.25 V, V _{DD} = +16.5 V, V _{SS} = -16.5 V
正常模式 - 静态			94	mW	
正常模式 - 工作状态			140	mW	f _{SAMPLE} = 250 kSPS
部分省电模式			40	mW	
完全省电模式 (STBY 引脚)			315	μW	

¹ 见术语部分。

² 样片在初次发布期间均经过测试, 以确保符合标准要求。

³ 包括 I_{AVCC}、I_{VDD}、I_{VSS}、I_{VDRIVE} 和 I_{DVCC}。

AD7658-1

除非另有说明, $V_{REF} = 2.5\text{ V}$ 内部/外部基准电压, $AV_{CC} = 4.75\text{ V}$ 至 5.25 V , $DV_{CC} = 4.75\text{ V}$ 至 5.25 V , $V_{DRIVE} = 2.7\text{ V}$ 至 5.25 V ; 对于 $\pm 4 \times V_{REF}$ 范围, $V_{DD} = 10\text{ V}$ 至 16.5 V , $V_{SS} = -10\text{ V}$ 至 -16.5 V ; 对于 $\pm 2 \times V_{REF}$ 范围, $V_{DD} = 5\text{ V}$ 至 16.5 V , $V_{SS} = -5\text{ V}$ 至 -16.5 V ; $f_{SAMPLE} = 250\text{ kSPS}$, $T_A = T_{MIN}$ 至 T_{MAX} 。

表3

参数	最小值	典型值	最大值	单位	测试条件/注释
动态性能					$f_{IN} = 10\text{ kHz}$ 正弦波
信纳比 (SINAD) ¹		73.5		dB	
		73.5		dB	
总谐波失真 (THD) ¹			-88	dB	
		-100		dB	
峰值谐波或杂散噪声 (SFDR) ¹		-97		dB	
交调失真 (IMD) ¹					$f_a = 10.5\text{ kHz}$, $f_b = 9.5\text{ kHz}$
二阶项		-106		dB	
三阶项		-101		dB	
孔径延迟			10	ns	
孔径延迟匹配			4	ns	
孔径抖动		35		ps	
通道间隔离		-100		dB	未选中通道的 f_{IN} 高达 100 kHz
全功率带宽 ¹		4.5		MHz	@ -3 dB
		2.2		MHz	@ -0.1 dB
直流精度					
分辨率	12			位	
无失码	12			位	
微分非线性			± 0.7	LSB	
积分非线性 ¹			± 0.5	LSB	
正满量程误差 ¹			± 0.95	% FS	典型值 $\pm 0.317\%$ FSR
正满量程误差匹配 ¹			± 0.366	% FS	
双极性零电平误差 ¹			± 2	LSB	典型值 $\pm 0.0125\%$ FSR
双极性零电平误差匹配 ¹			± 2	LSB	
负满量程误差 ¹			± 0.95	% FS	典型值 $\pm 0.317\%$ FSR
负满量程误差匹配 ¹			± 0.366	% FS	
模拟输入					各范围的 V_{DD}/V_{SS} 最小值见表8
输入电压范围	$-4 \times V_{REF}$		$+4 \times V_{REF}$	V	RNGx 位或 RANGE 引脚 = 0
	$-2 \times V_{REF}$		$+2 \times V_{REF}$	V	RNGx 位或 RANGE 引脚 = 1
直流泄漏电流			± 1	μA	
输入电容 ²		10		pF	$\pm 4 \times V_{REF}$ 范围 (采样时)
		14		pF	$\pm 2 \times V_{REF}$ 范围 (采样时)
基准电压输入/输出					
基准输入电压范围	2.5		2.5	V	
直流泄漏电流			± 1	μA	
输入电容 ²		18.5		pF	$REF_{EN}/\overline{DIS} = 1$
基准输出电压	2.49		2.51	V	
长期稳定性		150		ppm	1000 小时
基准温度系数			25	ppm/ $^{\circ}\text{C}$	
		6		ppm/ $^{\circ}\text{C}$	
逻辑输入					
输入高电压 (V_{INH})	$0.7 \times V_{DRIVE}$			V	
输入低电压 (V_{INL})			$0.3 \times V_{DRIVE}$	V	
输入电流 (I_{IN})			± 10	μA	典型值 10 nA , $V_{IN} = 0\text{ V}$ 或 V_{DRIVE}
输入电容 (C_{IN}) ²			10	pF	

AD7656-1/AD7657-1/AD7658-1

参数	最小值	典型值	最大值	单位	测试条件/注释
逻辑输出					
输出高电压 (V _{OH})	V _{DRIVE} - 0.2			V	I _{SOURCE} = 200 μA
输出低电压 (V _{OL})			0.2	V	I _{SINK} = 200 μA
浮空态泄漏电流			±10	μA	
浮空态输出电容 ²			10	pF	
输出编码		二进制补码			
转换速率					
转换时间			3.1	μs	
采样保持器采集时间 ^{1,2}			550	ns	
吞吐速率			250	kSPS	仅并行接口模式
电源要求					
V _{DD}	-5		+16.5	V	对于4×V _{REF} 范围, V _{DD} = 10 V至16.5 V
V _{SS}	-5		-16.5	V	对于4×V _{REF} 范围, V _{SS} = -10 V至-16.5 V
AV _{CC}	4.75		5.25	V	
DV _{CC}	4.75		5.25	V	
V _{DRIVE}	2.7		5.25	V	
I _{TOTAL} ³					数字输入 = 0 V 或 V _{DRIVE}
正常模式 - 静态			18	mA	AV _{CC} = DV _{CC} = V _{DRIVE} = +5.25 V, V _{DD} = +16.5 V, V _{SS} = -16.5 V
正常模式 - 工作状态			26	mA	f _{SAMPLE} = 250 kSPS, AV _{CC} = DV _{CC} = V _{DRIVE} = +5.25 V, V _{DD} = +16.5 V, V _{SS} = -16.5 V
I _{SS} (工作状态)			0.25	mA	V _{SS} = -16.5 V, f _{SAMPLE} = 250 kSPS
I _{DD} (工作状态)			0.25	mA	V _{DD} = 16.5 V, f _{SAMPLE} = 250 kSPS
部分省电模式			7	mA	AV _{CC} = DV _{CC} = V _{DRIVE} = +5.25 V, V _{DD} = +16.5 V, V _{SS} = -16.5 V
完全省电模式 ($\overline{\text{STBY}}$ 引脚)			60	μA	SCLK 开或关, AV _{CC} = DV _{CC} = V _{DRIVE} = +5.25 V, V _{DD} = +16.5 V, V _{SS} = -16.5 V
功耗					AV _{CC} = DV _{CC} = V _{DRIVE} = +5.25 V, V _{DD} = +16.5 V, V _{SS} = -16.5 V
正常模式 - 静态			94	mW	
正常模式 - 工作状态			140	mW	f _{SAMPLE} = 250 kSPS
部分省电模式			40	mW	
完全省电模式 ($\overline{\text{STBY}}$ 引脚)			315	μW	

¹ 见术语部分。

² 样片在初次发布期间均经过测试, 以确保符合标准要求。

³ 包括I_{AVCC}、I_{VDD}、I_{VSS}、I_{VDRIVE}和I_{DVCC}。

时序规格

除非另有说明, AV_{CC} 和 $DV_{CC} = 4.75\text{ V至}5.25\text{ V}$, $V_{DD} = 5\text{ V至}16.5\text{ V}$, $V_{SS} = -5\text{ V至}-16.5\text{ V}$, $V_{DRIVE} = 2.7\text{ V至}5.25\text{ V}$, $V_{REF} = 2.5\text{ V}$ 内部/外部基准电压, $T_A = T_{MIN}$ 至 T_{MAX} 。

表4

参数 ¹	在 t_{MIN} 、 t_{MAX} 时的限值		单位	描述
	$V_{DRIVE} < 4.75\text{ V}$	$V_{DRIVE} = 4.75\text{ V to }5.25\text{ V}$		
并行接口				
$t_{CONVERT}$	3	3	μs (典型值)	转换时间, 内部时钟
t_{QUIET}	150	150	ns (最小值)	总线释放到下一次转换开始的最短安
t_{ACQ}	550	550	ns (最小值)	采集时间
t_{10}	25	25	ns (最小值)	最短CONVST低电平脉冲
t_1	60	60	ns (最大值)	CONVST高电平到BUSY高电平
$t_{WAKE-UP}$	2	2	ms (最大值)	\overline{STBY} 上升沿到CONVST上升沿
	25	25	μs (最大值)	部分省电模式
并行读取操作				
t_2	0	0	ns (最小值)	BUSY 到 \overline{RD} 延迟
t_3	0	0	ns (最小值)	\overline{CS} 到 \overline{RD} 设置时间
t_4	0	0	ns (最小值)	\overline{CS} 到 \overline{RD} 保持时间
t_5	45	36	ns (最小值)	\overline{RD} 脉冲宽度
t_6	45	36	ns (最大值)	\overline{RD} 下降沿后的数据访问时间
t_7	10	10	ns (最小值)	\overline{RD} 上升沿后的数据保持时间
t_8	12	12	ns (最大值)	\overline{RD} 上升沿后的总线释放时间
t_9	6	6	ns (最小值)	两次读取之间的最短间隔时间
并行写入操作				
t_{11}	15	15	ns (最小值)	\overline{WR} 脉冲宽度
t_{12}	0	0	ns (最小值)	\overline{CS} 到 \overline{WR} 设置时间
t_{13}	5	5	ns (最小值)	\overline{CS} 到 \overline{WR} 保持时间
t_{14}	5	5	ns (最小值)	\overline{WR} 上升沿前的数据设置时间
t_{15}	5	5	ns (最小值)	\overline{WR} 上升沿后的数据保持时间
串行接口				
f_{SCLK}	18	18	MHz (最大值)	串行读取时钟频率
t_{16}	12	12	ns (最大值)	从 \overline{CS} 直到 $DOUTx$ 三态禁用的延迟时间
t_{17}^2	22	22	ns (最大值)	SCLK 上升沿/ \overline{CS} 下降沿后的数据访问时间
t_{18}	$0.4 \times t_{SCLK}$	$0.4 \times t_{SCLK}$	ns (最小值)	SCLK 低脉冲宽度
t_{19}	$0.4 \times t_{SCLK}$	$0.4 \times t_{SCLK}$	ns (最小值)	SCLK 高脉冲宽度
t_{20}	10	10	ns (最小值)	在SCLK下降沿后SCLK到数据的有效保持时间
t_{21}	18	18	ns (最大值)	\overline{CS} 上升沿到 $DOUTx$ 高阻抗状态

¹ 样片在初次发布期间均经过测试, 以确保符合标准要求。所有输入信号均指定 $t_r = t_f = 5\text{ ns}$ (10%到90%的 V_{DD}) 并从1.6V电平起开始计时。

² $DOUTx$ 引脚 (引脚5到7) 上利用一个缓冲进行此项测量。

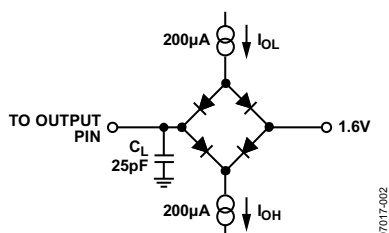


图2. 数字输出时序规格的负载电路

AD7656-1/AD7657-1/AD7658-1

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表5

参数	额定值
V_{DD} 至 AGND, DGND	-0.3 V 至 +16.5 V
V_{SS} 至 AGND, DGND	+0.3 V 至 -16.5 V
V_{DD} 至 AV_{CC}	$V_{CC} - 0.3 \text{ V}$ 至 +16.5 V
AV_{CC} 至 AGND, DGND	-0.3 V 至 +7 V
DV_{CC} 至 AV_{CC}	-0.3 V 至 $AV_{CC} + 0.3 \text{ V}$
DV_{CC} 至 DGND, AGND	-0.3 V 至 +7 V
AGND 至 DGND	-0.3 V 至 +0.3 V
V_{DRIVE} 至 DGND	-0.3 V 至 $DV_{CC} + 0.3 \text{ V}$
模拟输入电压至 AGND ¹	$V_{SS} - 0.3 \text{ V}$ 至 $V_{DD} + 0.3 \text{ V}$
数字输入电压至 DGND	-0.3 V 至 $V_{DRIVE} + 0.3 \text{ V}$
数字输出电压至 DGND	-0.3 V 至 $V_{DRIVE} + 0.3 \text{ V}$
REFIN/REFOUT 至 AGND	-0.3 V 至 $AV_{CC} + 0.3 \text{ V}$
输入电流至除电源外的任何引脚 ²	$\pm 10 \text{ mA}$
工作温度范围	
B 级	-40°C 至 +85°C
Y 级	-40°C 至 +125°C
存储温度范围	-65°C 至 +150°C
结温	150°C
铅锡焊接温度	
回流焊(10秒至30秒)	240(+0)°C
无铅回流焊温度	260(+0)°C
ESD	1.5 kV

¹ 如果利用替代 V_{DD} 和 V_{SS} 电源电路来驱动模拟输入，则应在模拟输入端串联 240Ω 电阻，同时与 AD7656-1/AD7657-1/AD7658-1 的 V_{DD} 和 V_{SS} 电源串接肖特基二极管。

² 高达 100 mA 的瞬态电流不会造成 SCR 闩锁。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定应力值，不涉及器件在这些或任何其它条件下超出本技术规格指标的功能性操作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 针对最差条件，即器件焊接在电路板上以实现表贴封装。这些技术规格适用于 4 层电路板。

表6. 热阻

封装类型	θ_{JA}	θ_{JC}	单位
64 引脚 LQFP	45	11	°C/W

ESD 警告



ESD（静电放电）敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专用保护电路，但在遇到高能量 ESD 时，器件可能会损坏。因此，应当采取适当的 ESD 防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

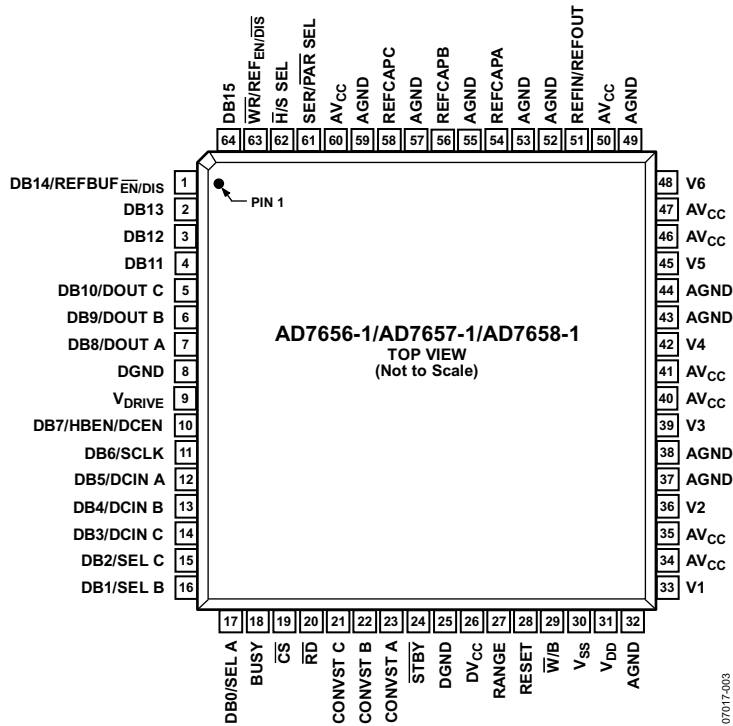


图3. 引脚配置

表7. 引脚功能描述

引脚编号	引脚名称	描述
54, 56, 58	REFCAPA, REFCAPB, REFCAPC	基准源去耦电容A、基准源去耦电容B及基准源去耦电容C。去耦电容连接到这些引脚，以便对每对ADC的基准电压源缓冲进行去耦。将每个REFCAP引脚通过一个1 μF电容去耦至AGND。
33, 36, 39, 42, 45, 48	V1 至 V6	模拟输入1至模拟输入6。这些引脚是单端模拟输入。在硬件模式下，这些通道的模拟输入范围由RANGE引脚决定。在软件模式下，由控制寄存器的RNGC至RNGA位决定（参见表11）。
32, 37, 38, 43, 44, 49, 52, 53, 55, 57, 59	AGND	模拟地。此引脚是AD7656-1/AD7657-1/AD7658-1上所有模拟电路的接地基准点。所有模拟输入信号和外部基准信号都参照这个引脚。所有AGND引脚都连到系统的AGND平面。AGND和DGND电压在理想情况下应保持等电位，并且电位差（甚至在瞬态电压存在情况时）不得超过0.3 V。
26	DVCC	数字电源4.75 V至5.25 V。DVCC和AVCC电压在理想情况下应保持等电位，并且电位差（甚至在瞬态电压存在情况时）不得超过0.3 V。通过一个1 μF电容对DVCC引脚去耦至DGND。
9	VDRIVE	逻辑电源输入。此引脚的电源电压决定逻辑接口的工作电压。此引脚的电源与主机接口电源相同。
8, 25	DGND	数字地。此引脚是AD7656-1/AD7657-1/AD7658-1上所有数字电路的接地基准点。两个DGND引脚都连接到系统的DGND平面。DGND和AGND电压在理想情况下应保持等电位，并且电位差（甚至在瞬态电压存在情况时）不得超过0.3 V。
34, 35, 40, 41, 46, 47, 50, 60	AVCC	模拟电源电压4.75 V至5.25 V，这是ADC内核的电源电压。AVCC和DVCC电压在理想情况下应保持等电位，并且电位差（甚至在瞬态电压存在情况时）不得超过0.3 V。
21, 22, 23	CONVST C, CONVST B, CONVST A	转换开始输入A，转换开始输入B和转换开始输入C，这些逻辑输入用来启动ADC对转换。CONVST A用来启动V1和V2同步转换。CONVST B用来启动V3和V4同步转换。CONVST C用来启动V5和V6同步转换。当其中一个引脚从低电平变为高电平时，所选ADC对的取样保持开关从采样切换到保持，然后便启动转换。利用这些输入端，还可让ADC对进入部分省电模式。

AD7656-1/AD7657-1/AD7658-1

引脚编号	引脚名称	描述
19	\overline{CS}	片选。此低电平有效逻辑输入使能数据帧传输。如果 \overline{CS} 和 \overline{RD} 均处于逻辑低电平，同时选择并行接口，则会使能输出总线，使转换结果被输出在并行数据总线上。如果 \overline{CS} 和 \overline{WR} 均处于逻辑低电平，同时选择并行接口，则利用DB[15:8]将数据写入片上控制寄存器。当选择串行接口时，利用 \overline{CS} 使能串行数据帧传输，并逐个输出串行输出数据的最高有效位(MSB)。
20	\overline{RD}	读取数据。如果 \overline{CS} 和 \overline{RD} 均处于逻辑低电平，同时选择并行接口，则会启用输出总线。当选择串行接口时，RD线路应保持低电平。
63	$\overline{WR}/REF_{EN}/\overline{DIS}$	写入数据/启用和禁用基准电压。当 \overline{H}/S SEL引脚处于高电平，且 \overline{CS} 和 \overline{WR} 均处于逻辑低电平时，利用DB[15:8]将数据写入内部控制寄存器。当 \overline{H}/S SEL引脚处于低电平时，此引脚用来启用或禁用内部基准电压。当 H/S SEL = 0且 REF_{EN}/\overline{DIS} = 0时，禁用内部基准电压，应将外部基准电压施加到REFIN/REFOUT引脚。当 H/S SEL = 0且 REF_{EN}/\overline{DIS} = 1时，启用内部基准电压，应该对REFIN/REFOUT引脚加去耦。参见内部/外部基准电压部分。
18	BUSY	输出繁忙。开始转换时，此引脚变为高电平，并保持高电平直到转换完成，并且转换数据被锁存到输出数据寄存器。如果BUSY信号处于高电平，由于会忽略任何施加的CONVST边沿，因此AD7656-1/AD7657-1/AD7658-1无法启动新的转换。
51	REFIN/REFOUT	基准电压输入/基准电压输出。可通过此引脚提供片上基准电压。或者，可禁用内部基准电压，并将外部基准电压施加到此输入端。参见内部/外部基准电压部分。启用内部基准电压时，利用至少一个1 μ F去耦电容对此引脚去耦。
61	SER/ \overline{PAR} SEL	串行/并行选择输入。当此引脚处于低电平时，选择并行接口。当此引脚处于高电平时，选择串行接口。当选择串行接口时，DB[10:8]用作DOUT[C:A]，DB[0:2]用作DOUT，而DB7用作DCEN。当选择串行接口时，连接DB15及DB[13:11]到DGND。
17	DB0/SEL A	数据位0/选择DOUT A。当SER/ \overline{PAR} SEL = 0时，此引脚充当三态并行数字输出引脚。当SER/ \overline{PAR} SEL = 1时，此引脚用作SEL A，并用来配置串行接口。如果此引脚为1，则串行接口使用1、2或3个DOUT输出引脚工作，并启用DOUT A作为串行输出端。当选择串行接口时，此引脚始终设为1。
16	DB1/SEL B	数据位1/选择DOUT B。当SER/ \overline{PAR} SEL = 0时，此引脚充当三态并行数字输出引脚。当SER/ \overline{PAR} SEL = 1时，此引脚用作SEL B，并用来配置串行接口。如果此引脚为1，则串行接口使用2或3个DOUT输出引脚工作，并启用DOUT B作为串行输出端。如果此引脚为0，则不启用DOUT B作为串行数据输出端引脚，仅使用一个DOUT输出引脚DOUT A。不用的串行DOUT引脚应保持不连接。
15	DB2/SEL C	数据位2/选择DOUT C。当SER/ \overline{PAR} SEL = 0时，此引脚充当三态并行数字输出引脚。当SER/ \overline{PAR} SEL = 1时，此引脚用作SEL C，并用来配置串行接口。如果此引脚为1，则串行接口使用3个DOUT输出引脚工作，并启用DOUT C作为串行输出端。如果此引脚为0，则不启用DOUT C作为串行数据输出引脚。不用的串行DOUT引脚应保持不连接。
14	DB3/DCIN C	数据位3/菊花链输入C。当SER/ \overline{PAR} SEL = 0时，此引脚充当三态并行数字输出引脚。当SER/ \overline{PAR} SEL = 1且DCEN = 1时，此引脚充当菊花链输入C。当选择串行接口，但器件未在菊花链模式下工作时，将此引脚和DGND相连。
13	DB4/DCIN B	数据位4/菊花链输入B。当SER/ \overline{PAR} SEL = 0时，此引脚充当三态并行数字输出引脚。当SER/ \overline{PAR} SEL = 1且DCEN = 1时，此引脚充当菊花链输入B。当选择串行接口，但器件未在菊花链模式下工作时，将此引脚和DGND相连。
12	DB5/DCIN A	数据位5/菊花链输入A。当SER/ \overline{PAR} SEL处于低电平时，此引脚充当三态并行数字输出引脚。当SER/ \overline{PAR} SEL = 1且DCEN = 1时，此引脚充当菊花链输入A。当选择串行接口，但器件未在菊花链模式下工作时，将此引脚和DGND相连。
11	DB6/SCLK	数据位6/串行时钟。当SER/ \overline{PAR} SEL = 0时，此引脚充当三态并行数字输出引脚。当SER/ \overline{PAR} SEL = 1时，此引脚用作SCLK输入，并成为串行传输的读取串行时钟。
10	DB7/HBEN/DCEN	数据位7/高字节启用/菊花链启用。当选择并行接口，并在字模式下使用器件 (SER/ \overline{PAR} SEL = 0且 \overline{W}/B = 0) 时，此引脚用作数据位7。当选择并行接口，并在字节模式下使用器件 (SER/ \overline{PAR} SEL = 0且 \overline{W}/B = 1) 时，此引脚用作HBEN。如果HBEN引脚处于逻辑高电平，则先在DB[15:8]上输出MSB字节数据。如果HBEN引脚处于逻辑低电平，则先在DB[15:8]上输出LSB字节数据。当选择串行接口 (SER/ \overline{PAR} SEL = 1) 时，此引脚用作DCEN。如果DCEN引脚处于逻辑高电平时，则器件采用菊花链模式工作，同时DB[5:3]用作DCIN[A:C]。当选择串行接口，但器件未在菊花链模式下工作时，将此引脚和DGND相连。

AD7656-1/AD7657-1/AD7658-1

引脚编号	引脚名称	描述
7	DB8/DOUT A	数据位8/串行数据输出A。当SER/ $\overline{\text{PAR SEL}} = 0$ 时，此引脚充当三态并行数字输出引脚。当SER/ $\overline{\text{PAR SEL}} = 1$ 且SEL A = 1时，此引脚用作DOUT A，并输出串行转换数据。
6	DB9/DOUT B	数据位9/串行数据输出B。当SER/ $\overline{\text{PAR SEL}} = 0$ 时，此引脚充当三态并行数字输出引脚。当SER/ $\overline{\text{PAR SEL}} = 1$ 且SEL B = 1时，此引脚用作DOUT B，并输出串行转换数据。在此配置下，串行接口具有两路DOUT输出线。
5	DB10/DOUT C	数据位10/串行数据输出C。当SER/ $\overline{\text{PAR SEL}} = 0$ 时，此引脚充当三态并行数字输出引脚。当SER/ $\overline{\text{PAR SEL}} = 1$ 且SEL C = 1时，此引脚用作DOUT C，并输出串行转换数据。在此配置下，串行接口具有三路DOUT输出线。
4	DB11	数据位11/数字地。当SER/ $\overline{\text{PAR SEL}} = 0$ 时，此引脚充当三态并行数字输出引脚。当SER/ $\overline{\text{PAR SEL}} = 1$ 时，将此引脚和DGND相连。
2, 3, 64	DB13, DB12, DB15	数据位12、数据位13、数据位15。当SER/ $\overline{\text{PAR SEL}} = 0$ 时，这些引脚充当三态并行数字输入/输出引脚。当 $\overline{\text{CS}}$ 和 $\overline{\text{PD}}$ 均处于低电平时，这些引脚用来输出转换结果。当 $\overline{\text{CS}}$ 和 $\overline{\text{WR}}$ 均处于低电平时，这些引脚用来写入控制寄存器。当SER/ $\overline{\text{PAR SEL}} = 1$ 时，将这些引脚和DGND相连。对于AD7657-1，DB15内含前置0。对于AD7658-1，DB15、DB13和DB12内含前置0。
1	DB14/REFBUF $\overline{\text{EN/DIS}}$	数据位14/启用和禁用基准电压缓冲。当SER/ $\overline{\text{PAR SEL}} = 0$ 时，此引脚充当三态并行数字输入/输出引脚。对于AD7657-1和AD7658-1，DB14内含前置0。当SER/ $\overline{\text{PAR SEL}} = 1$ 时，此引脚可用来启用或禁用内部基准电压缓冲。
28	RESET	复位输入。当设为逻辑高电平时，此引脚可复位AD7656-1/AD7657-1/AD7658-1。在软件模式下，中止当前转换，并将内部寄存器设为全零。在硬件模式下，根据硬件选择引脚上的逻辑电平来配置AD7656-1/AD7657-1/AD7658-1。在两种模式下，器件应该在上电后收到一个RESET高脉冲。RESET高脉冲宽度典型值为100ns。CONVST引脚可在RESET高脉冲期间保持高电平。但是，如果CONVST引脚在RESET脉冲期间保持低电平，则在RESET脉冲之后，AD7656-1/AD7657-1/AD7658-1需接收一个完整的CONVST脉冲以便启动首次转换；这个CONVST脉冲应包括一个高至低的CONVST下降沿，随后是一个低至高的CONVST上升沿。在硬件模式下，用户可在每个转换周期后发出RESET脉冲，即在BUSY从高电平变为低电平并读取数据后，可以给器件施加一个100ns RESET脉冲。然后可在下一个完整的CONVST脉冲之前发出RESET脉冲。在此情况下，确保RESET在下一个完整的CONVST脉冲之前恢复逻辑低电平。
27	RANGE	模拟输入范围选择。逻辑输入。此引脚的逻辑电平决定模拟输入通道的输入范围。当此引脚在BUSY下降沿为逻辑1时，下一次转换的范围为 $\pm 2 \times V_{\text{REF}}$ 。当此引脚在BUSY下降沿为逻辑0时，下一次转换的范围为 $\pm 4 \times V_{\text{REF}}$ 。在硬件选择模式下，在BUSY下降沿检查RANGE引脚。在软件模式($\overline{\text{H/S SEL}} = 1$)下，可将RANGE引脚和DGND相连，然后由控制寄存器内的RNGA、RNGB和RNGC位决定输入范围。
31	V _{DD}	正电源电压，这是模拟输入部分的正电源电压。
30	V _{SS}	负电源电压，这是模拟输入部分的负电源电压。
24	$\overline{\text{STBY}}$	待机模式输入。此引脚用来让全部六个片上ADC进入待机模式。 $\overline{\text{STBY}}$ 引脚处于高电平时表示正常操作，处于低电平时表示待机操作。
62	$\overline{\text{H/S SEL}}$	硬件/软件选择输入。逻辑输入。当 $\overline{\text{H/S SEL}} = 0$ 时，AD7656-1/AD7657-1/AD7658-1在硬件选择模式下工作，并通过CONVST引脚来选择需同步采样的ADC对。当 $\overline{\text{H/S SEL}} = 1$ 时，通过写入控制寄存器操作来选择需同步采样的ADC对。当选择串行接口时，利用CONVST A启动所选ADC对转换。
29	$\overline{\text{W/B}}$	字/字节输入。当此引脚处于逻辑低电平时，可利用并行数据线DB[15:0]来传输AD7656-1/AD7657-1/AD7658-1的输入输出数据。当此引脚处于逻辑高电平且选择并行接口时，启用字节模式。在此模式下，利用数据线DB[15:8]来传输数据，DB 7用作HBEN。要获得16位转换结果，需进行双字节读取。当选择串行接口时，将此引脚和DGND相连。

典型工作特性

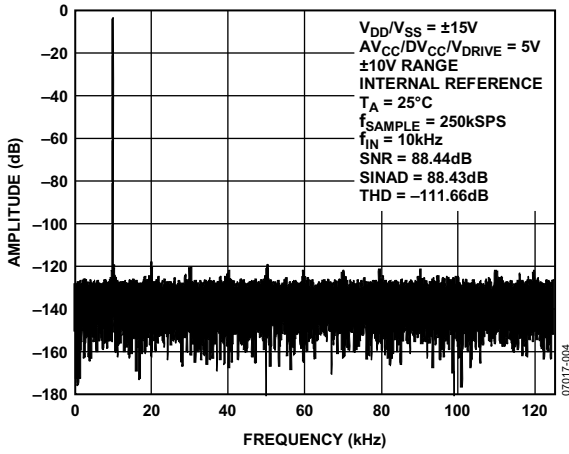


图4. AD7656-1 FFT ($\pm 10V$ 范围, $V_{DD}/V_{SS} = \pm 15V$)

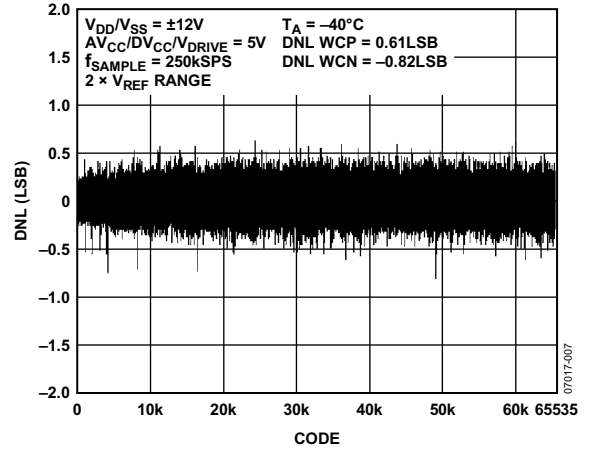


图7. AD7656-1典型微分非线性(DNL)性能

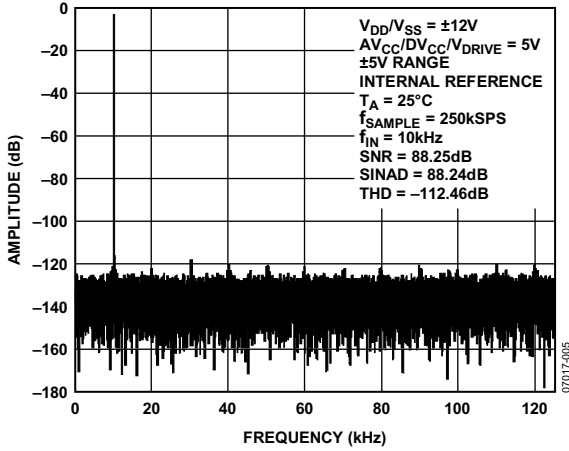


图5. AD7656-1 FFT ($\pm 5V$ 范围, $V_{DD}/V_{SS} = \pm 12V$)

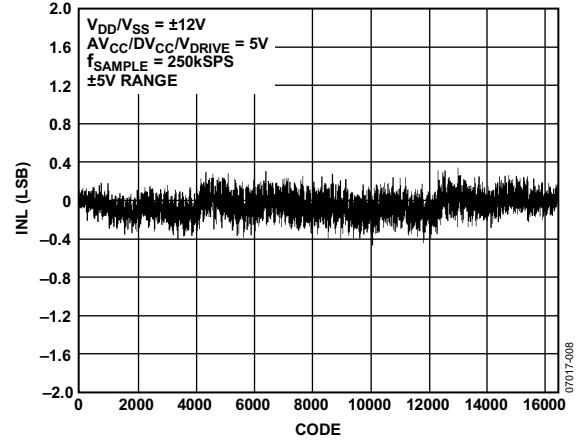


图8. AD7657-1典型积分非线性(INL)性能

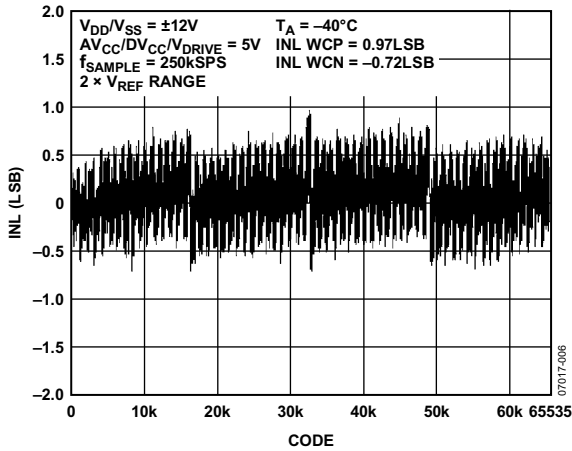


图6. AD7656-1典型积分非线性(INL)性能

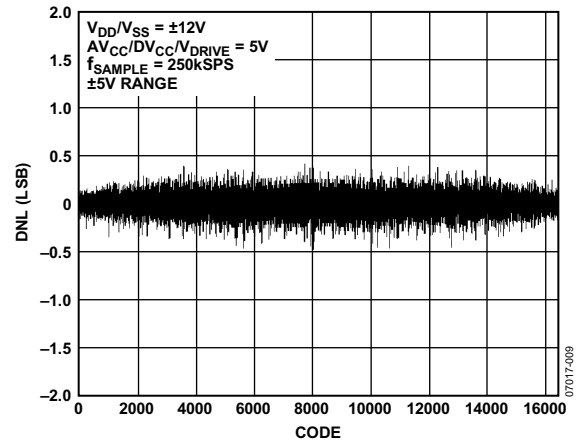


图9. AD7657-1典型微分非线性(DNL)性能

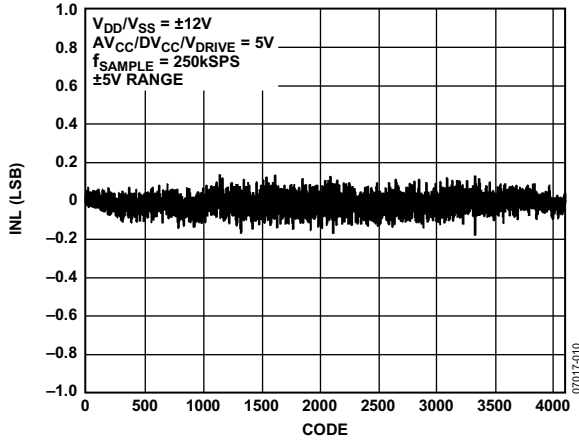


图10. AD7658-1典型积分非线性(INL)性能

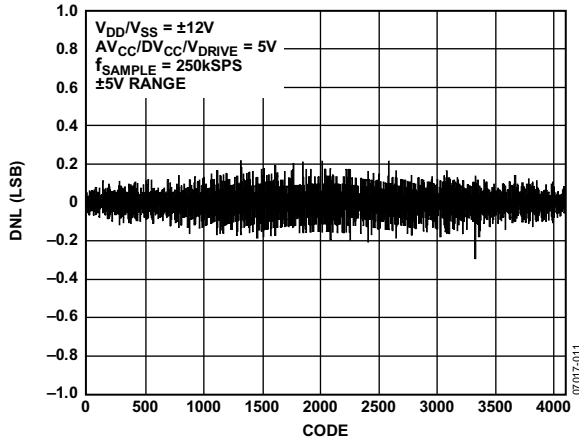


图11. AD7658-1典型微分非线性(DNL)性能

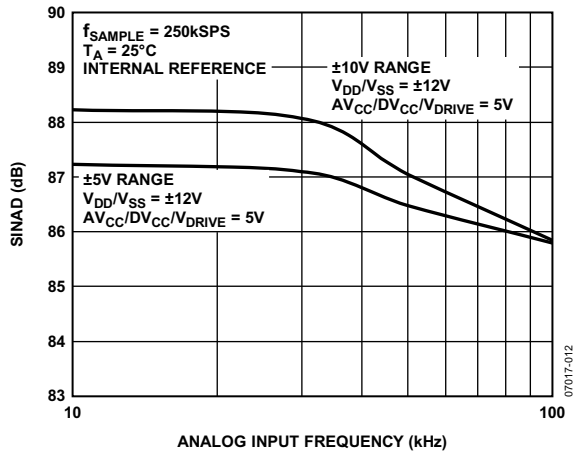


图12. AD7656-1信纳比(SINAD)性能与模拟输入频率的关系

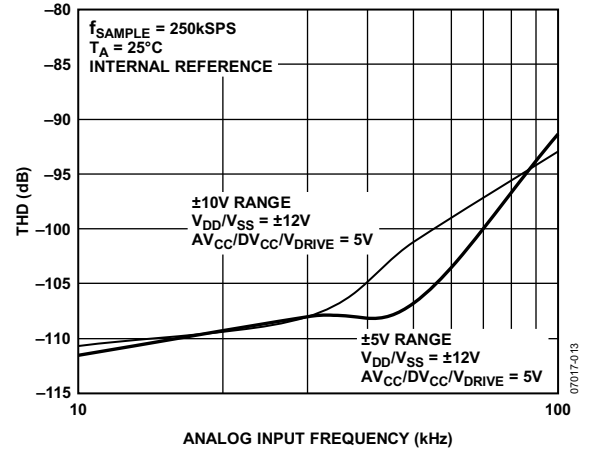


图13. AD7656-1总谐波失真(THD)性能与模拟输入频率的关系

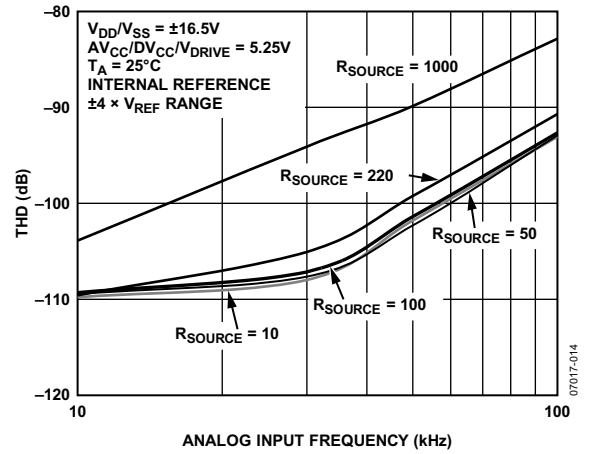


图14. 在各种源阻抗下及 $\pm 4 \times V_{REF}$ 范围内, AD7656-1总谐波失真(THD)性能与模拟输入频率的关系

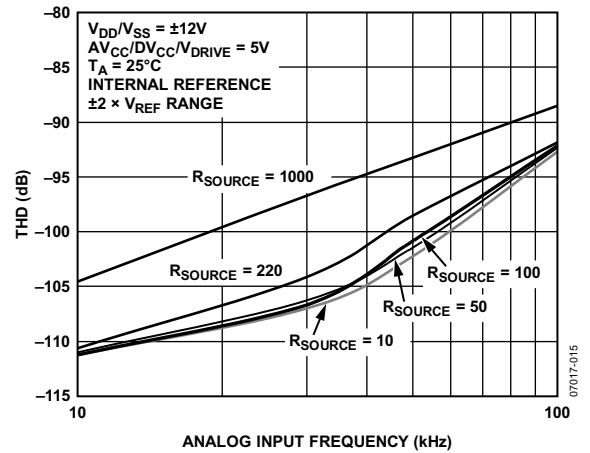


图15. 在各种源阻抗下及 $\pm 2 \times V_{REF}$ 范围内, AD7656-1总谐波失真(THD)性能与模拟输入频率的关系

AD7656-1/AD7657-1/AD7658-1

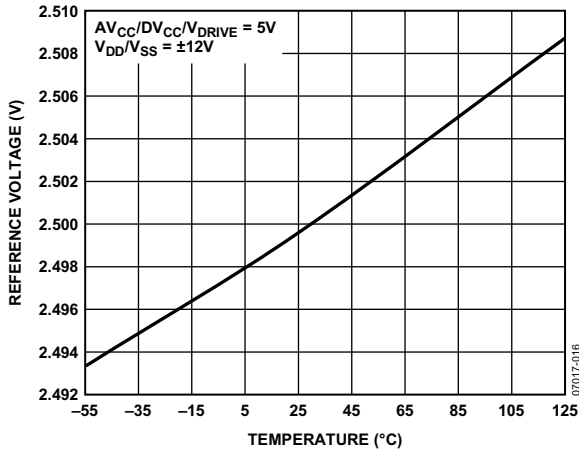


图16. 基准电压与温度的关系

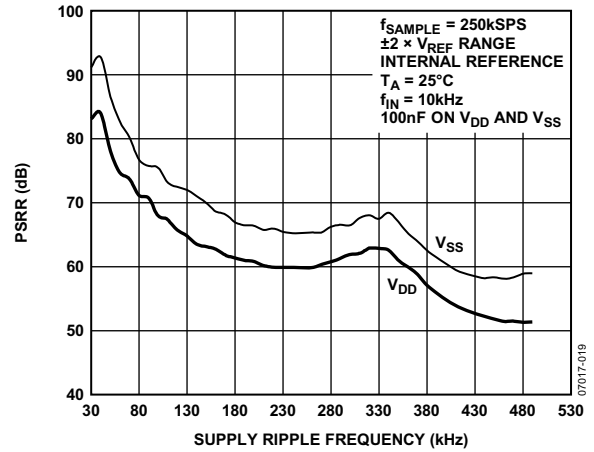


图19. 电源电压抑制比(PSRR)与电源纹波频率的关系

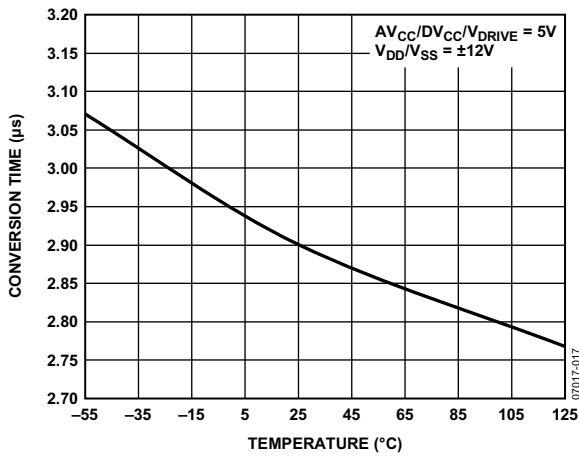


图17. 转换时间与温度的关系

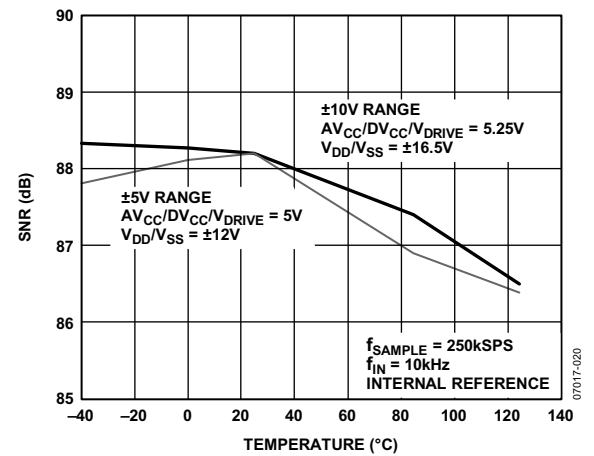


图20. AD7656-1信噪比(SNR)与温度的关系

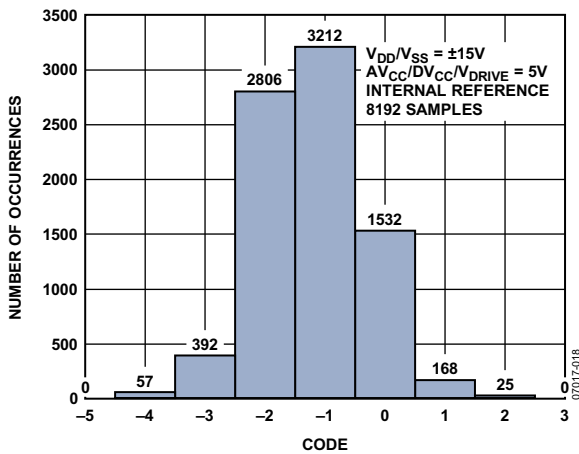


图18. AD7656-1(模拟输入接地情况下)输出码字直方图

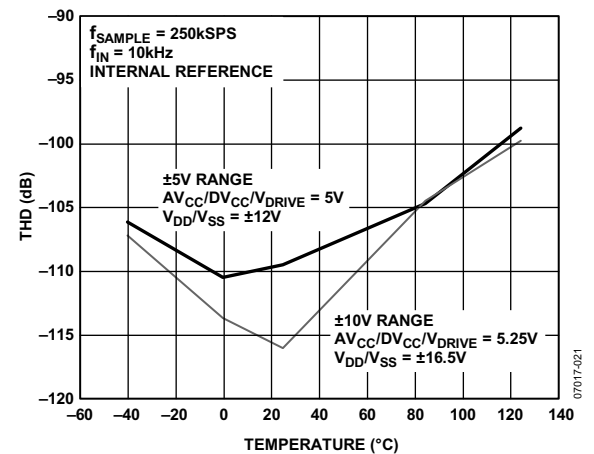


图21. AD7656-1总谐波失真(THD)与温度的关系

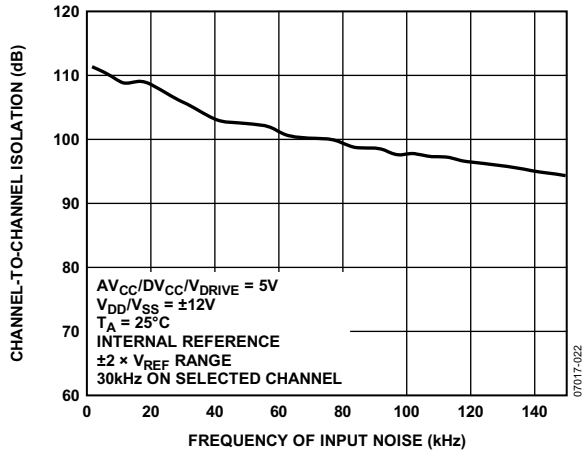


图22. 通道间隔离与输入噪声频率的关系

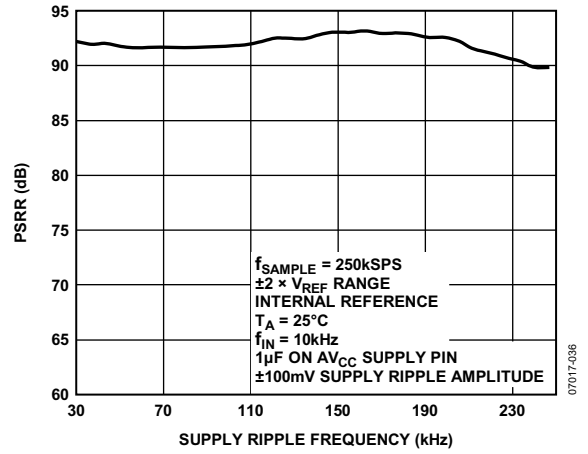


图24. 电源电压抑制比(PSRR)与 AV_{CC} 电源纹波频率的关系

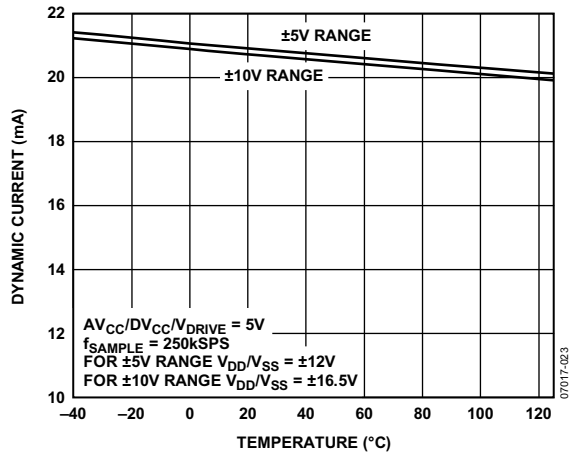


图23. 动态电流与温度的关系

术语

积分非线性(INL)

ADC传递函数与一条通过ADC传递函数端点的直线的最大偏差。传递函数的两个端点，起点在低于第一个码转换的 $\frac{1}{2}$ LSB处的零电平，终点在高于最后一个码转换的 $\frac{1}{2}$ LSB处的满量程。

微分非线性(DNL)

ADC中任意两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。

双极性零电平误差

半量程转换(全1到全0)与理想VIN电压，即AGND - 1 LSB的偏差。

双极性零电平误差匹配

任何两个输入通道之间双极性零电平误差的差异。

正满量程误差

校正双极性零电平误差之后，最后一个码转换(011 ... 110至011 ... 111)与理想值(+4 × V_{REF} - 1 LSB, +2 × V_{REF} - 1 LSB)的偏差。

正满量程误差匹配

任何两个输入通道之间正满量程误差的差异。

负满量程误差

校正双极性零电平误差之后，第一个码转换(10 ... 000至10 ... 001)与理想值(-4 × V_{REF} + 1 LSB, -2 × V_{REF} + 1 LSB)的偏差。

负满量程误差匹配

任何两个输入通道之间负满量程误差的差异。

采样保持采集时间

采样保持放大器在转换结束后恢复跟踪模式。采样保持采集时间是转换结束后，采样保持放大器输出达到最终值(在±1 LSB内)所需的时间。更多详情参见“采样保持”部分。

信纳比(SINAD)

在ADC输出端测得的信号对噪声及失真比。这里的信号是基波的均方根幅值。噪声为所有达到采样频率一半($f_{\text{SAMPLE}}/2$, 直流信号除外)的非基波信号之和。

在数字化过程中，这个比值的大小取决于量化级数，量化级数越多，量化噪声就越小。对于一个正弦波输入的理想N位转换器，信纳比理论值计算公式为：

$$\text{SINAD} = (6.02N + 1.76) \text{ dB}$$

因此，16位转换器的SINAD理论值为98dB，14位转换器为86.04 dB，12位转换器为74dB。

总谐波失真(THD)

所有谐波均方根和与基波的比值。对于AD7656-1/AD7657-1/AD7658-1，其定义为

$$\text{THD}(\text{dB}) = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

其中：

V₁是基波幅值的均方根值。

V₂、V₃、V₄、V₅及V₆是二次到六次谐波幅值的均方根值。

峰值谐波或杂散噪声

在ADC输出频谱(最高达 $f_{\text{SAMPLE}}/2$, 直流信号除外)中，下一个最大分量的均方根值与基波均方根值的比。通常情况下，此参数值由频谱内的最大谐波决定，但对于谐波淹没于本底噪声内的ADC，则由噪声峰值决定。

交调失真(IMD)

当输入由两个频率分别为fa和fb的正弦波组成时，任何非线性有源器件都会以和与差频率mfa ± nfb (其中m, n = 0, 1, 2, 3)的形式产生失真积。交调失真项的m和n都不等于0。例如，二阶项包括(fa + fb)和(fa - fb)，而三阶项包括(2fa + fb)、(2fa - fb)、(fa + 2fb)和(fa - 2fb)。

AD7656-1/AD7657-1/AD7658-1经过CCIF标准测试，此标准使用最大输入带宽附近的两个输入频率。在此情况下，二阶项频率通常远离最初正弦波，而三阶项频率通常靠近输入频率。因此，二阶和三阶项需分别指定。交调失真根据THD参数来计算，它是个别失真积的均方根和与基波和的幅值均方根的比值，用分贝表示。

通道间隔离

通道间隔离衡量任意两个通道之间的串扰水平。通过向所有未选定的输入通道施加一个满量程、100kHz正弦波信号，并决定该信号在选定通道内随30kHz信号的衰减程度来测量。

电源抑制(PSR)

电源变化会影响转换器的满量程转换，但不会影响其线性。电源抑制是由于电源电压偏离标称值所引起的最大满量程转换点变化。参见“典型工作特性”部分。

图19显示AD7656-1/AD7657-1/AD7658-1的电源抑制比与电源纹波频率的关系。电源抑制比定义为满量程频率f下ADC输出功率与采样频率 f_{SAMPLE} 下施加于ADC V_{DD} 和 V_{SS} 电源的200mV峰峰值正弦波功率的比值：

$$PSRR \text{ (dB)} = 10 \log(P_f/P_fS)$$

其中：

P_f 是在频率f下ADC的输出功率。

P_fS 是在频率 f_{SAMPLE} 下耦合到 V_{DD} 和 V_{SS} 电源的功率。

AD7656-1/AD7657-1/AD7658-1

工作原理

转换器详解

AD7656-1/AD7657-1/AD7658-1分别是AD7656/AD7657/AD7658降低去耦要求的引脚和软件兼容版本。此外，三款器件均为高速、低功耗转换器，允许对六个片上ADC进行同步采样，并且模拟输入端可接收真双极性输入信号。可通过RANGE引脚或RNGx位，选择 $\pm 4 \times V_{REF}$ 或 $\pm 2 \times V_{REF}$ 作为下一次转换的输入范围。

AD7656-1/AD7657-1/AD7658-1均内置六个SAR ADC、六个采样保持放大器、一个2.5V片上基准电压、基准电压缓冲和高速串行并行接口。三个CONVST（CONVST A、CONVST B和CONVST C）引脚连在一起时，还允许对所有六个ADC进行同步采样。或者，六个ADC可分成三对。每对都有一个相关的CONVST信号，用来对每对、四个或全部六个ADC启动同步采样。CONVST A用来对V1和V2启动同步采样，CONVST B用来对V3和V4启动同步采样，而CONVST C用来对V5和V6启动同步采样。

通过脉冲激活CONVST输入，可启动AD7656-1/AD7657-1/AD7658-1的转换。在CONVST上升沿时，所选ADC对的采样保持放大器进入保持模式，并开始转换。达到CONVST上升沿后，BUSY信号变为高电平，表示正在进行转换。转换采用内部时钟，转换时间为3 μ s。只要BUSY保持高电平，便会忽略CONVST A、CONVST B或CONVST C上的任何其他CONVST上升沿。BUSY信号恢复低电平表示转换结束。在BUSY下降沿时，采样保持放大器返回跟踪模式。数据可通过并行或串行接口从输出寄存器读取。

采样保持放大器

AD7656-1/AD7657-1/AD7658-1的采样保持放大器可以将满量程幅值的输入正弦波分别精确地转换成16/14/12位分辨率。即使AD7656-1/AD7657-1/AD7658-1以最大吞吐速率工作，采样保持放大器的输入带宽也大于ADC的奈奎斯特频率。这些器件可支持高达4.5 MHz的输入频率。

采样保持放大器在CONVST上升沿时对其各自输入进行同步采样。采样保持放大器的孔径时间（即外部CONVST信号从采样到实际进入保持模式的延迟时间）为10ns。无论是单个器件还是器件之间，所有六个采样保持放大器的孔径时间都完全匹配。因此允许对六个以上ADC进行同步采样。BUSY下降沿表示转换结束，此时采样保持放大器返回跟踪模式，采集时间开始计时。

模拟输入

AD7656-1/AD7657-1/AD7658-1支持真双极性输入电压。RANGE引脚的逻辑电平或控制寄存器RNGx位的写入值决定下一次转换的模拟输入范围。当RANGE引脚或RNGx位为1时，下一次转换的模拟输入范围为 $\pm 2 \times V_{REF}$ 。当RANGE引脚或RNGx位为0时，下一次转换的模拟输入范围为 $\pm 4 \times V_{REF}$ 。

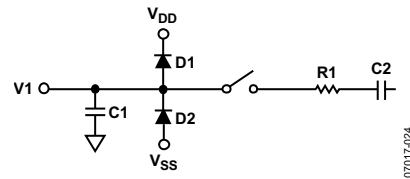


图25. 等效模拟输入结构

图25显示AD7656-1/AD7657-1/AD7658-1模拟输入结构的等效电路。二极管D1和D2提供模拟输入的ESD保护。切记，模拟输入信号决不能超过VDD和VSS供电轨300mV以上，否则会造成这些二极管正偏，并开始向基板内传导电流。这些二极管可以传导但不会对器件造成彻底损坏的最大电流为10mA。图25中的电容C1通常约为4 pF，可以主要归为引脚电容。电阻R1是一个集总元件，由开关（即采样保持开关）的导通电阻组成，一般约为3.5 k Ω 。电容C2是ADC采样电容，一般为10 pF。

AD7656-1/AD7657-1/AD7658-1的高压模拟输入结构需要VDD和VSS双电源。这些电源必须等于或大于模拟输入范围（各模拟输入范围的电源要求见表8）。AD7656-1/AD7657-1/AD7658-1需要一个4.75 V至5.25 V的低压AVCC电源给ADC核心供电，一个4.75 V至5.25 V的DVCC电源作为数字电源以及一个2.7 V至5.25 V的VDRIVE电源作为接口电源。

在选定模拟输入范围使用最小电源电压时，为了满足指定性能要求，可能必须降低最大吞吐率。

表8. 最低VDD/VSS电源电压要求

模拟输入范围 (V)	基准电压 (V)	满量程输入 (V)	最小VDD/VSS (V)
$\pm 4 \times V_{REF}$	2.5	± 10	± 10
$\pm 2 \times V_{REF}$	2.5	± 5	± 5

ADC传递函数

AD7656-1/AD7657-1/AD7658-1输出采用二进制补码。所设计的码转换在连续LSB整数值的中间(即1/2 LSB、32 LSB)进行。AD7656-1的LSB大小为FSR/65,536, AD7657-1为FSR/16,384, 而AD7658-1为FSR/4096。理想的传递特性如图26所示。

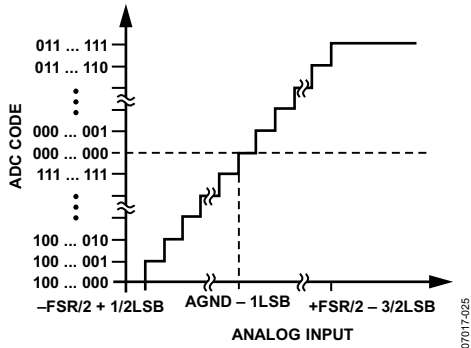


图26. AD7656-1/AD7657-1/AD7658-1传递特性

LSB大小取决于所选的模拟输入范围(见表9)。

内部/外部基准电压

REFIN/REFOUT引脚既可使用AD7656-1/AD7657-1/AD7658-1的2.5V基准电压, 也允许连接外部基准电压, 以便提供转换基准电压源。

AD7656-1/AD7657-1/AD7658-1均支持2.5V外部基准电压。通过REFIN/REFOUT引脚施加外部基准电压时, 必须禁用内部基准电压, 并启用基准电压缓冲。或者, 也可通过REFCAPx引脚施加外部基准电压, 此时应禁用内部基准电压, 建议同时禁用基准电压缓冲, 以节省功耗、降低串扰。复位后, 这些器件默认在外部基准电压模式下工作, 同时禁用内部基准电压, 并启用基准电压缓冲。

内部基准电压既可在硬件模式下使能, 也可在软件模式下使能。若要在硬件模式下使能内部基准电压, 将 \overline{H}/S SEL引脚置于0并将REF_{EN/DIS}引脚置于1。若要在软件模式下使能内部基准电压, 将 \overline{H}/S SEL置于1, 并写入控制寄存器, 将DB9置于1。对于内部基准电压模式, 使用一个1 μ F电容对REFIN/REFOUT引脚进行去耦。

AD7656-1/AD7657-1/AD7658-1均含有三个片上基准电压缓冲, 如图27所示。三对ADC各对应一个基准电压缓冲。这些基准电压缓冲要求在REFCAPA、REFCAPB及REFCAPC引脚使用外部去耦电容(1 μ F)。内部基准电压缓冲可在软件模式下禁用, 通过向内部控制寄存器写入DB8位来实现。如果选择串行接口, 可在硬件模式下, 将DB14/REFBUF_{EN/DIS}引脚设为高电平来禁用内部基准电压缓冲。如果内部基准电压及其缓冲均禁用, 可向REFCAPx引脚施加外部缓冲基准电压。

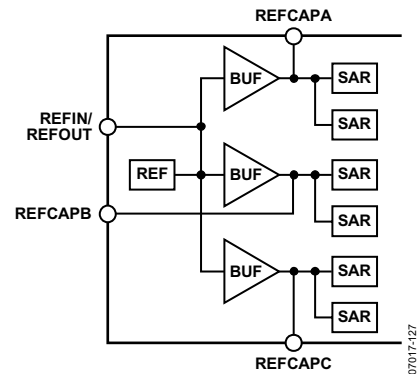


图27. 基准电压电路

典型连接图

图28显示AD7656-1/AD7657-1/AD7658-1的典型连接图, 其中所需的去耦电容数和电容值有所减少。每个器件都有八个AV_{CC}电源引脚。AV_{CC}电源需在AD7656-1/AD7657-1/AD7658-1模数转换过程中使用; 因此, 应该良好去耦。施加于八个AV_{CC}引脚的AV_{CC}电源只需各利用一个1 μ F电容便可实现去耦。AD7656-1/AD7657-1/AD7658-1既可在内部基准电压下工作, 也可在外加的基准电压下工作。在图28里, 器件被配置为在外部基准电压下工作。REFIN/REFOUT引脚使用一个1 μ F电容去耦。三个内部基准电压缓冲被启用。每个REFCAPx引脚利用一个1 μ F电容去耦。

如果AV_{CC}和DV_{CC}采用相同的电源, 则在电源引脚之间放置一个铁氧体磁珠或小型RC滤波器。

AGND引脚连到系统AGND平面。DGND引脚连接到系统内部的数字接地平面。在系统内将AGND和DGND层连在某处。此连接应尽可能靠近系统内的AD7656-1/AD7657-1/AD7658-1。

表9. 各模拟输入范围的LSB大小

参数	AD7656-1输入范围		AD7657-1输入范围		AD7658-1输入范围	
	$\pm 10V$	$\pm 5V$	$\pm 10V$	$\pm 5V$	$\pm 10V$	$\pm 5V$
LSB 大小	0.305 mV	0.152 mV	1.22 mV	0.610 mV	4.88 mV	2.44 mV
FS 范围	20 V/65,536	10 V/65,536	20 V/16,384	10 V/16,384	20 V/4096	10 V/4096

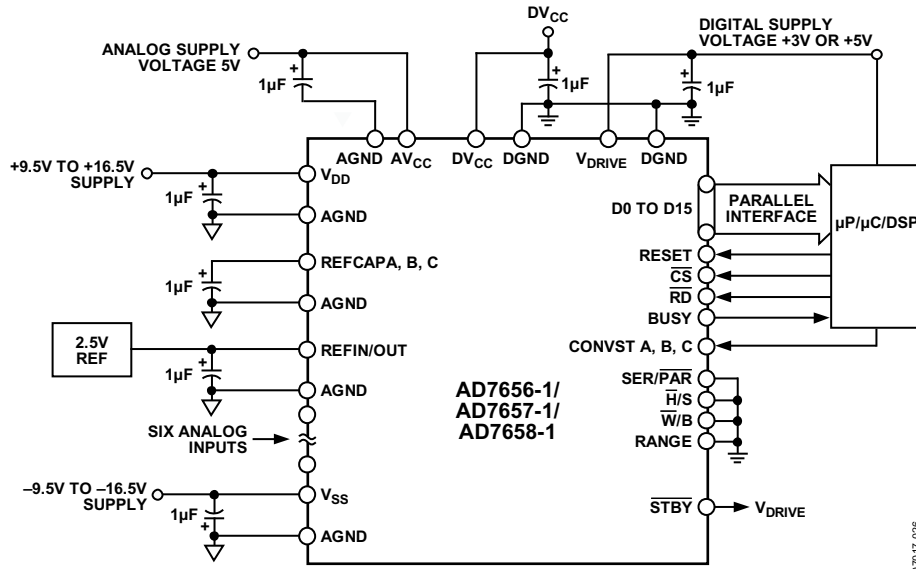


图28. 典型连接图

V_{DRIVE} 电源连接到为处理器供电的同一电源。 V_{DRIVE} 的电压控制输出逻辑信号的电压值。

各使用一个至少 $1\mu\text{F}$ 的去耦电容对 V_{DD} 和 V_{SS} 信号进行去耦。这些电源用于AD7656-1/AD7657-1/AD7658-1模拟输入端的高压模拟输入结构。

驱动模拟输入

AD7656-1的驱动器放大器和模拟输入电路必须在指定的550ns采集时间内，将满量程步进输入建立至16位水平(0.0015%)。驱动器放大器所产生的噪声需尽可能低，以保持AD7656-1的SNR和转换噪声性能。此外，驱动器的THD性能还需要适合AD7656-1。

AD8021能够满足这些要求。AD8021需要一个 10 pF 的外部补偿电容。如果需要双通道版的AD8021，可使用AD8022。AD8610和AD797也可用来驱动AD7656-1/AD7657-1/AD7658-1。

接口选项

AD7656-1/AD7657-1/AD7658-1提供两种接口：高速并行接口和高速串行接口。所需接口模式可通过SER/ $\overline{\text{PAR SEL}}$ 引脚来选择。并行接口模式可采用字($\overline{\text{W/B}} = 0$)或字节($\overline{\text{W/B}} = 1$)工作模式。在串行模式下，AD7656-1/AD7657-1/AD7658-1可配置成菊花链模式。

在并行模式下，读取操作只能获取最新发生转换的相关结果。例如，考虑CONVST A和CONVST C同时触发，但不使用

CONVST B的情况。在转换过程结束后，当BUSY变为低电平时，进行一次读取。施加四个读取脉冲（并行模式），并输出V1、V2、V5和V6的数据。由于此周期中没有触发CONVST B，因此不会输出V3和V4数据。但是，在串行模式下，转换周期内没有包括ADC，所以没有输出ADC结果，而是输出全0。更多详情见串行接口部分。

并行接口(SER/ $\overline{\text{PAR SEL}} = 0$)

AD7656-1/AD7657-1/AD7658-1分别包括六个16/14/12位ADC。将所有三个CONVST引脚（CONVST A、CONVST B和CONVST C）连在一起，便可对六个ADC进行同步采样。AD7656-1/AD7657-1/AD7658-1需由CONVST脉冲启动转换；CONVST脉冲应包括一个CONVST下降沿，随后为一个CONVST上升沿。CONVST上升沿对所选的ADC启动同步转换。AD7656-1/AD7657-1/AD7658-1各内置一个片内振荡器用于转换。转换时间 t_{CONV} 为 $3\mu\text{s}$ 。BUSY信号变为低电平表示转换结束。BUSY信号下降沿用来让采样保持放大器进入跟踪模式。

分别向三个CONVST引脚发出脉冲信号，AD7656-1/AD7657-1/AD7658-1还可以实现六个ADC的成对同步转换。CONVST A、CONVST B、CONVST C分别用于对V1和V2、V3和V4、V5和V6启动同步采样。同步采样ADC的转换结果储存在输出数据寄存器内。注意，任何一个CONVST引脚上一旦出现上升沿启动转换后，只要BUSY处于高电平，便会忽略任何CONVST引脚上的任何其他CONVST上升沿。

可利用标准 \overline{CS} 和 \overline{RD} 信号($\overline{W}/B = 0$)，通过并行数据总线读取AD7656-1/AD7657-1/AD7658-1的数据。通过并行总线读取数据时，需将SER/ \overline{PAR} SEL和低电平相连。通过内部选通 \overline{CS} 和 \overline{RD} 输入信号，可以将转换结果输出到数据总线。当 \overline{CS} 和 \overline{RD} 同时处于逻辑低电平时，数据线DB0至DB15不再呈高阻态。

\overline{CS} 信号可永久性地接低电平，而 \overline{RD} 信号可用来获取转换结果。BUSY信号变为低电平后即可开始读取操作。所需读取操作次数取决于同步采样的ADC数目(见图29)。如果CONVST A和CONVST B同时变低，需要四次读取操作从V1、V2、V3及V4获得转换结果。如果CONVST A和CONVST C同时变低，需要四次读取操作从V1、V2、V5及V6获得转换结果。转换结果以升序输出。对于AD7657-1，DB15和DB14含有两个前置0，而DB [13:0]则输出14位转换结果。对于AD7658-1，DB [15:12]含有四个前置0，而DB [11:0]则输出12位转换结果。

使用三个CONVST信号独立地启动三对ADC转换时，任何一个CONVST引脚一旦出现上升沿启动转换后，只要BUSY处于高电平，便会忽略任何CONVST引脚上的任何其他上升沿。

尽管在读取序列期间可以启动转换，但可能会影响转换性能，因此建议不要这样做。要获得指定性能，建议在转换后进行读取。对于未使用的输入通道对，将相应CONVST引脚和 V_{DRIVE} 相连。

如果只能使用8位总线，则可将AD7656-1/AD7657-1/AD7658-1并行接口配置成字节工作模式($\overline{W}/B = 1$)。在此配置下，DB7/HBEN/DCEN引脚具有HBEN功能。AD7656-1/AD7657-1/AD7658-1的各通道转换结果可通过两次读取操作来获取，每次读取操作在DB15至DB8上获得8位数据(见图30)。HBEN引脚决定读取操作先获取16位转换结果的高字节还是低字节。若始终先获取DB15至DB8上的低字节，需将HBEN引脚和低电平相连。若始终先获取DB15至DB8上的高字节，需将HBEN引脚和高电平相连。在字节模式下，当所有三个CONVST引脚一起发出脉冲，启动所有六个ADC的同步转换时，需进行12次读取操作来读取六个16/14/12位转换结果。在字节模式下，DB[6:0]应保持不连接。

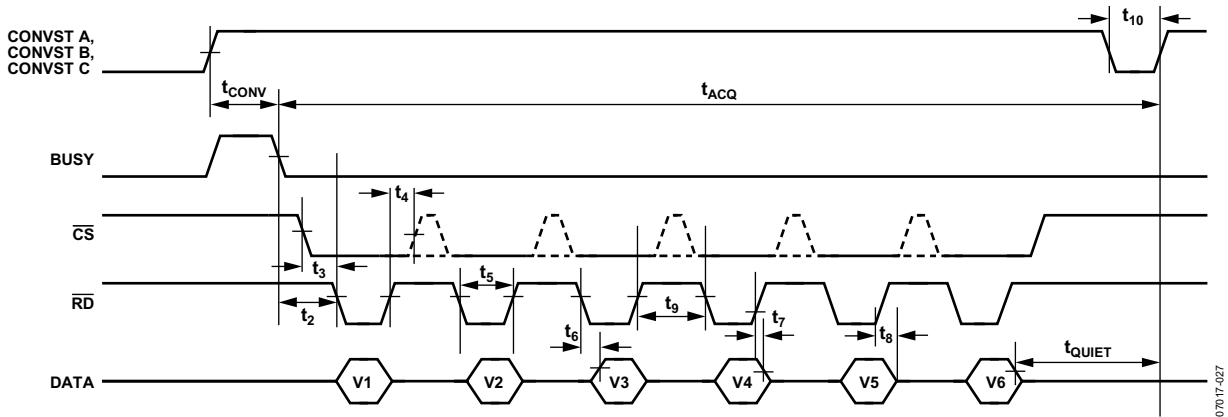


图29. 并行接口时序图($\overline{W}/B = 0$)

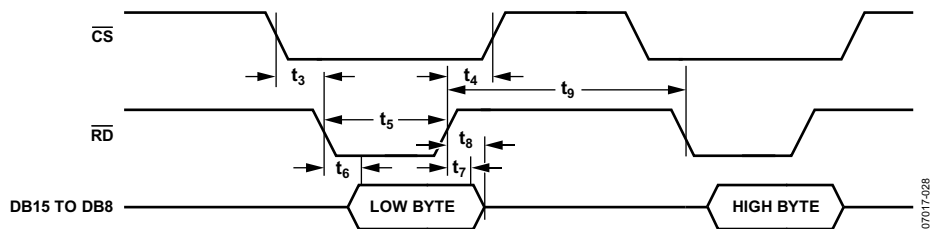


图30. 并行接口—字节操作模式的读取周期 ($\overline{W}/B = 1$, HBEN = 0)

AD7656-1/AD7657-1/AD7658-1

ADC软件选择

\overline{H}/S SEL引脚决定需同步采样的ADC组合方式。当 \overline{H}/S SEL引脚处于逻辑低电平时，需同步采样的通道组合由CONVST A、CONVST B和CONVST C引脚决定。当 \overline{H}/S SEL引脚处于逻辑高电平时，需同步采样的通道组合由DB15至DB13控制寄存器的内容决定。在此模式下，必须进行控制寄存器写入操作。

控制寄存器是8位只写寄存器。此寄存器的数据写入通过 \overline{CS} 和 \overline{WR} 引脚和DB[15:8]数据引脚来完成(参见图31)。控制寄存器详情见表10及11。要选择需同步采样的ADC对，应在写入操作期间将对应的数据线设为高电平。

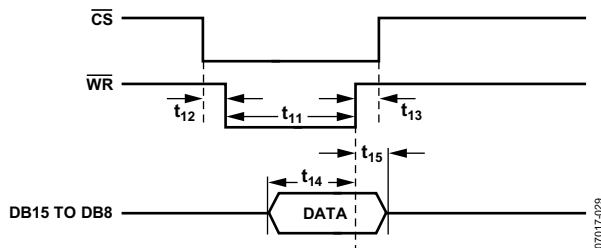


图31. 并行接口—字模式写入周期($\overline{W}/B=0$)

AD7656-1/AD7657-1/AD7658-1控制寄存器允许利用DB12至DB10位，对每对ADC的范围进行独立的编程。

在复位后，控制寄存器全部清0。

CONVST A信号用来对通过控制寄存器选择的通道组合启动同步转换。在软件工作模式下(\overline{H}/S SEL = 1)，CONVST B和CONVST C信号可接低电平。所需读取脉冲数取决于控制寄存器中设置的ADC数目，以及器件采用字还是字节工作模式。转换结果以升序输出。

在写入操作期间，当 \overline{RD} 处于逻辑高电平、 \overline{CS} 和 \overline{WR} 处于逻辑低电平时，数据总线位DB15至DB8为双向，成为控制寄存器输入。当 \overline{WR} 变为逻辑高电平时，DB15至DB8的逻辑状态锁存到控制寄存器内。

表10. 控制寄存器位映射¹

DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8
VC	VB	VA	RNGC	RNGB	RNGA	REFEN	REFBUF

¹默认值全为0。

表11. 控制寄存器位功能描述

位	引脚名称	描述
DB15	VC	此位用来选择下一次转换的V5和V6模拟输入。当其设为1时，在下一个CONVST A上升沿可对V5和V6进行同步转换。
DB14	VB	此位用来选择下一次转换的V3和V4模拟输入。当其设为1时，在下一个CONVST A上升沿可对V3和V4进行同步转换。
DB13	VA	此位用来选择下一次转换的V1和V2模拟输入。当其设为1时，在下一个CONVST A上升沿可对V1和V2进行同步转换。
DB12	RNGC	此位用来选择V5和V6的模拟输入范围。当其设为1时，可为下一次转换选择 $\pm 2 \times V_{REF}$ 范围。当其设为0时，可为下一次转换选择 $\pm 4 \times V_{REF}$ 范围。
DB11	RNGB	此位用来选择V3和V4的模拟输入范围。当其设为1时，可为下一次转换选择 $\pm 2 \times V_{REF}$ 范围。当其设为0时，可为下一次转换选择 $\pm 4 \times V_{REF}$ 范围。
DB10	RNGA	此位用来选择V1和V2的模拟输入范围。当其设为1时，可为下一次转换选择 $\pm 2 \times V_{REF}$ 范围。当其设为0时，可为下一次转换选择 $\pm 4 \times V_{REF}$ 范围。
DB9	REFEN	此位用来选择内部基准电压或外部基准电压。当其设为0时，可选择外部基准电压模式。当其设为1时，可选择内部基准电压模式。
DB8	REFBUF	此位用来决定使用内部基准电压缓冲，还是绕过这些缓冲。当其设为0时，启用内部基准电压缓冲，同时需要对REFCAPx引脚去耦。当其设为1时，禁用内部基准电压缓冲，同时应将缓冲后的基准电压施加于REFCAPx引脚。

更改模拟输入范围($\overline{H}/S\ SEL = 0$)

利用AD7656-1/AD7657-1/AD7658-1 RANGE引脚，用户可以选择 $\pm 2 \times V_{REF}$ 或 $\pm 4 \times V_{REF}$ 作为六路模拟输入的范围。当 $\overline{H}/S\ SEL$ 引脚处于低电平时，在BUSY信号下降沿对RANGE引脚的逻辑状态进行采样，以决定下一次同步转换的模拟输入范围。当RANGE引脚在BUSY信号的下降沿处于逻辑高电平时，下一次转换的模拟输入范围为 $\pm 2 \times V_{REF}$ 。当RANGE引脚在BUSY信号的下降沿处于逻辑低电平时，下一次转换的模拟输入范围为 $\pm 4 \times V_{REF}$ 。RESET脉冲之后，在其后的第一个BUSY下降沿会更新模拟输入范围。

更改模拟输入范围($\overline{H}/S\ SEL = 1$)

当 $\overline{H}/S\ SEL$ 引脚处于高电平时，可通过控制寄存器写入操作来更改模拟输入范围。利用控制寄存器内的DB [12:10]，可以选择下一次转换的模拟输入范围。每对模拟输入都具有一个相应的范围位，允许分别对每对ADC的模拟输入范围进行编程。当RNGx位设为1时，下一次转换范围为 $\pm 2 \times V_{REF}$ 。当RNGx位设为0时，下一次转换范围为 $\pm 4 \times V_{REF}$ 。

串行接口(SER/ $\overline{PAR}\ SEL = 1$)

通过脉冲发出1、2或全部3个CONVST信号，AD7656-1/AD7657-1/AD7658-1就可利用其片上调整振荡器，在CONVST上升沿对所选通道对进行同步转换。达到CONVST上升沿后，BUSY信号变为高电平，表明已开始转换。完成转换后(3 μ s后)，BUSY信号恢复低电平。只要BUSY保持高电平，便会忽略CONVST A、CONVST B或CONVST C上的任何其他CONVST上升沿。在BUSY信号的下降沿，输出寄存器载入新转换结果，并可从AD7656-1/AD7657-1/AD7658-1读取数据。若要通过串行接口从这些器件回读数据，SER/ $\overline{PAR}\ SEL$ 应连接高电平。 \overline{CS} 和SCLK信号用来传输AD7656-1/AD7657-1/AD7658-1的数据。这些器件具有三个DOUT引脚：DOUT A、DOUT B及DOUT C。可通过单、双或三DOUT线路从各器件回读数据。

图32显示六个同步转换以及采用三路DOUT线的读取序列。同样在图32中，通过32个SCLK传输获取AD7656-1/AD7657-1/AD7658-1的数据；不过，利用 \overline{CS} 信号单独的两组16个SCLK帧传输，也可以获取三路DOUT线上的数据。数据读取完成后，施加任何额外的SCLK都只会得到全零输出。当选择串行接口，且在所有三路DOUT线上逐个输出转换数据时，将DB0/SEL A、DB1/SEL B及DB2/SEL C和VDRIVE相连。这些引脚分别用来启用DOUT A至DOUT C线路。

如果需要在两路数据输出线上逐个输出转换数据，则使用DOUT A和DOUT B。若要启用DOUT A和DOUT B，将DB0/SEL A及DB1/SEL B和VDRIVE相连，而DB2/SEL C应接低电平。当进行六个同步转换，并且仅用两路DOUT线时，可通过一个48-SCLK传输分别从这两路DOUT线获取AD7656-1/AD7657-1/AD7658-1的数据。数据读取完成后，施加任何额外的SCLK都只会得到全零输出。利用两路DOUT线实现所有六个ADC同步转换的读取序列如图33所示。如果所有六个ADC进行同步转换，且只用两路DOUT线来读取AD7656-1/AD7657-1/AD7658-1的结果，则DOUT A逐个输出V1、V2及V5的结果，而DOUT B逐个输出V3、V4及V6的结果。

也可只用一路DOUT线逐个输出数据，此时利用DOUT A来获取转换数据。AD7656-1/AD7657-1/AD7658-1若要配置为这种工作模式，可将DB0/SEL A接VDRIVE，将DB1/SEL B与DB2/SEL C接低电平。只用一路DOUT线的缺点是吞吐速率下降。可利用一个96-SCLK传输、三组32-SCLK单独的帧传输或六组16-SCLK单独的帧传输来获取AD7656-1/AD7657-1/AD7658-1数据。数据读取完成后，施加任何额外的SCLK都只会得到全零输出。采用串行接口时，将 \overline{RD} 信号和低电平相连，并且未使用的DOUT线路保持不连接状态。

不论使用一路、两路还是三路数据输出线，如果转换周期中未使用某个CONVST引脚，那么尽管在转换周期中未被使用，在未被使用的ADC对的相应输出位置仍输出全零作为其A/D转换结果。这意味着，如果(例如)仅脉冲激活CONVST B并使用一个数据输出引脚，则需用64个SCLK来获取V3和V4的结果，若使用两路或三路数据输出线则只需要32个SCLK。

串行读取操作

图34显示选择串行接口时，从AD7656-1/AD7657-1/AD7658-1读取数据的时序图。SCLK输入信号为串行接口提供时钟源。 \overline{CS} 信号变为低电平，即可从AD7656-1/AD7657-1/AD7658-1获取数据。 \overline{CS} 下降沿使总线脱离三态，并逐个输出16位转换结果的MSB。ADC输出16位转换结果；AD7656-1的数据流由16位转换数据所组成，假设MSB在前。AD7657-1的数据流包括两个前置0，随后是14位转换数据，假设MSB在前。AD7658-1的数据流包括四个前置0和12位转换数据，假设MSB在前。

AD7656-1/AD7657-1/AD7658-1

转换结果的首个数据位在 \overline{CS} 下降沿后的第一个SCLK下降沿有效。随后15个数据位在SCLK信号的上升沿逐个输出。数据在SCLK下降沿有效。要获取各转换结果，必须向

AD7656-1/ AD7657-1/AD7658-1发送16个时钟脉冲。图34显示如何利用16-SCLK读取操作来获取转换结果。

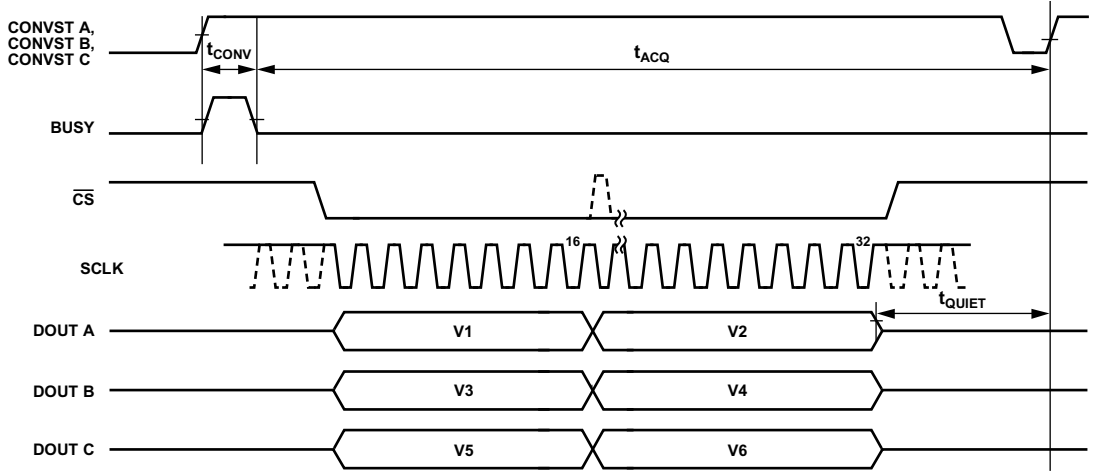


图32. 采用三路DOUT线的串行接口

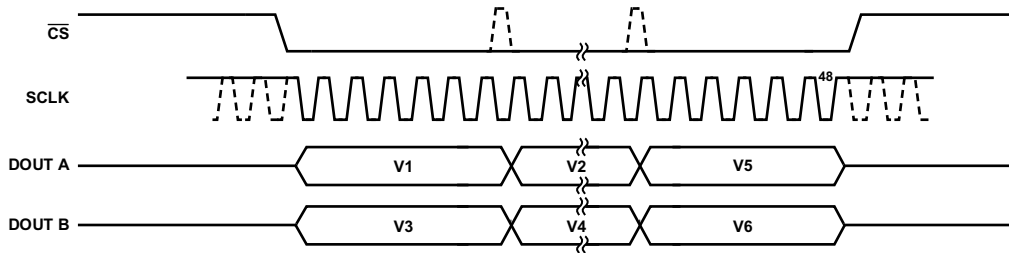


图33. 采用两路DOUT线的串行接口

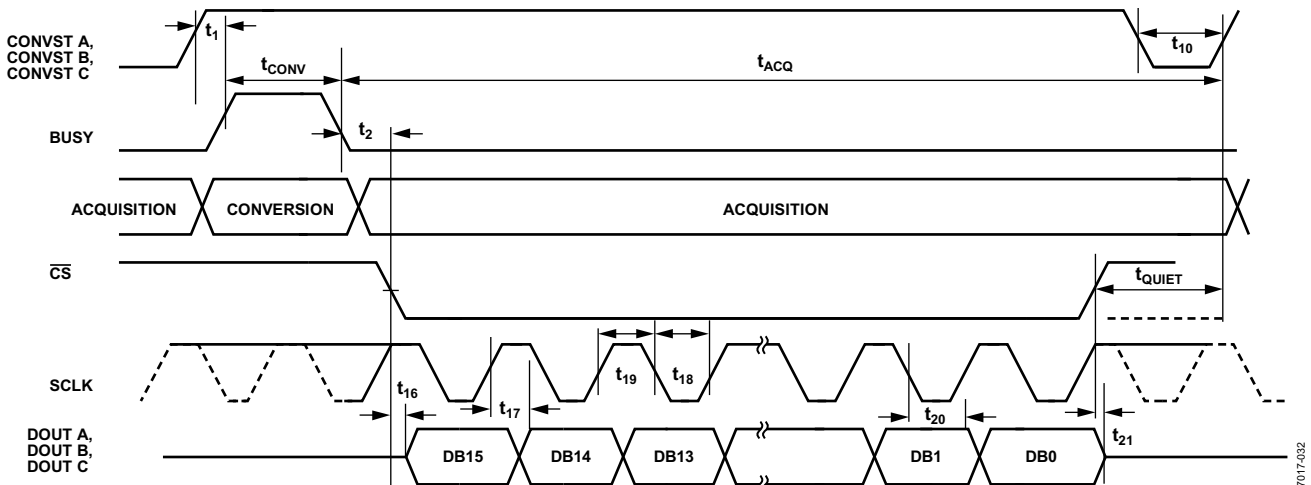


图34. 串行读取操作

菊花链模式(DCEN = 1, SER/PAR SEL = 1)

利用1/2/3个DOUT引脚从AD7656-1/AD7657-1/AD7658-1回读转换数据时，可利用DCEN引脚来配置这些器件以菊花链模式工作。菊花链功能允许多个AD7656-1/AD7657-1/AD7658-1器件级联在一起，有利于减少元件数和接线。两个器件的菊花链连接示例如图36所示。此配置显示各器件采用双DOUT线路。利用一个公共CONVST信号，可以对12路模拟输入进行同步采样。DB5、DB4及DB3数据引脚用作菊花链模式的DCIN[A:C]数据输入引脚。

利用CONVST上升沿，可以对AD7656-1/AD7657-1/AD7658-1启动转换。BUSY信号变为低电平，显示转换完成后，用户就可以开始从两个器件读取数据。图37显示两个AD7656-1/AD7657-1/AD7658-1器件在菊花链模式下工作时的串行时序图。

\overline{CS} 下降沿用来使能AD7656-1/AD7657-1/AD7658-1器件的串行帧传输，使总线脱离三态，并逐个输出第一个转换结果的MSB。在图37示例中，全部12个ADC通道均进行同步采样。在此示例中，使用两路DOUT线来读取转换结果。 \overline{CS} 使能一个96-SCLK帧传输。在第一组48 SCLK期间，转换数据从器件2传输到器件1。器件2上的DOUT A将转换数据从V1、V2和V5传输到器件1内的DCIN A；器件2上的DOUT B将转换结果从V3、V4及V6传输到器件1内的DCIN B。在第一组48 SCLK期间，器件1将数据传输到数字主机内。器件1上的DOUT A传输V1、V2及V5的转换数据；器件1上的DOUT B传输V3、V4及V6的转换数据。在后一组48 SCLK期间，器件2逐个输出0，器件1将第一组48 SCLK期间从器件2逐个输入的数据传输至数字主机内。如果DCEN在传输期间保持高电平，则此示例还可利用六组16-SCLK单独的帧传输来实现。

图38显示两个AD7656-1/AD7657-1/AD7658-1器件以菊花链模式配置并采用三路DOUT线工作的时序。假设对所有12路输入进行同步采样，在读取操作期间 \overline{CS} 使能一个64 SCLK帧传输。在此传输的第一组32 SCLK期间，将器件1的转换结果逐个输入数字主机，将器件2的转换结果逐个输入器件1。在此传输的后一组32 SCLK期间，将器件2的转换结果从器件1逐个输出，并输入数字主机，同时器件2逐个输出0。

菊花链上所能承载的最大器件数量由单通道数据吞吐率所限制。而数据吞吐率取决于应用需求、所用的SCLK频率以及串行数据线的数目。

待机/部分省电操作模式(SER/PAR SEL = 0或1)

每对ADC都可通过在BUSY下降沿之前拉低相应的CONVST信号，在转换结束时单独进入部分省电模式。如果一个CONVST引脚在BUSY变低时处于低电平，则相应的ADC对只有正在该周期内进行实际转换时（即使用此相应CONVST引脚触发转换时）才会进入部分省电模式。要使ADC再次上电，应拉高CONVST信号，命令ADC对上电，并使采样保持放大器进入跟踪模式。经过从部分省电模式到恢复正常工作的上电时间后，CONVST信号可接收一个上升沿以启动有效转换。在部分省电模式下，基准电压缓冲保持上电。当某个ADC对处于部分省电模式时，其他完全通电的ADC仍可进行转换。在图35的A点，ADC 1和ADC 2进入部分省电模式，而ADC 3至ADC 6仍然保持完全通电。在图35的B点，ADC 1和ADC 2开始上电。经过所需的上电时间后，便可在下一个CONVST上升沿时启动转换，如图所示。

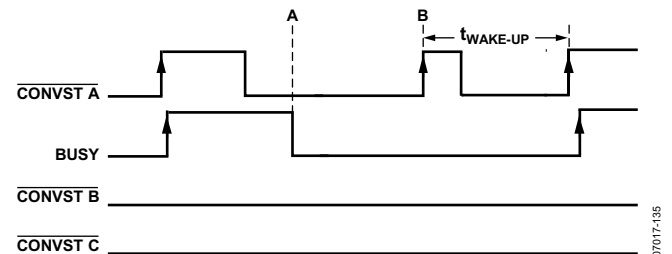


图35. 进入及退出部分省电模式

AD7656-1/AD7657-1/AD7658-1支持待机模式，因而器件可以进入低功耗模式（最大315 μ W）。拉低输入STBY逻辑即可进入待机模式，拉高STBY逻辑则再次上电，恢复正常操作。处于待机模式时，输出数据缓冲仍会继续工作，用户可继续获取器件的转换结果。利用此待机功能，能够降低AD7656-1/AD7657-1/AD7658-1以低吞吐速率工作时的平均功耗。器件可在BUSY变低，各转换结束时进入待机模式，并可在下一次转换前脱离待机模式。脱离待机模式的时间称为唤醒时间。唤醒时间限制AD7656-1/AD7657-1/AD7658-1在转换之间省电状态时的最大吞吐率。参见规格部分。

AD7656-1/AD7657-1/AD7658-1

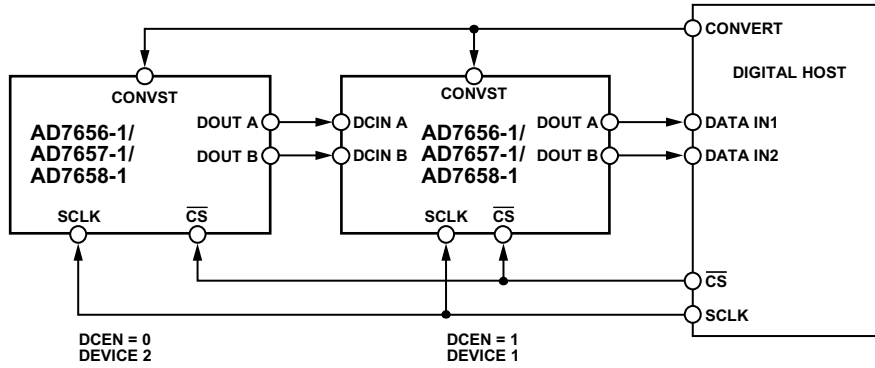


图36. 菊花链配置

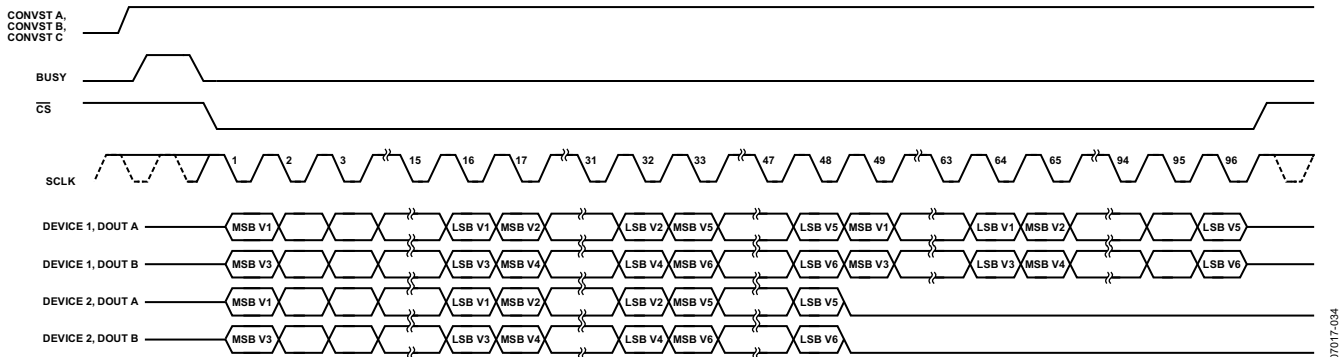


图37. 采用两路DOUT线的菊花链串行接口时序

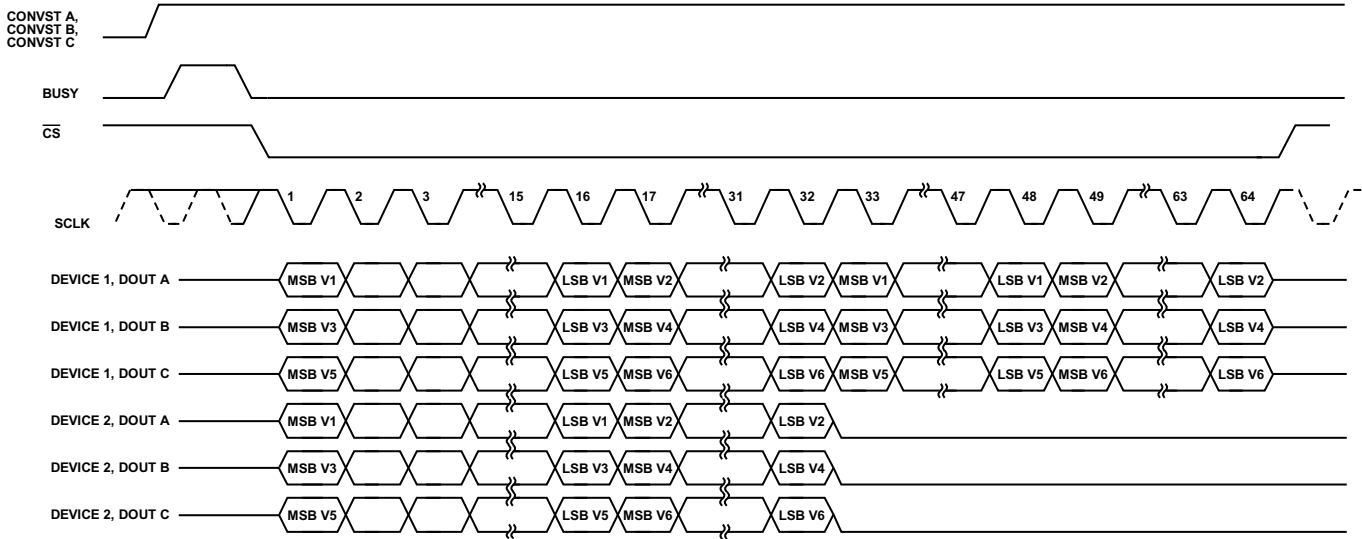


图38. 采用三路DOUT线的菊花链串行接口时序

应用须知

电路板布局

安装AD7656-1/AD7657-1/AD7658-1所用的印刷电路板(PCB)应采用模拟部分与数字部分分离设计,并限制在电路板的不同区域内。

至少使用一个接地层。数字和模拟部分可以共用或分割使用接地层。在使用分割的地层时,将数字地和模拟地单点连接。单点接地点最好在AD7656-1/AD7657-1/AD7658-1正下方或尽可能靠近器件。

如果AD7656-1/AD7657-1/AD7658-1系统内有多于一个器件要求模数接地,应仍坚持单点接地,把接地点放置在尽可能靠近AD7656-1/AD7657-1/AD7658-1的一个星型接地点。确保每个接地引脚与地层的良好连接。避免多个接地引脚共用一个到地层的连接的情况。每个接地引脚应使用单个过孔或多个过孔接入接地层。

应避免在器件下方布设数字线路,否则会将噪声耦合至芯片。允许模拟接地层布设在AD7656-1/AD7657-1/AD7658-1下方以避免噪声耦合。如CONVST或时钟等快速切换信号要使用数字地加以屏蔽,以免将噪声辐射到电路板的其他

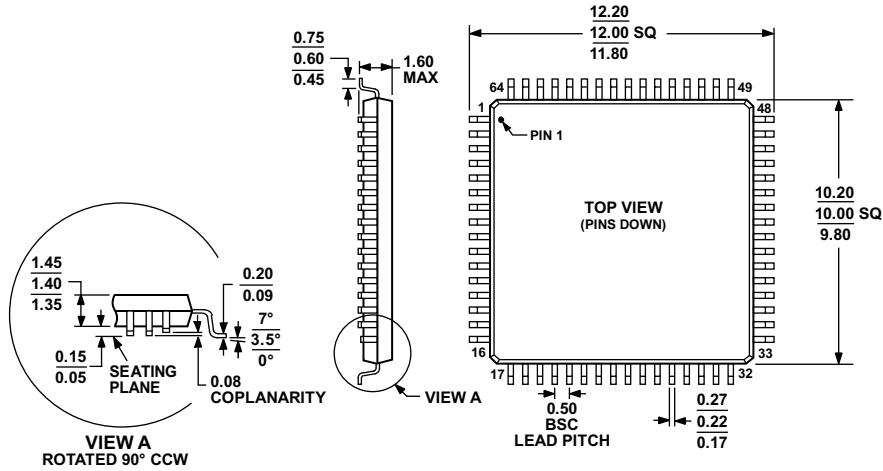
部分,而且快速切换信号绝不能靠近模拟信号路径。应避免数字信号与模拟信号交叠。电路板上邻近层的走线应彼此垂直,以减小电路板的馈通效应。

AV_{CC} 、 DV_{CC} 、 V_{DRIVE} 、 V_{DD} 及 V_{SS} 引脚的电源线路应采用尽可能宽的走线,以提供低阻抗路径,并减小电源线路上的毛刺噪声影响。应在电源引脚和电路板的电源走线之间建立良好连接;包括每个电源引脚使用单个过孔或多个过孔连接至电源走线或电源层。

良好的去耦也很重要,以便降低AD7656-1/AD7657-1/AD7658-1的电源阻抗,并减少电源尖峰幅度。去耦电容应靠近(理想情况是紧靠)这些引脚及其对应接地引脚放置。此外,在每个电源引脚、REFIN/REFOUT引脚和每个REFCAPx引脚上放置低ESR 1 μ F电容。应避免引脚共用这些电容,并使用过孔将这些电容与电源和接地层相连。此外,在每个过孔和电容焊盘之间使用较宽、较短的走线,或过孔紧邻电容焊盘,以便最大程度地降低寄生电感。AD7656-1/AD7657-1/AD7658-1能够为用户提供降低去耦要求的解决方案,并且与AD7656/AD7657/AD7658引脚及软件兼容。降低去耦要求的建议配置如图28所示。

AD7656-1/AD7657-1/AD7658-1

外形尺寸



COMPLIANT TO JEDEC STANDARDS MS-026-BCD

图39. 64引脚LQFP封装(ST-64-2)

尺寸单位: mm

051706-A

订购指南

型号	温度范围	封装描述	封装选项
AD7656BSTZ-1 ¹	-40°C 至 +85°C	64引脚薄型四方扁平封装 [LQFP]	ST-64-2
AD7656BSTZ-1-RL ¹	-40°C 至 +85°C	64引脚薄型四方扁平封装 [LQFP]	ST-64-2
AD7656YSTZ-1 ¹	-40°C 至 +125°C	64引脚薄型四方扁平封装 [LQFP]	ST-64-2
AD7656YSTZ-1-RL ¹	-40°C 至 +125°C	64引脚薄型四方扁平封装 [LQFP]	ST-64-2
AD7657BSTZ-1 ¹	-40°C 至 +85°C	64引脚薄型四方扁平封装 [LQFP]	ST-64-2
AD7657BSTZ-1-RL ¹	-40°C 至 +85°C	64引脚薄型四方扁平封装 [LQFP]	ST-64-2
AD7657YSTZ-1 ¹	-40°C 至 +125°C	64引脚薄型四方扁平封装 [LQFP]	ST-64-2
AD7657YSTZ-1-RL ¹	-40°C 至 +125°C	64引脚薄型四方扁平封装 [LQFP]	ST-64-2
AD7658BSTZ-1 ¹	-40°C 至 +85°C	64引脚薄型四方扁平封装 [LQFP]	ST-64-2
AD7658BSTZ-1-RL ¹	-40°C 至 +85°C	64引脚薄型四方扁平封装 [LQFP]	ST-64-2
AD7658YSTZ-1 ¹	-40°C 至 +125°C	64引脚薄型四方扁平封装 [LQFP]	ST-64-2
AD7658YSTZ-1-RL ¹	-40°C 至 +125°C	64引脚薄型四方扁平封装 [LQFP]	ST-64-2
EVAL-AD7656-1CBZ ^{1,2}		评估板	
EVAL-AD7657-1CBZ ^{1,2}		评估板	
EVAL-AD7658-1CBZ ^{1,2}		评估板	
EVAL-CONTROL BRD2Z ³		控制器板	

¹ Z = 符合RoHS标准的兼容器件。

² 此板可单独用作评估板，或与EVAL-CONTROL板配合用于评估/演示。

³ 此板是个完整单元，允许PC对所有带CB标志后缀的ADI评估板进行控制并与其通信。要订购完整的评估套件，必须订购指定的ADC评估板(如EVAL-AD7656-1/AD7657-1/AD7658-1CB、EVAL-CONTROL BRD2)和一个12V交流输出变压器。更多详情请见相关评估板的技术笔记。

注释

注释